

動画像符号化標準H.264/AVCに おける高性能VLSIの開発

宋天 島本隆

徳島大学大学院
ソシオテクノサイエンス研究部
情報ソリューション部門
計算機システム工学大講座

背景

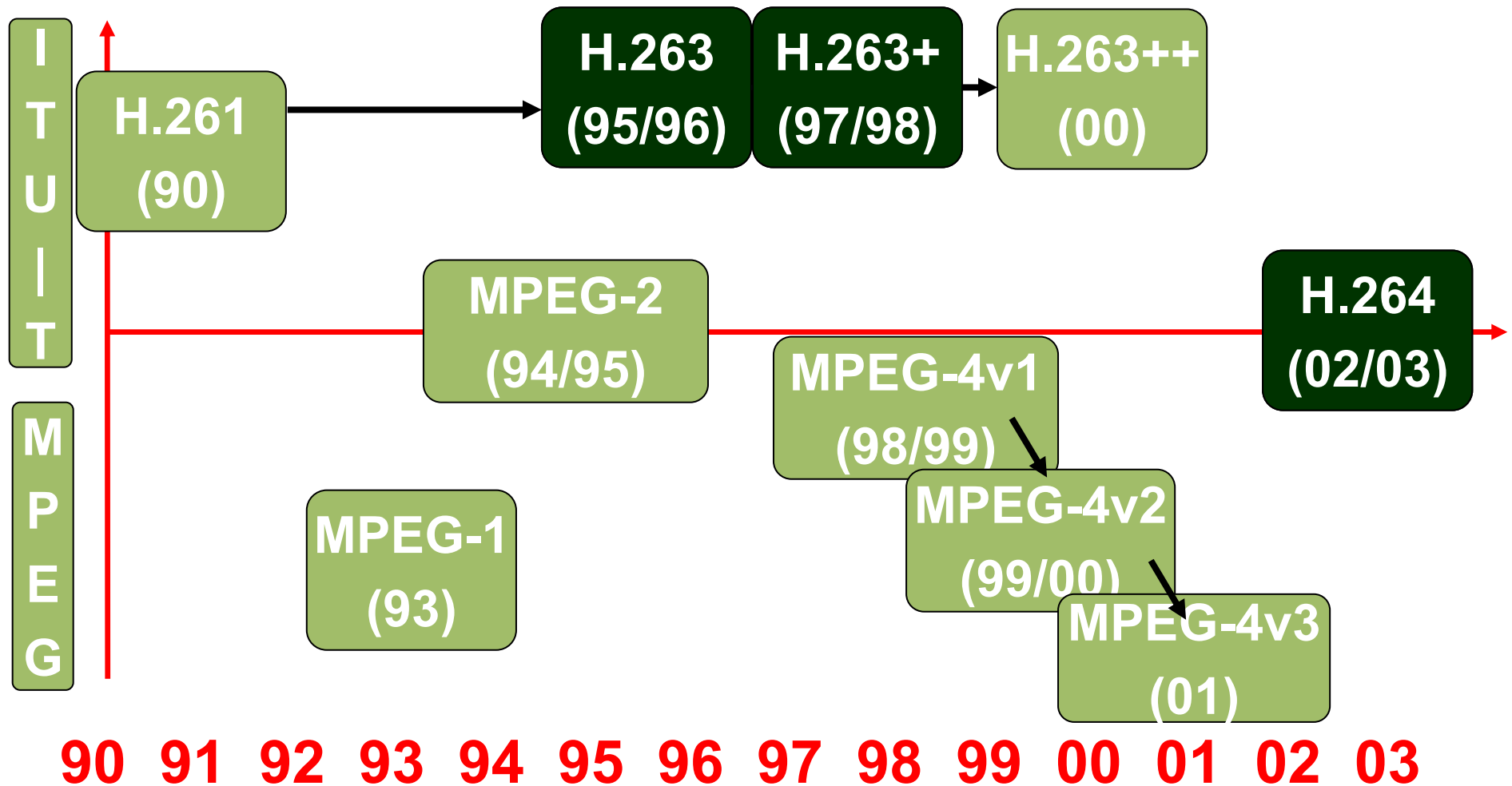
1997年～2004年 白川研究室(大阪大学)
2004年～今 徳島大学 來山研究室 助教
2004年～今 (株)シンセシス 主任研究員

研究暦:

1997年～2004年 H.263, H.263+を中心とする動画像符号化アルゴリズム、VLSI化設計
2004年～今 H.264/AVC実装に向けアルゴリズム、およびそのVLSIアーキテクチャ



動画像符号化標準の歴史



H.264/AVCの特徴

- ◆ 広範囲な帯域での利用を想定
 - ◆ 低ビットレート携帯端末から、デジタルシネマまで
 - ◆ 携帯、ワンセグ放送、蓄積媒体、ゲーム機など
- ◆ 高い符号化効率
 - ◆ 従来のMPEG-4の約2倍の圧縮率
- ◆ 新たなアルゴリズムの導入
 - ◆ フレーム間予測: 7種類ブロックサイズ動き補償
 - ◆ フレーム内予測: 多種多様な予測モード
 - ◆ 算術符号化手法CABAC

演算量の大幅増加



Rate Distortion Optimization

- ◆すべてのブロックサイズでの動き探索
- ◆すべての予測モードに対して評価する
- ◆符号化コストを評価し、最適符号化モードを決定する

$$J_{\text{MODE}} = \text{SSD} + \lambda_{\text{MODE}} \cdot R$$

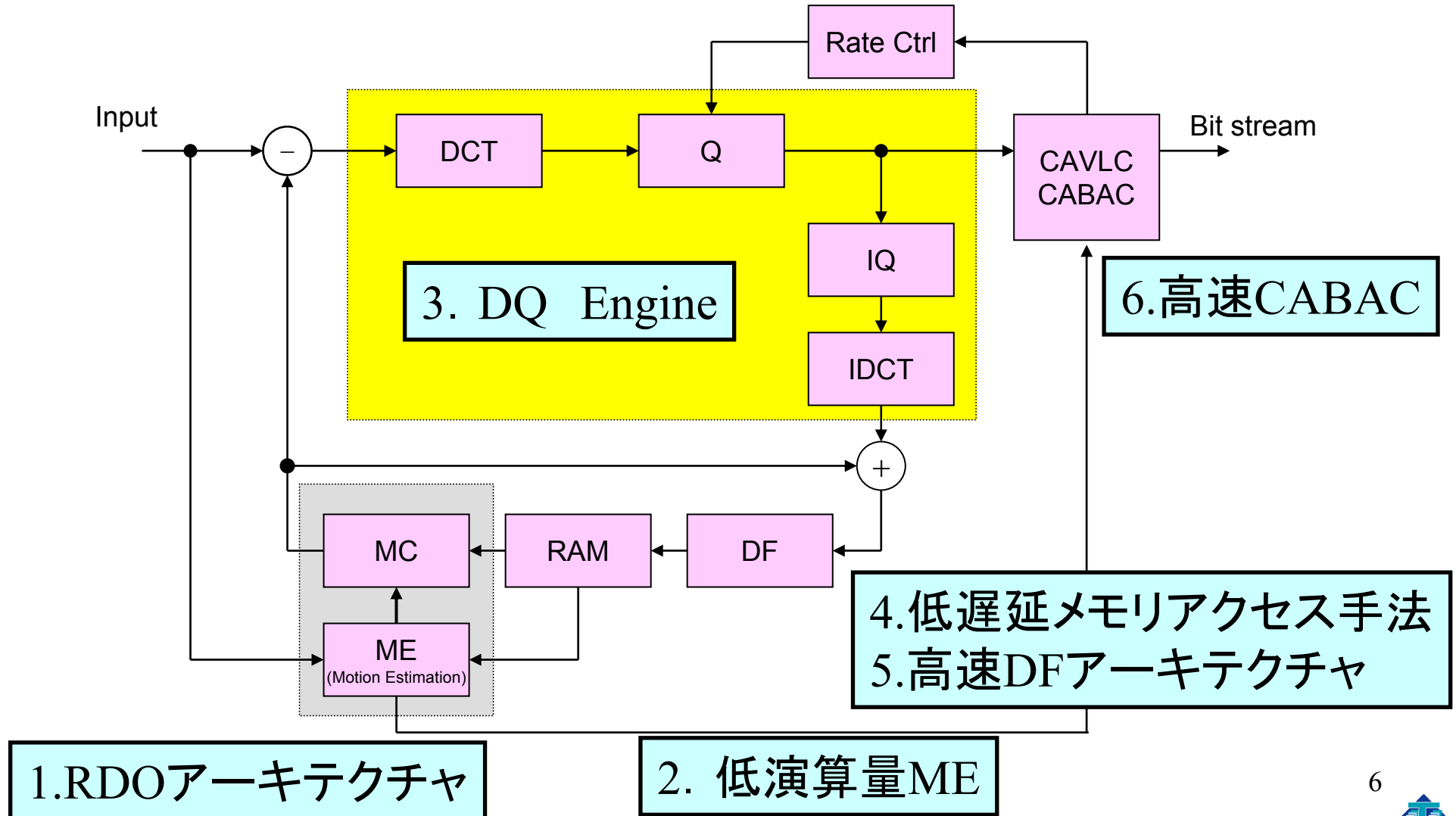
J_{MODE} : コスト関数
 SSD : 画像の歪み (現画像と複合画像の差)
 R : ビット数

膨大な演
算量!

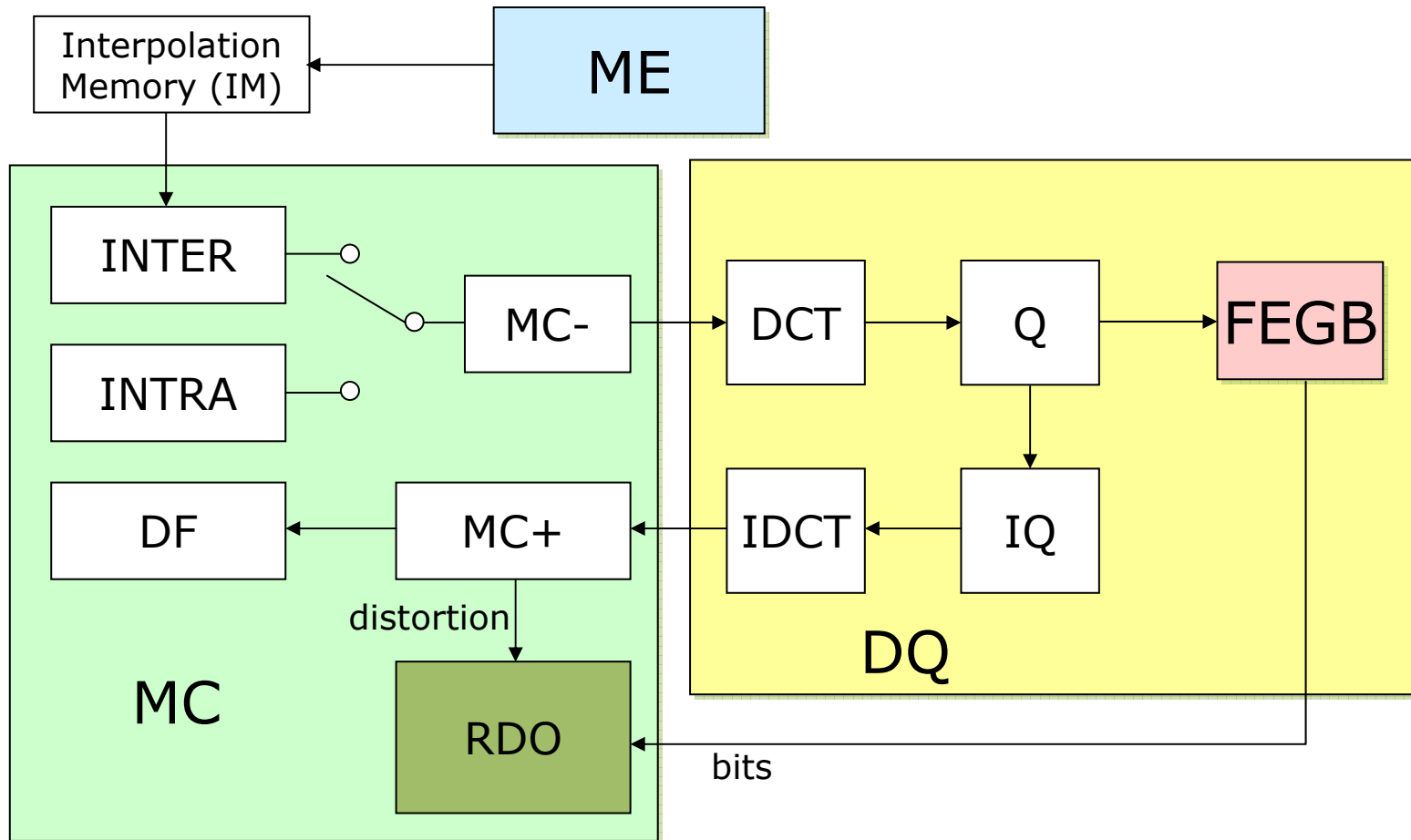
従来の手法では、画質の劣化が著しい!



研究テーマ



RDOアーキテクチャ



“Efficient Motion Compensation Architecture with Rate-Distortion Optimization for H.264/AVC”,
SIGMAP, Barcelona, July 2007



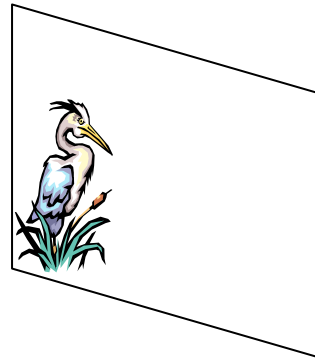
動き探索アーキテクチャ (ME)

- 概要
 - ME を行い ブロックサイズ・動きベクトルの情報を生成
- 特徴
 - TAD+Top-down method の実装
 - 探索範囲を適応的に制御可能な設計
 - 並列演算法の実装
- 目標
 - 画質の劣化は最小限にとどめる
 - HDTV 720p (1280x720, 30fps) のリアルタイム演算

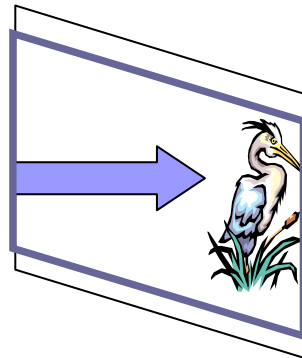
“Efficient variable search range motion estimation architecture for real-time RDO of H.264/AVC”,
NCSP, Shanghai, March 2007



低演算量ME-適応的探索範囲

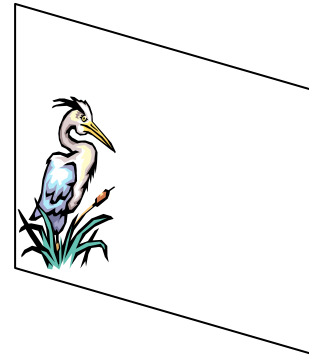


過去のフレーム

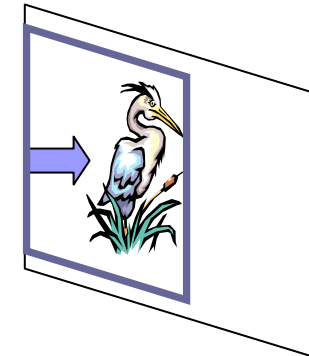


符号化フレーム

動きが大きいシーケンス



過去のフレーム



符号化フレーム

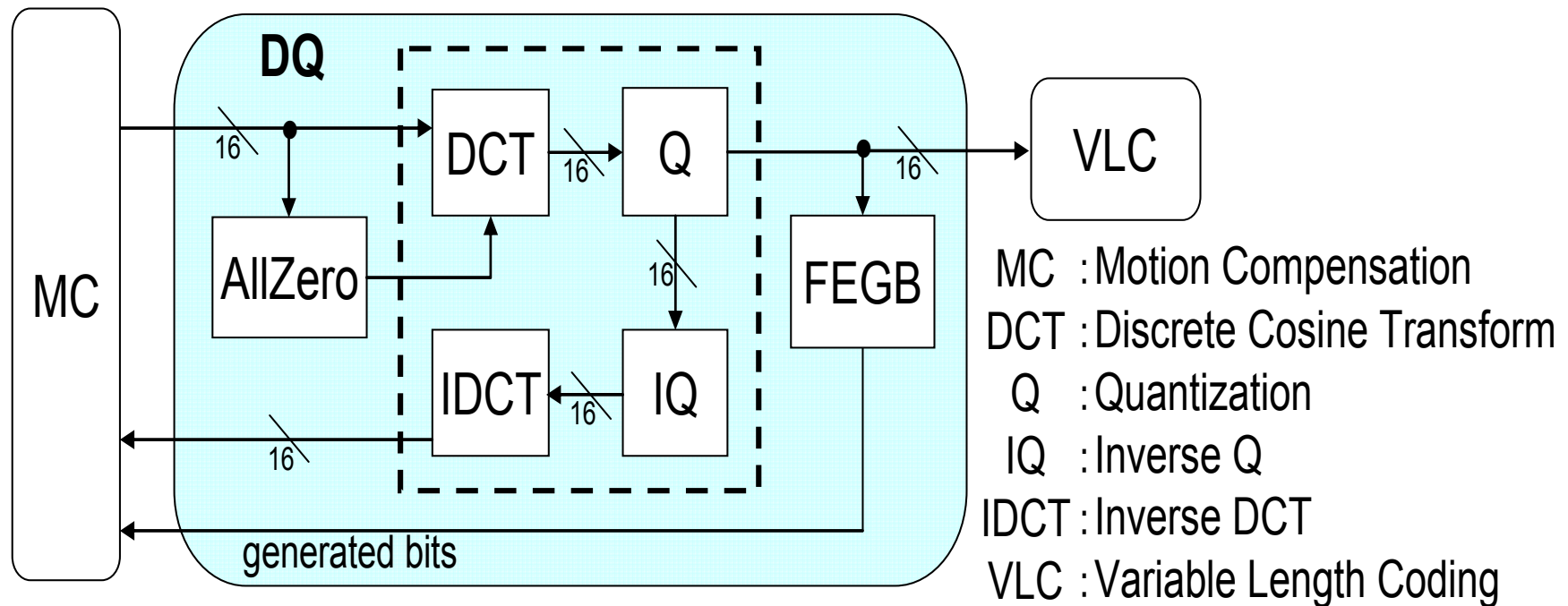
動きの少ないシーケンス

- ◆ 冗長な探索範囲が存在
- ◆ 動きの激しさに応じ、適応的に探索範囲を決定

“Adaptive search range motion estimation algorithm for H.264/AVC”,
ISCAS, New Orleans, May, 2007



高速DCT/量子化エンジン



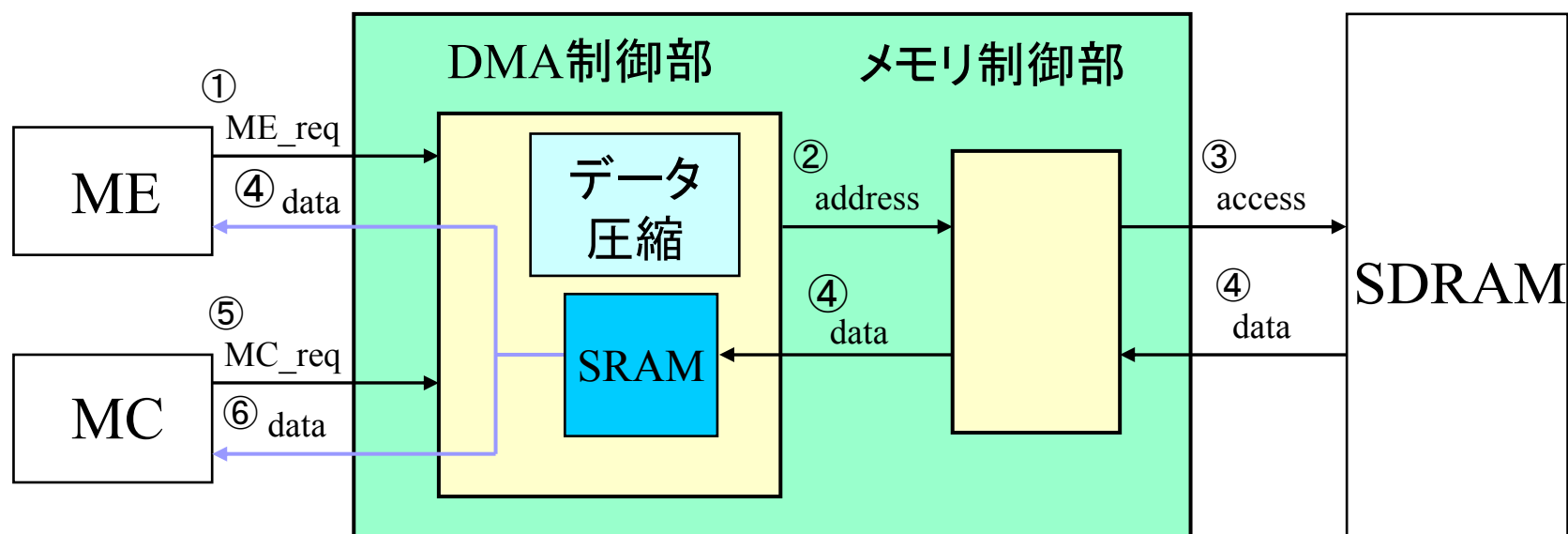
- ◆ All-zeroブロックの判定： 冗長な処理を省く
- ◆ 生成ビット数の高速予測： 高速RDOを実現

“Fast Transform and Quantization Architecture with All-Zero Detection and Bit Estimation for”,
IWSDA, Chengdu, Sep. 2007



低遅延フレームメモリアクセス手法

DMA



- ◆ME,MCの処理特徴を利用し、SRAMを設置
- ◆現画像データをロスレス圧縮

“Reference Frame Data Compression Method for H.264/AVC”,

IEICE Electronics Express, vol.4, no.3, pp.122-126

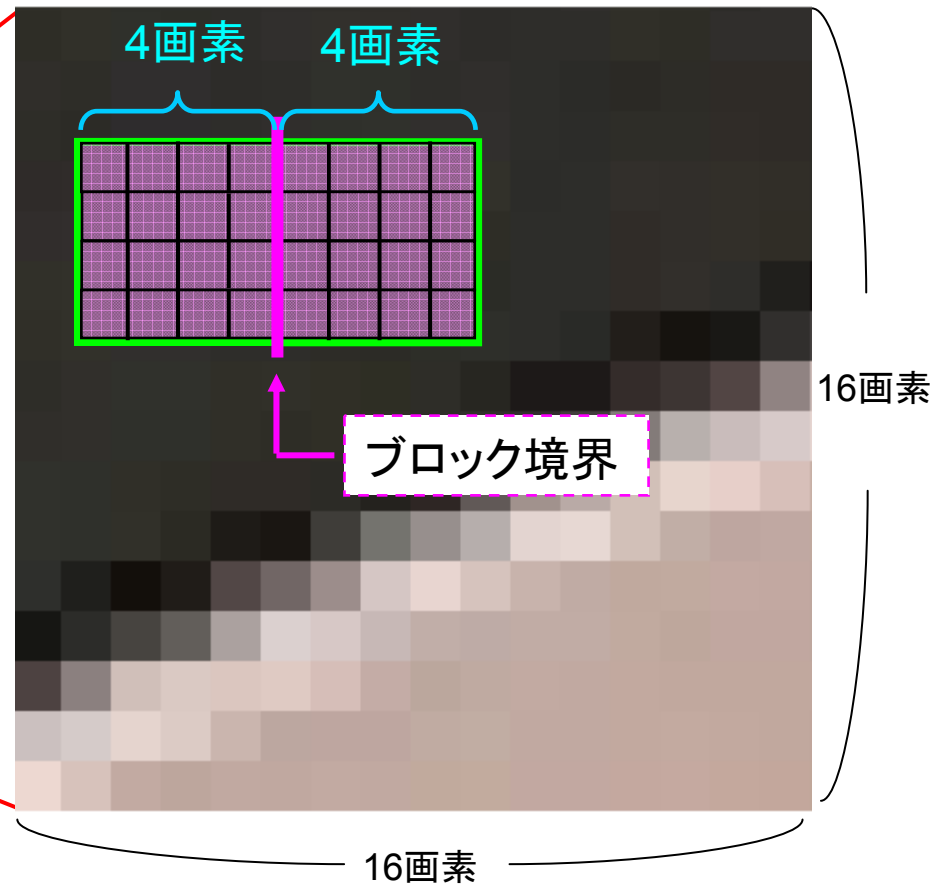
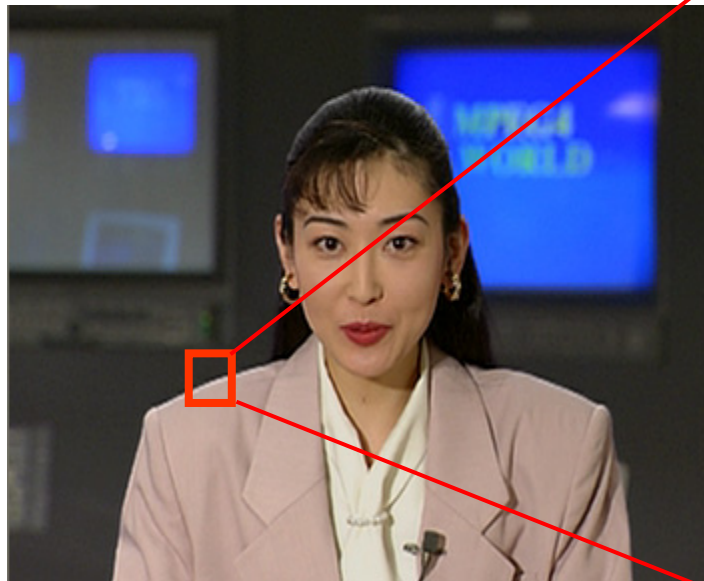
“H.264/AVCにおけるフレームメモリアクセス手法”, IEICE VLD研究会, 北海道, June, 2007

11



高速デブロッキングフィルタ設計

cif画像 (352 × 288)

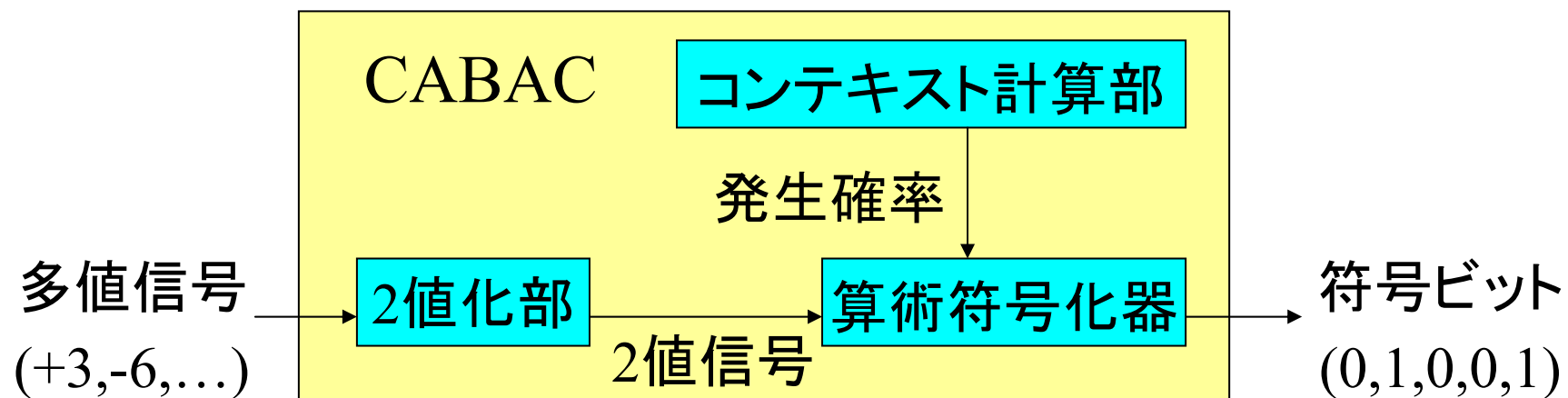


◆画素の特徴を用いる高速処理： 192サイクル以下/ブロック

“H.264/AVCデコーダにおける低演算量デブロッキングフィルタ実装手法”，
IEICE VLD研究会, 北海道, June, 2007



CABACの全体構成



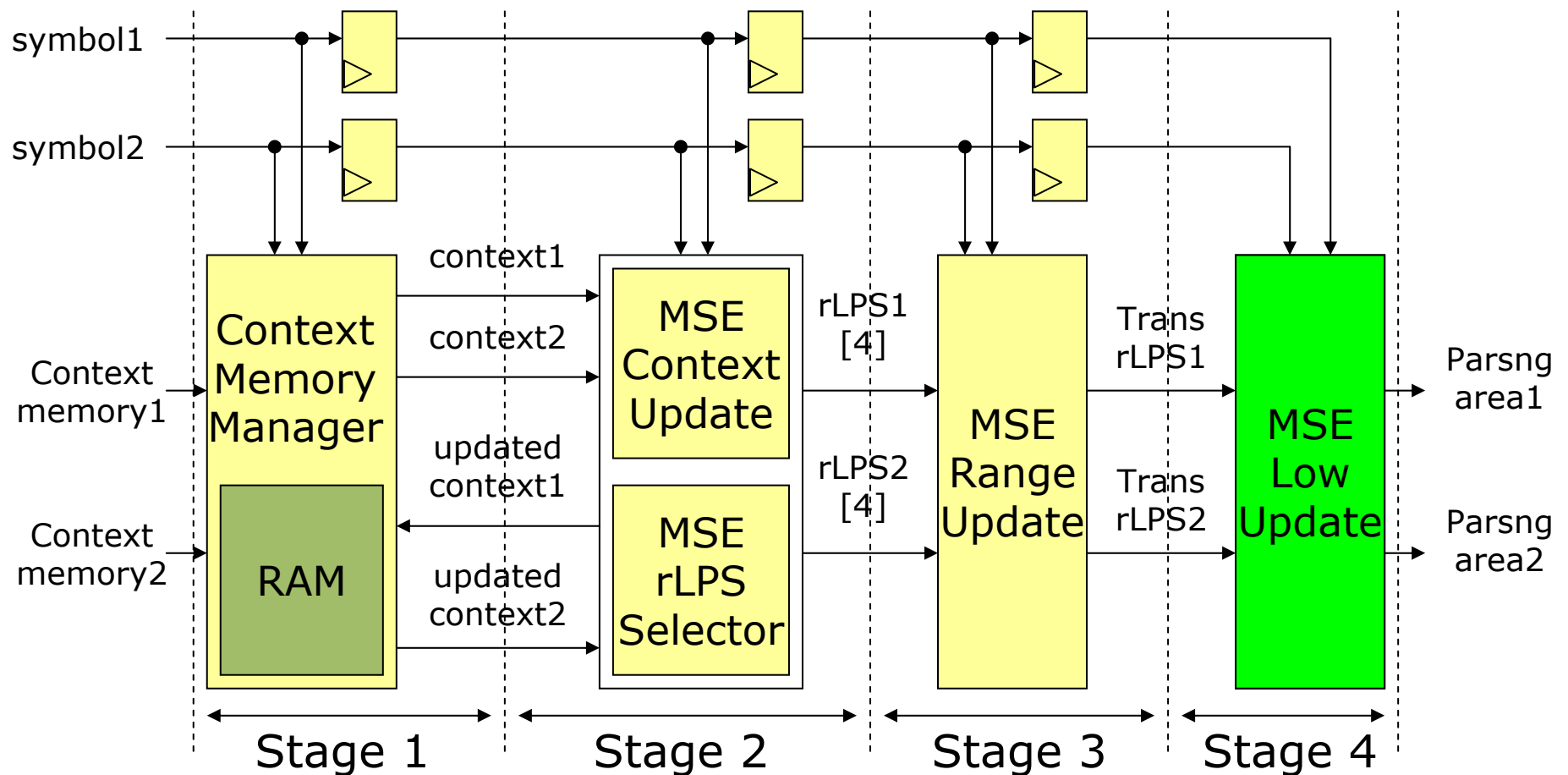
- ◆CAVLCより、高い圧縮率達成する符号化手法
- ◆並列処理が困難：1ビット/1サイクル実現
- ◆高解像度アプリケーションに対応できず



1サイクルに複数のビット処理を実現するアーキテクチャ



高速CABACアーキテクチャ



“Efficient Multi-State Estimated Architecture of CABAC for H.264/AVC Encoder”,

NCSP, Shanghai, March 2007 (特許: PCT/JP2007-54358)



研究のまとめ

◆H.264/AVC VLSI化実装技術

1. RDOアーキテクチャ
2. 低演算量ME
3. DQ Engine
4. 低遅延メモリアクセス手法
5. 高速DFアーキテクチャ
6. 高速CABAC (適応的CAVLC/CABAC符号化)
7. MPEG-2/H.264 Transcoding
8. SVC (Scalable Video Coding)

◆H.264/AVCコーデックの実現

1. 各機能ブロックの技術が完成
2. 全体アーキテクチャが研究レベルで完成
3. 実機検証は未完成



想定された用途

- 高解像度アプリケーション
 - 特に高いビットレートが要求される製品に組み込む専用LSI
 - 高い圧縮率が求められる製品 (HDレコーダ用LSI)
- リアルタイム処理アプリケーション
 - ビデオカメラ
 - 録画機器
- 携帯機器
 - 携帯端末向け、動画像符号化 (ビデオ携帯、Webcam)
 - テレビ電話



実用化に向けた課題

- 現在、中核技術に関してはソフトウェアや、コンピュータシミュレーション上の動作確認済み。
- 今後、具体的**アプリケーションに特化**した全体制御部分の設計が残されている。
- アーキテクチャをハードウェア実装を行い、実機で動作を**検証**する必要がある。



企業への期待

- 技術難題を克服したため、商品化に向け、特定の需要を定めたい。
- H.264/AVCの全体設計について、共同研究を希望する。
- 関連技術の共同研究も希望する。
- 動画像の処理に関係する企業の難題を一緒に解決したい。



研究に関する知的財産権

発明の名称: 算術符号化装置、算術符号化方法、算術符号化プログラムを格納したコンピュータで読み取り可能な記録媒体

出願番号: PCT/JP2007/54358

出願人: 徳島大学

発明者: 宋天(大学院ソシオテクノサイエンス研究部)

山田篤(大学院工学研究科)

島本隆(大学院ソシオテクノサイエンス研究部)



お問い合わせ先

宋 天(ソウ テン)

徳島大学大学院ソシオテクノサイエンス研究部

(研究部)情報ソリューション部門・計算機システム工学大講座

(教育部)電気電子創生工学コース・知能電子回路講座

(学 部)電気電子工学科・知能電子回路講座

Tel:088-656-7484, FAX:088-656-7471 内線: 5105

Email: tiansong@ee.tokushima-u.ac.jp

国立大学法人徳島大学

知的財産本部 知的財産部門 特許管理室

知的財産研究員 増田 隆男

〒770-8506 徳島市南常三島町2-1

TEL : 088-656-4997(内線4997)

FAX : 088-656-9814

E-Mail : t-masuda@ccr.tokushima-u.ac.jp

(株)テクノネットワーク四国(通称:四国TLO)

技術移転部 課長 田村 英樹

〒760-0033 香川県高松市丸の内2番5号

TEL: 087-811-5039 FAX: 087-811-5040

E-mail: tamura@s-tlo.co.jp

