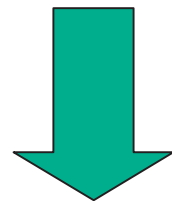


半導体集積回路の性能向上のための 計算機シミュレーション

茨城大学工学部材料工学科
篠 嶋 妥

緒言(1)SIV

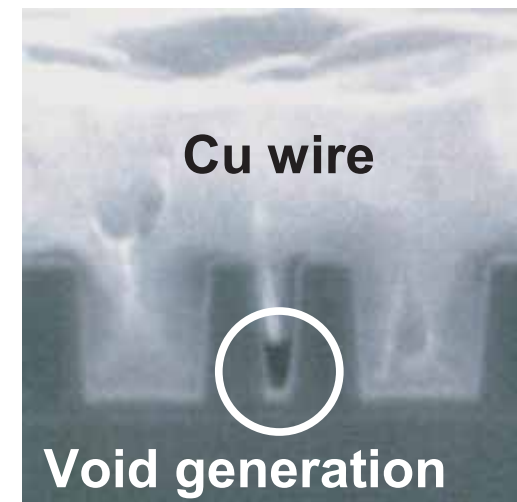
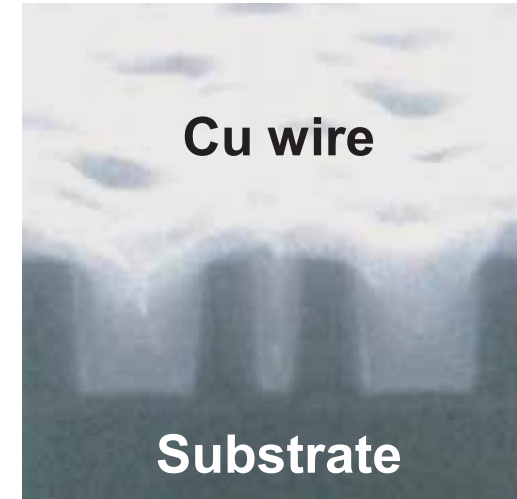
LSI製造工程において、配線中の結晶粒径を大きくするため熱処理をする



熱処理後

- EM 耐性の向上
- 抵抗率の減少
- × 埋め込んだ配線底部において
欠陥生成 ⇒ 断線 (SIV)

この原因を分子動力学法で調査



緒言(2)RTA

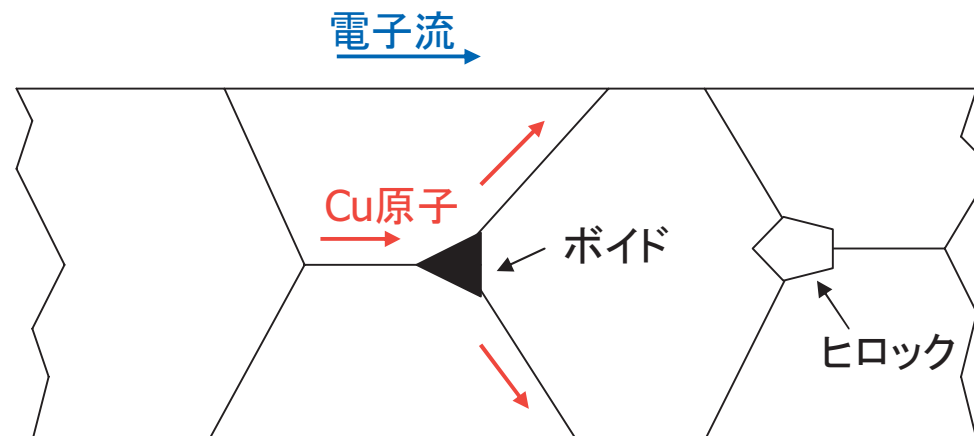
Cu配線...EMによる断線問題



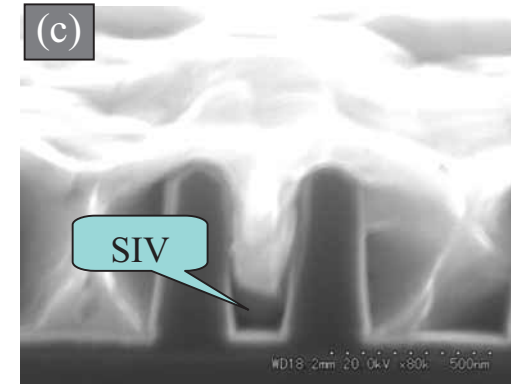
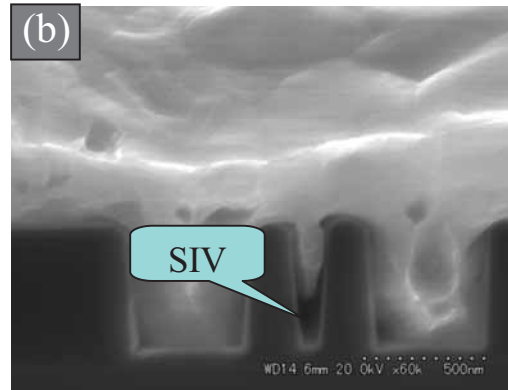
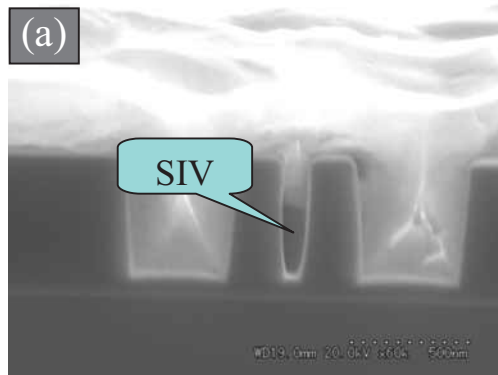
熱処理(RTA)による結晶粒の粗大化が有効



フェーズフィールドシミュレーションで調査



SIV-実験事実



配線幅

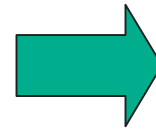
100nm

140nm

220nm

冷却レート 3K/min t:700 上部膜厚(nm)

- 配線幅が狭いほど
- 冷却レートが低いほど
- 上部膜厚が厚いほど



SIVを生じやすい

計算方法—分子動力学法

- 時間積分: **速度Verlet法**

$$\begin{cases} \mathbf{r}_i(t + \Delta t) = \mathbf{r}_i(t) + \Delta t \mathbf{v}_i(t) + \frac{(\Delta t)^2}{2m_i} \mathbf{F}_i(t) \\ \mathbf{v}_i(t + \Delta t) = \mathbf{v}_i(t) + \frac{\Delta t}{2m_i} [\mathbf{F}_i(t + \Delta t) + \mathbf{F}_i(t)] \end{cases} \quad (\Delta t = 1 \text{ fs})$$

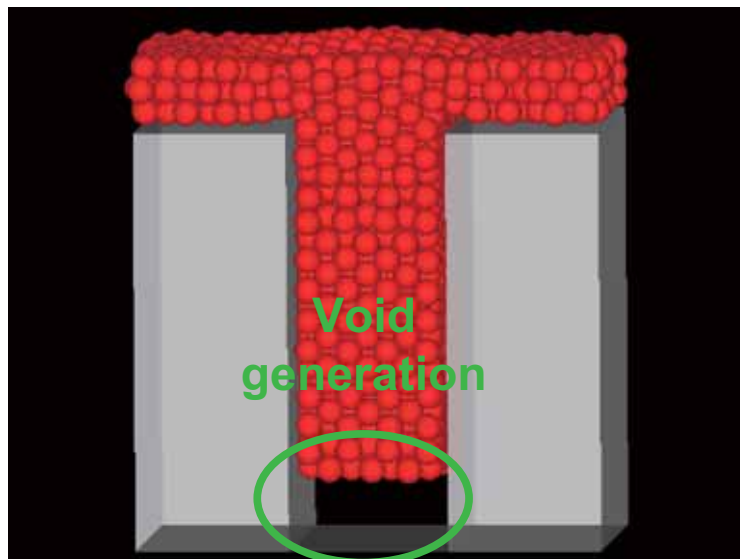
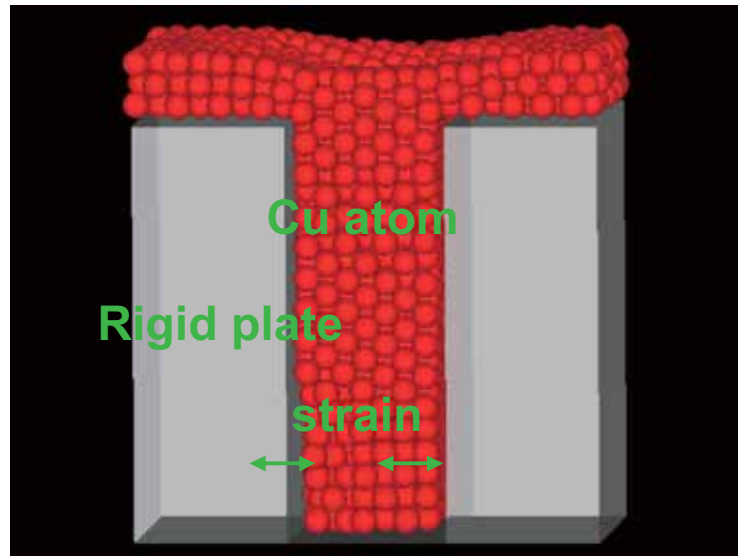
- 原子間相互作用: **拡張Tersoffポテンシャル**

$$U_T = \frac{1}{2} \sum_i \sum_j u_{ij} + \sum_i \phi_i$$
$$\begin{cases} u_{ij} = u_{REPij} + u_{SHTij} + u_{IONij} + u_{VDWij} \\ \phi_i = \frac{I_{Ei} + A_{Ei}}{2e} q_i + \frac{I_{Ei} - A_{Ei}}{2e^2} q_i^2 \end{cases} \begin{cases} u_{REPij} = f_{Sij} A_{ij} \exp(-\lambda_{ij} r_{ij}) \\ u_{SHTij} = -f_{Sij} b_{ij} B_{ij} \exp(-\mu_{ij} r_{ij}) \\ b_{ij} = [1 + (\beta_{ij} \sum_{k \neq i, j} \zeta_{ijk})^{n_i}]^{-\frac{1}{2n_i}} \end{cases}$$

- 原子-基板間相互作用: **Morseポテンシャル**

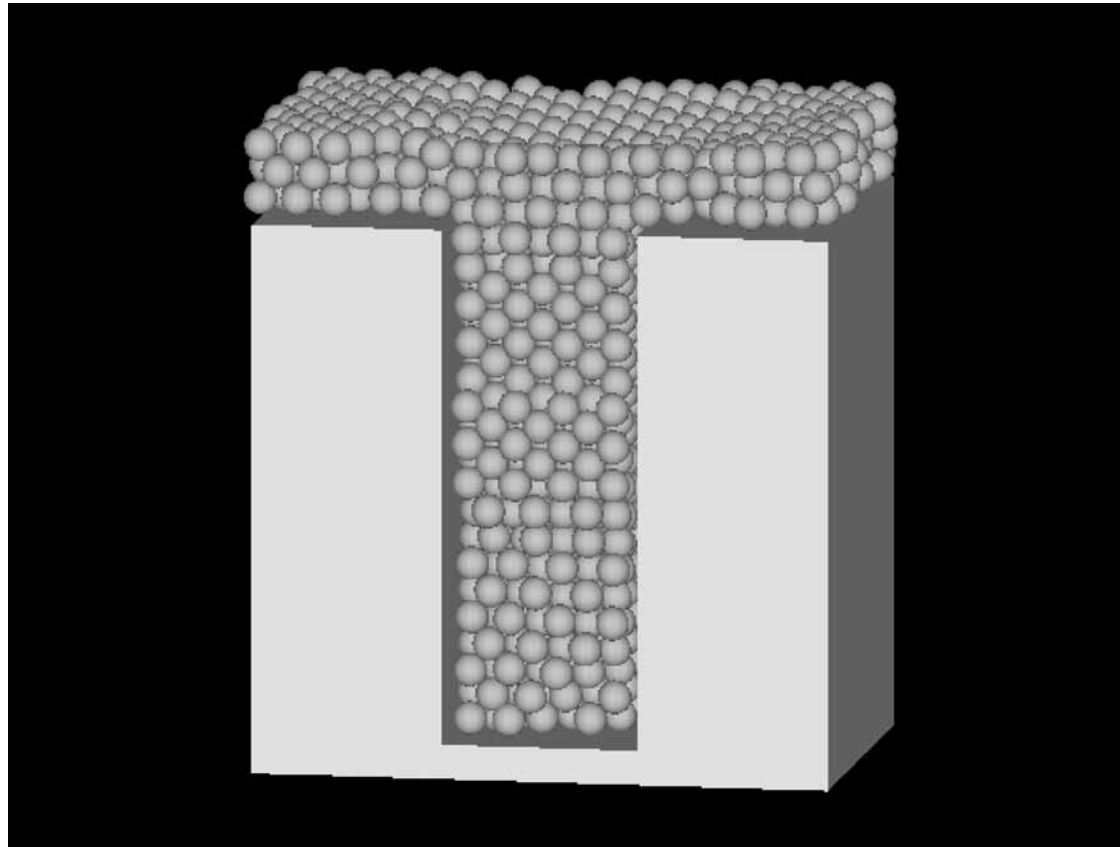
$$\phi(r_{ij}) = D \exp[-2\alpha(r_{ij} - r_0)] - 2D \exp[-\alpha(r_{ij} - r_0)]$$

SIV計算モデル



- 銅の単結晶をT字型の配線形状に切り出す。
- 埋め込み配線部の体積変化率を配線歪と定義する。
- 低温度(50K)での構造緩和の後、アニール温度を設定して欠陥生成の有無を見る。

標準試料



大きさ(nm):

$2.89 \times 4.33 \times 4.51$

原子数:1806

アニール温度:450K

歪:0%

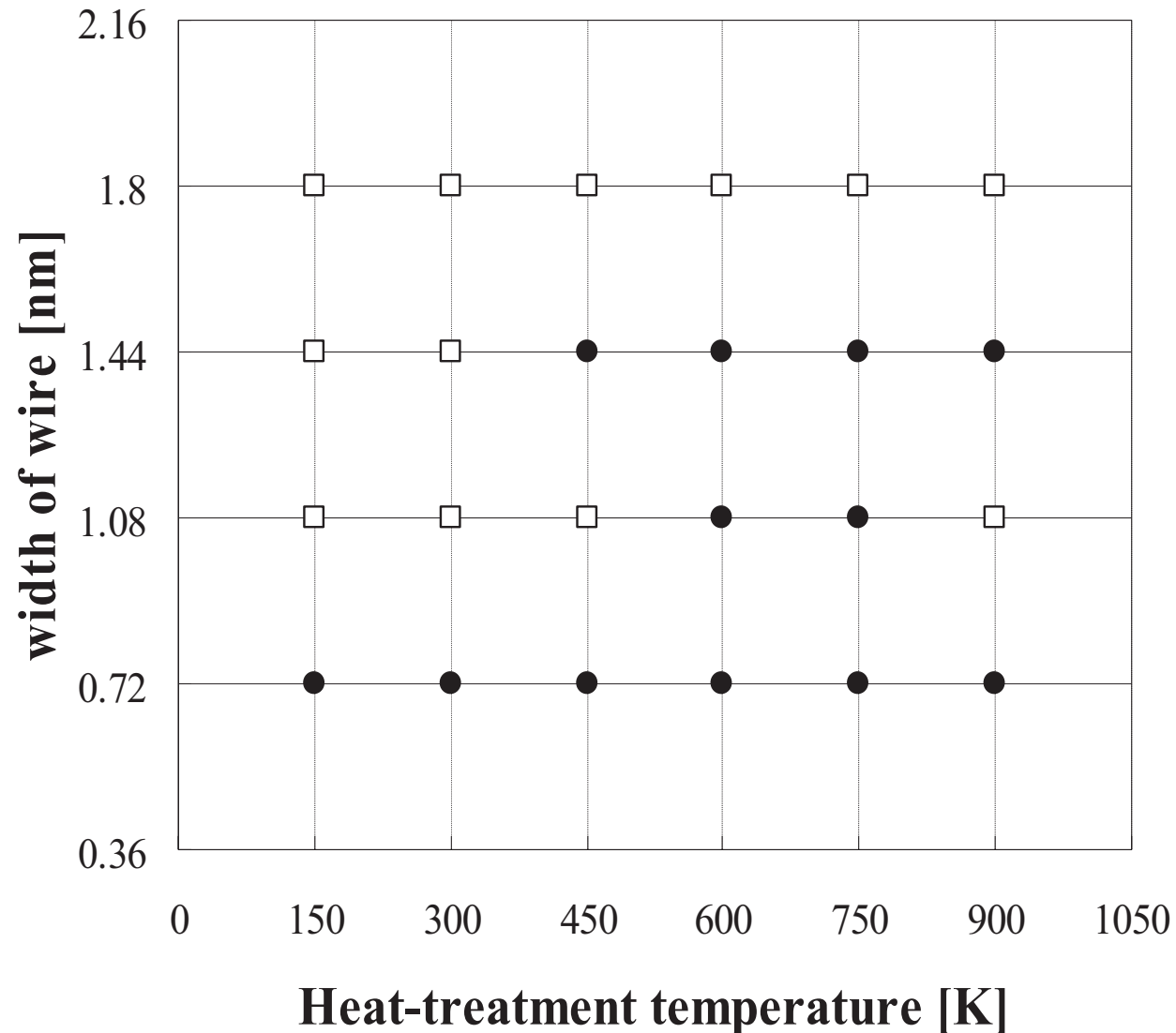
配線幅:1.08nm

配線高さ:3.88nm

上部膜厚:0.361nm

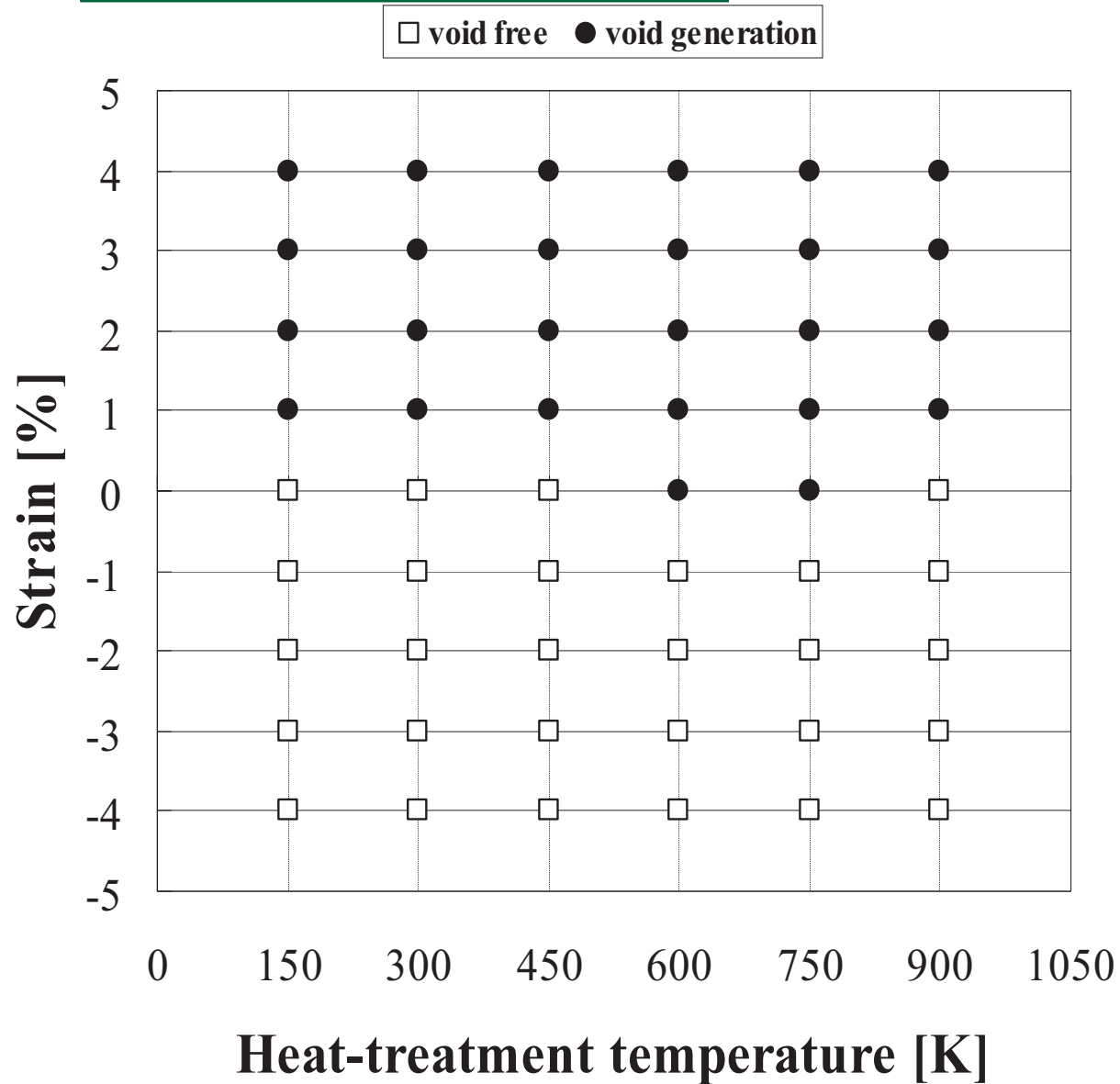
SIV—配線幅の影響

□ void free ● void generation



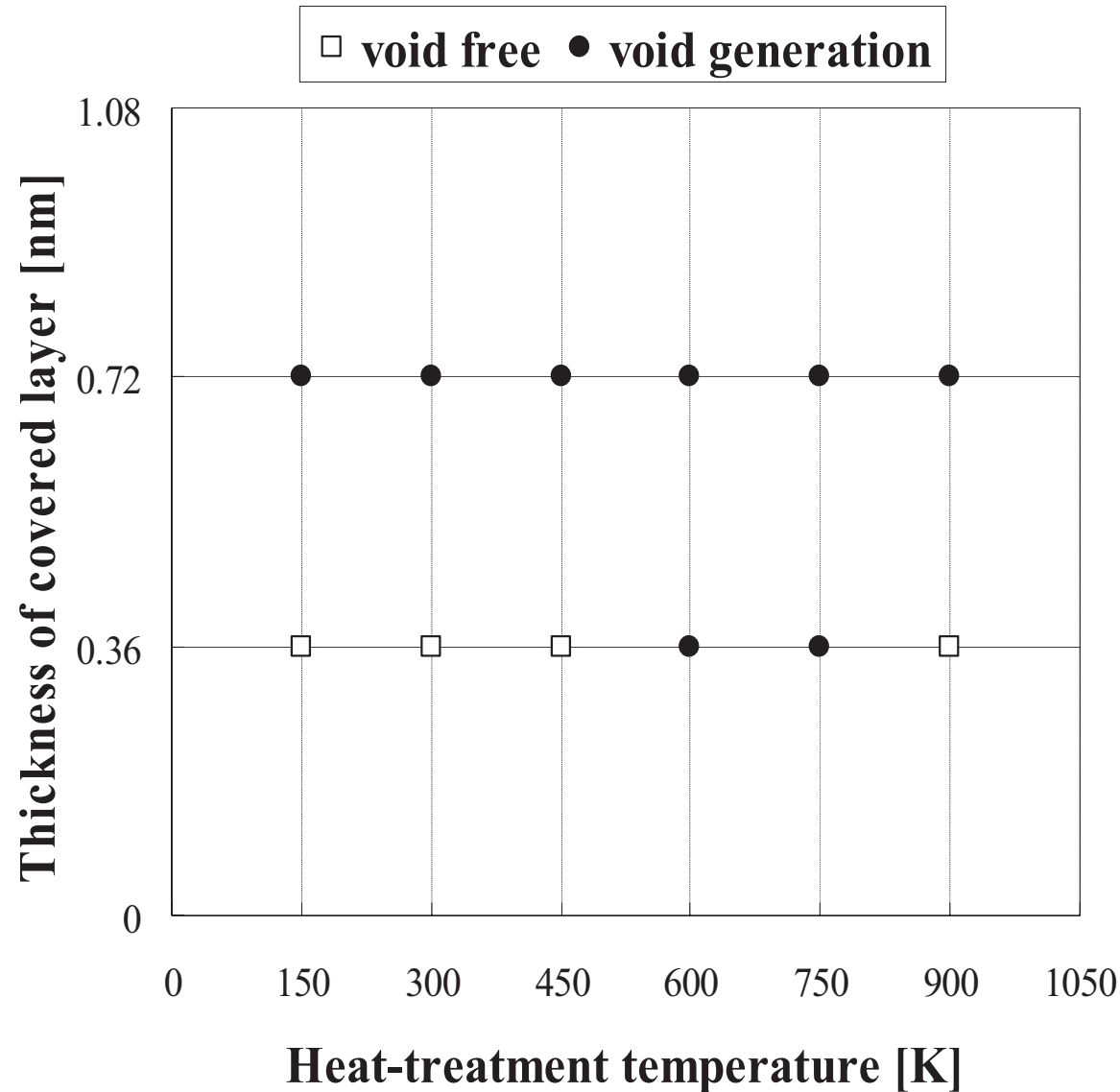
- 配線幅が狭いほど欠陥生成が容易

SIV-歪の影響



- 歪の影響は
アニール温度
よりも大

SIVー上部膜厚の影響



- 上部膜厚が厚いほど欠陥生成が容易

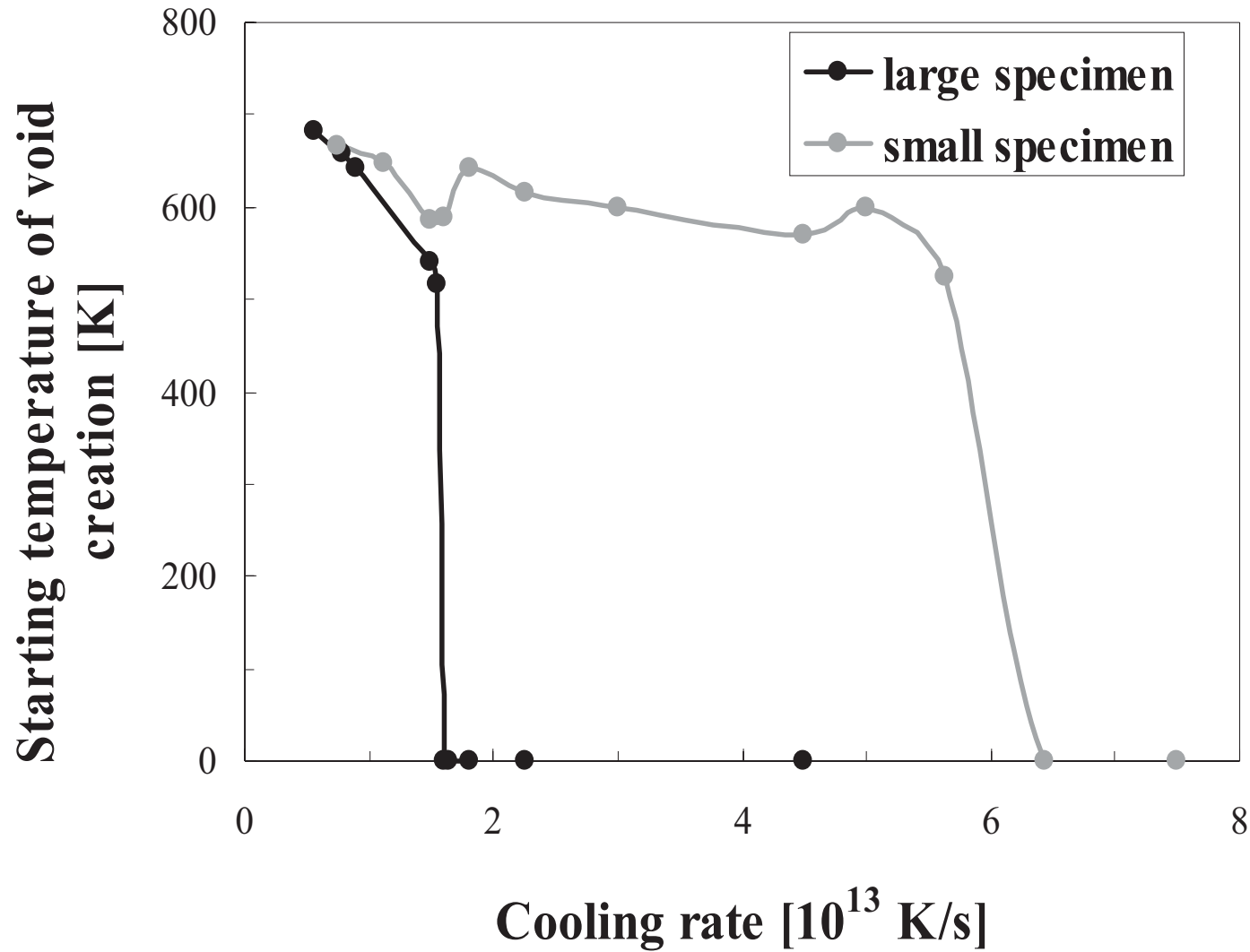
SIV—冷却速度の影響



TABLE II. Calculation conditions for the Cu wire / Ti substrate system.

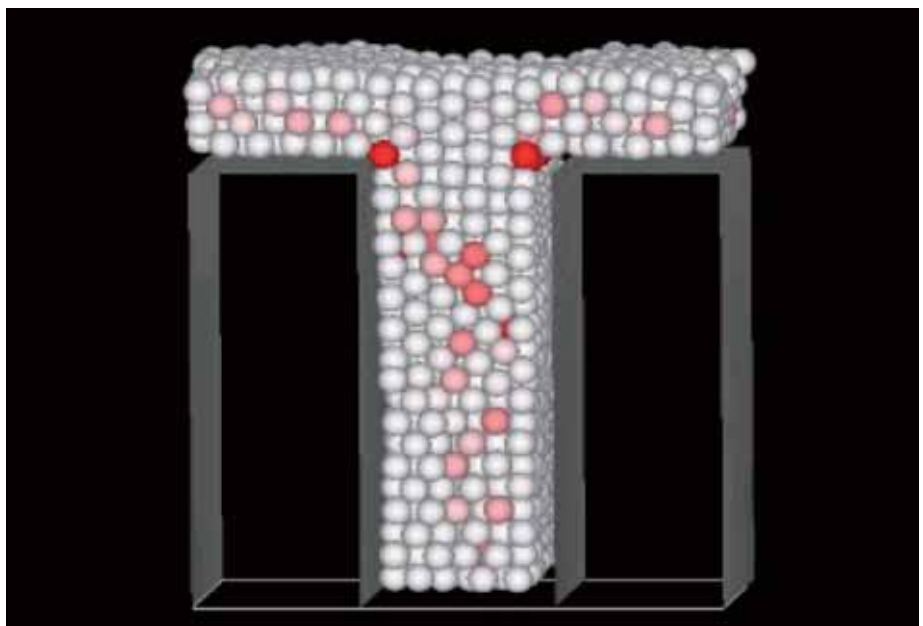
| | Large specimen | Small specimen |
|--------------------------------|--------------------------------|--------------------------------|
| Number of unit cells | $8 \times 12 \times 13$ | $8 \times 13 \times 11$ |
| Dimensions (nm) | $2.89 \times 4.33 \times 4.69$ | $2.89 \times 4.69 \times 3.97$ |
| Number of atoms | 2000 | 1696 |
| Heat-treatment temperature (K) | 750 | 750 |
| Strain of wire (%) | - 3 | - 3 |
| Width of wire (nm) | 1.08 | 0.902 |
| Height of wire (nm) | 3.88 | 3.16 |
| Aspect ratio | 3.59 | 3.50 |
| Thickness of under-layer (nm) | 0.542 | 0.542 |

SIVー冷却速度の影響

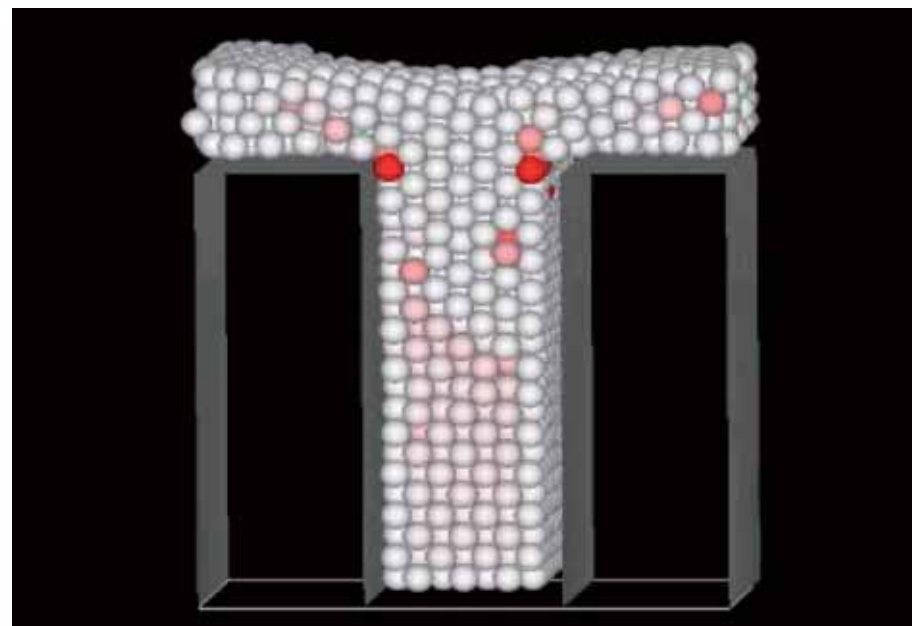


- 冷却速度が遅いと欠陥生成に有利

RESULTS (Cu / W)



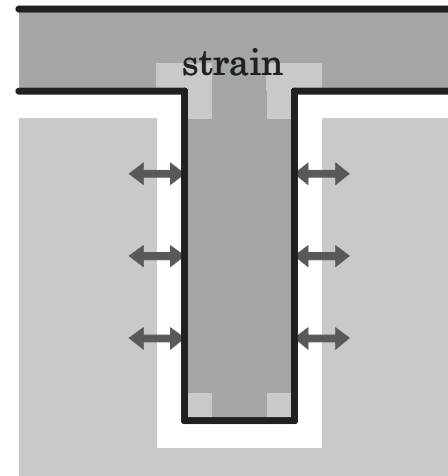
After annealing
Strain -2%
Temperature 600K
Void free



After annealing
Strain +2%
Temperature 600K
Void generation

SIV生成モデル

熱処理前に配線に含まれる歪エネルギーを緩和する



(a) before heat-treatment

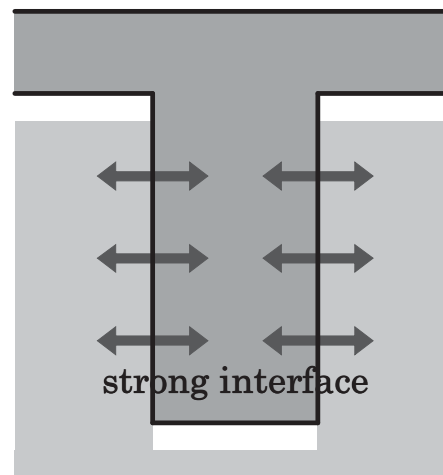
・構造緩和して界面の結合を強化

→SIVなし

・原子の移動により界面の面積を減少させる

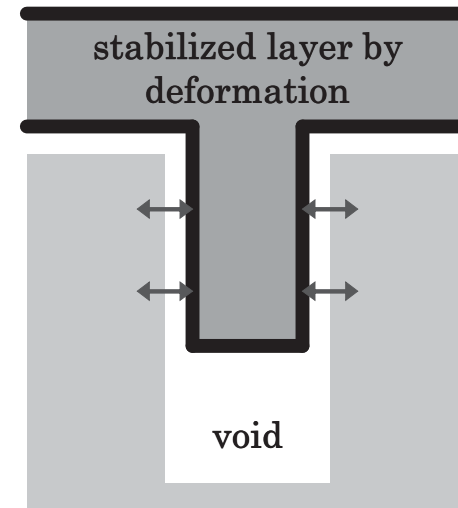
→SIV生成

Structural relaxation to strengthen interface interaction



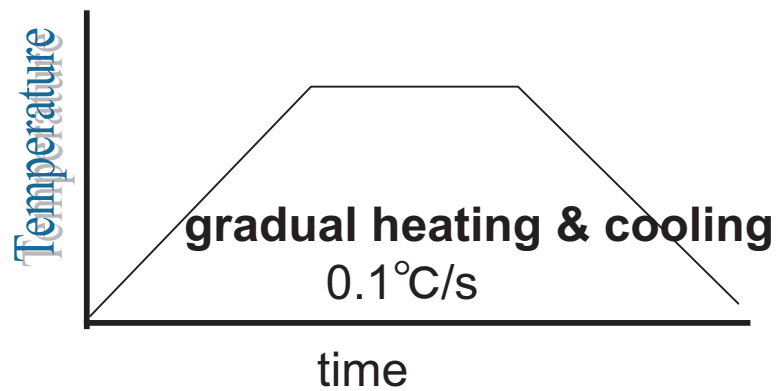
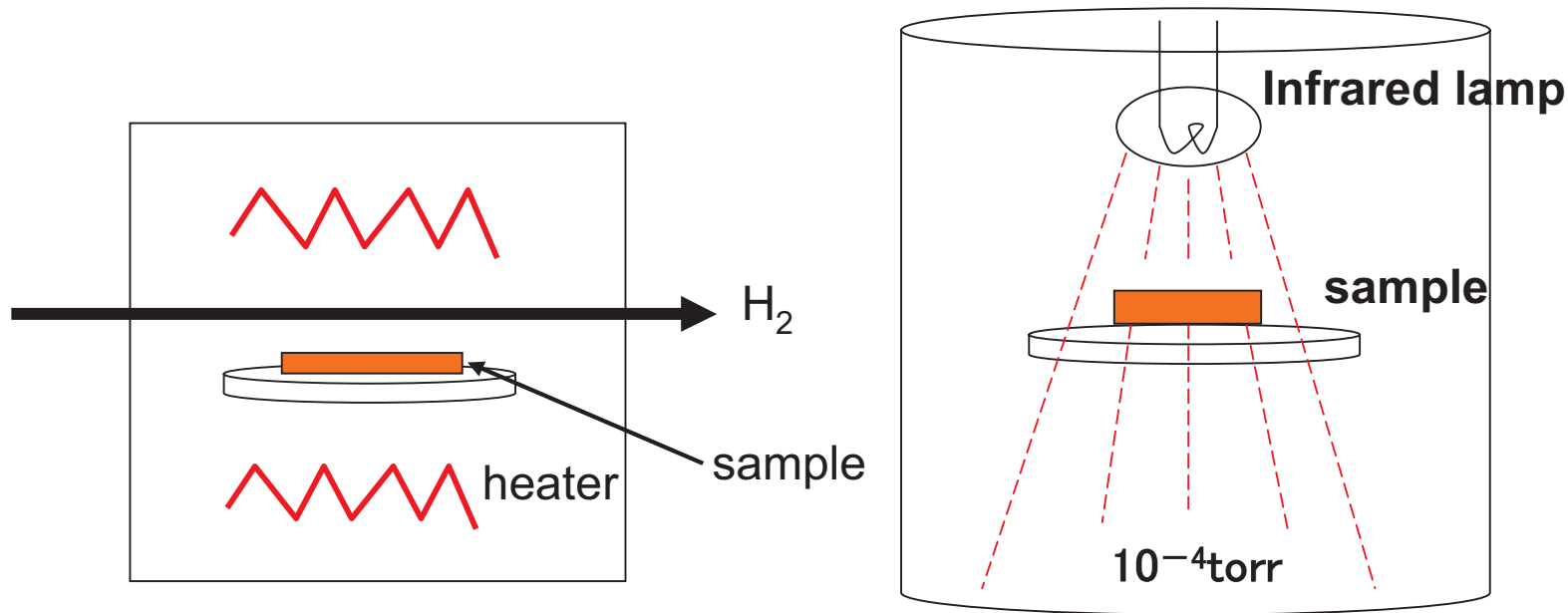
(b) void free

Reducing surface area to decrease surface energy

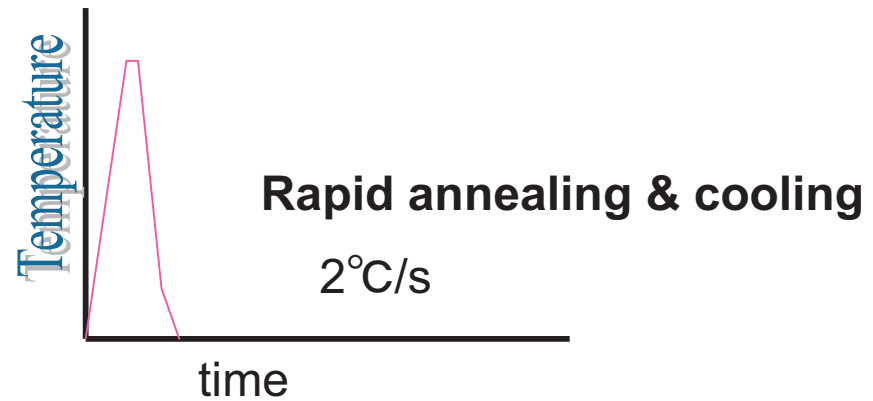


(c) void generation

RTA法による結晶粒粗大化

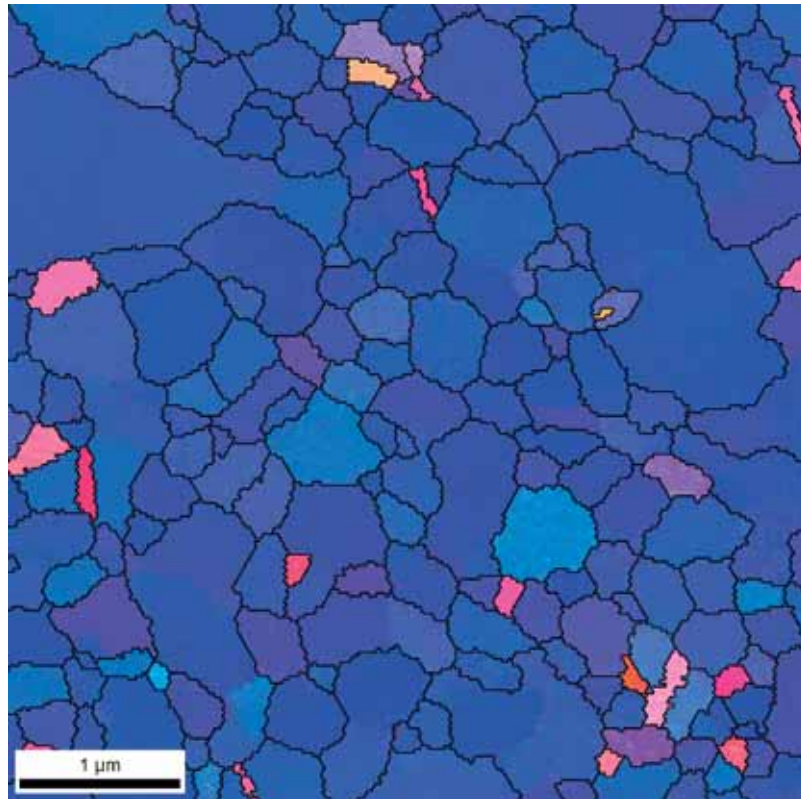


通常法



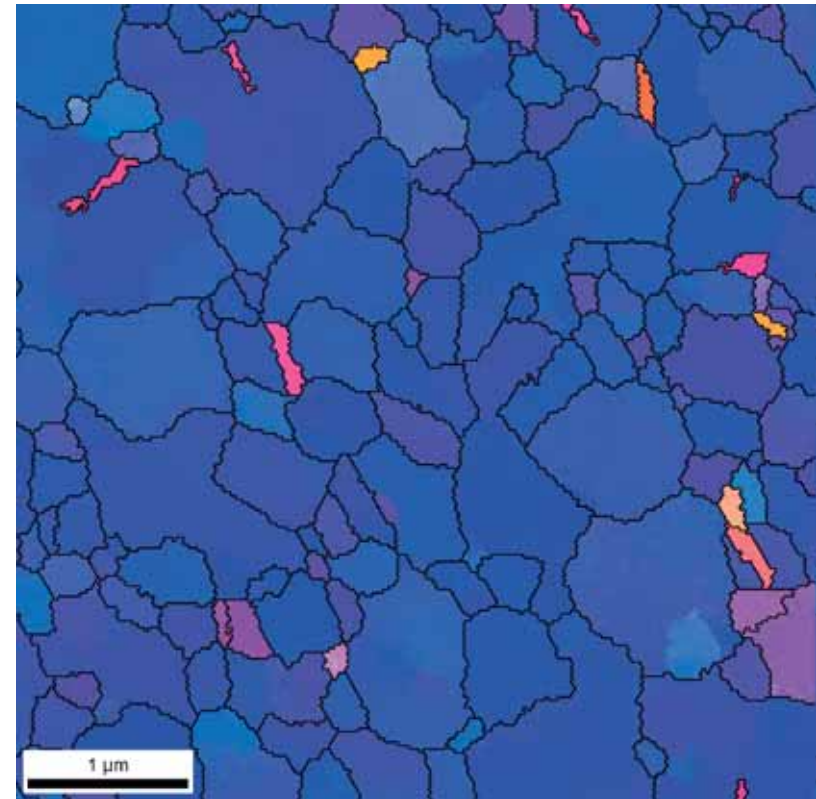
RTA法

RTA—実験事実 (EBSP)



H₂ annealing at 400°C for 30min

平均粒径: 348nm



RTA annealing at 400°C for 5min.

351nm

粒径分散、(111)配向度ともにRTAの方が良い

計算方法－フェーズフィールド法

Acta Mater. Vol. 51 (2003) 6035 - 6058

KWCモデルにおける全自由エネルギー密度: F の方程式

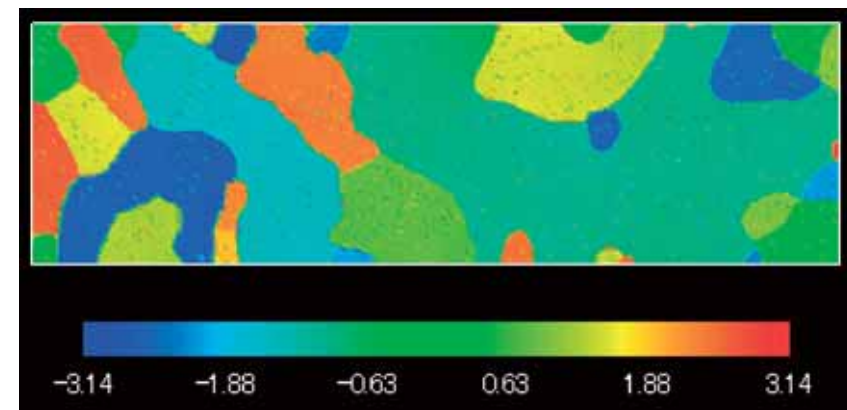
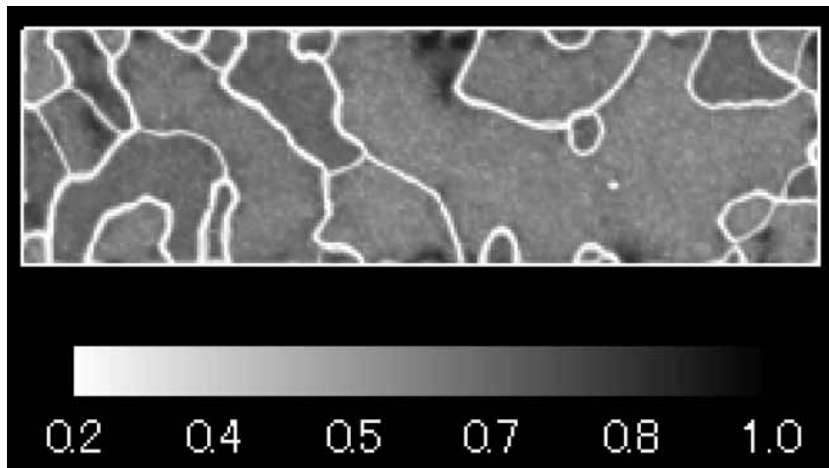
$$F = \int dV \left[f(\phi, T) + \frac{\alpha^2}{2} \Gamma(|\nabla \phi|, \theta - \psi) + sg(\phi) |\nabla \theta| + \frac{\varepsilon^2}{2} h(\phi) |\nabla \theta|^2 \right]$$

結晶度を表すフェーズフィールド: ϕ

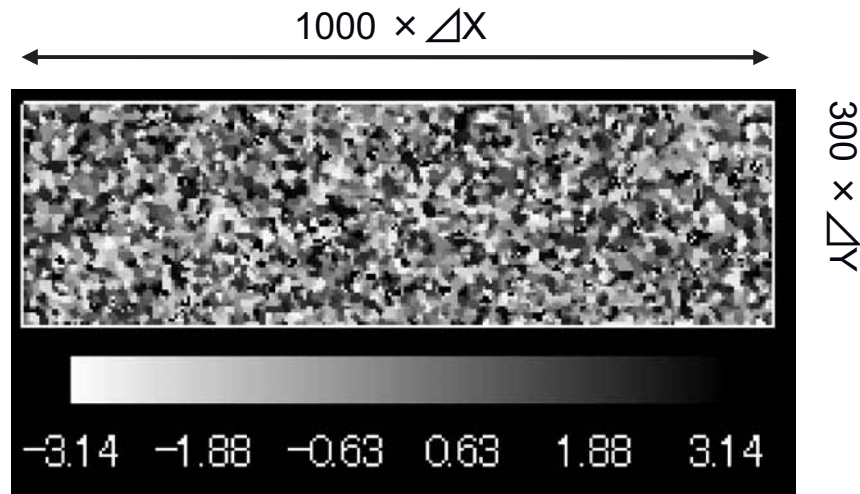
$$Q(\phi, \nabla \theta) \tau_\phi \frac{\delta \phi}{\delta t} = - \frac{\delta F}{\delta \phi}$$

結晶の回転方位を表す方位場: θ

$$P(\phi, \nabla \theta) \tau_\theta \phi^2 \frac{\delta \theta}{\delta t} = - \frac{\delta F}{\delta \theta}$$

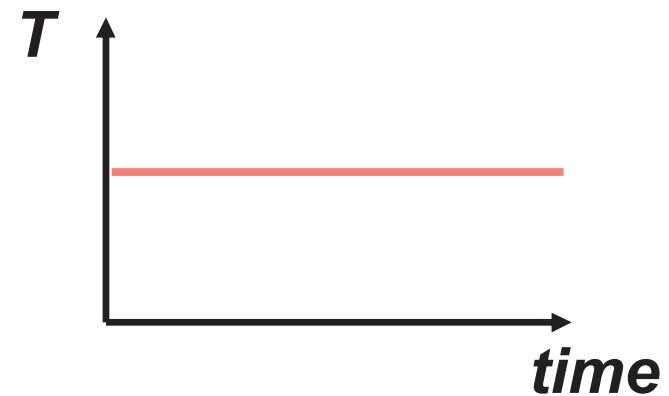


RTA計算モデル

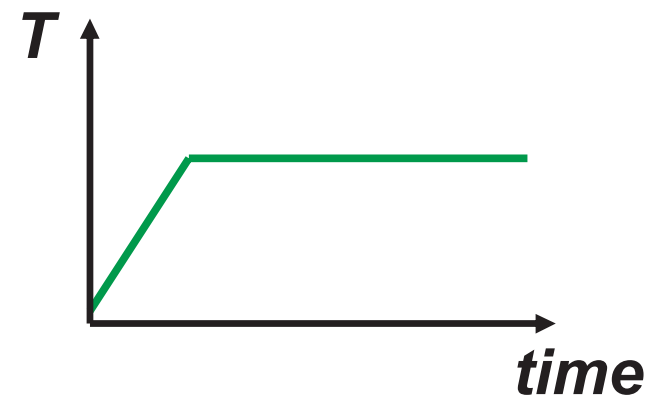


Dimension of system
= $2.00 [\mu\text{m}]$
 $\times 0.30 [\mu\text{m}]$

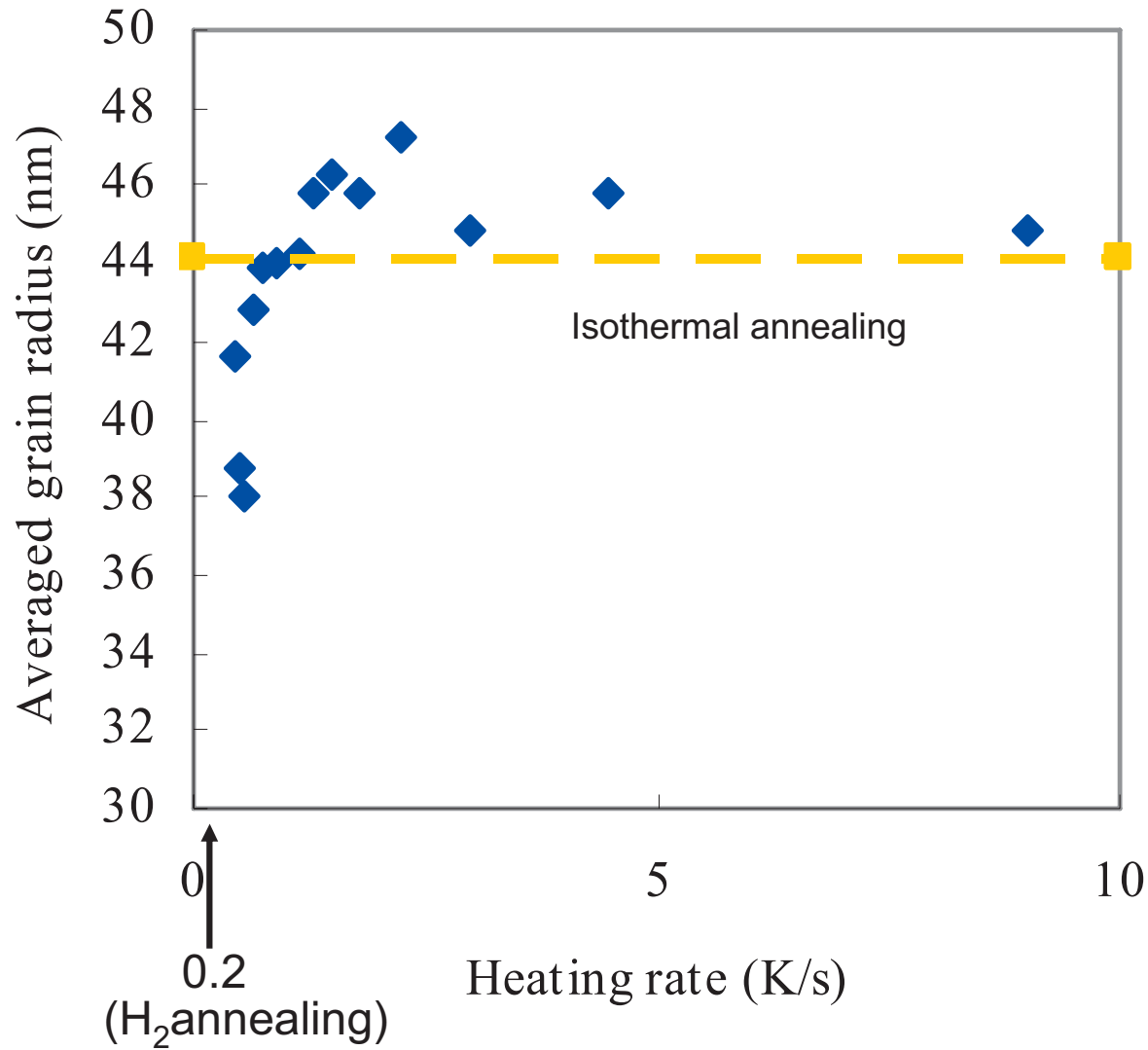
Iso-thermal annealing



Rapid thermal annealing

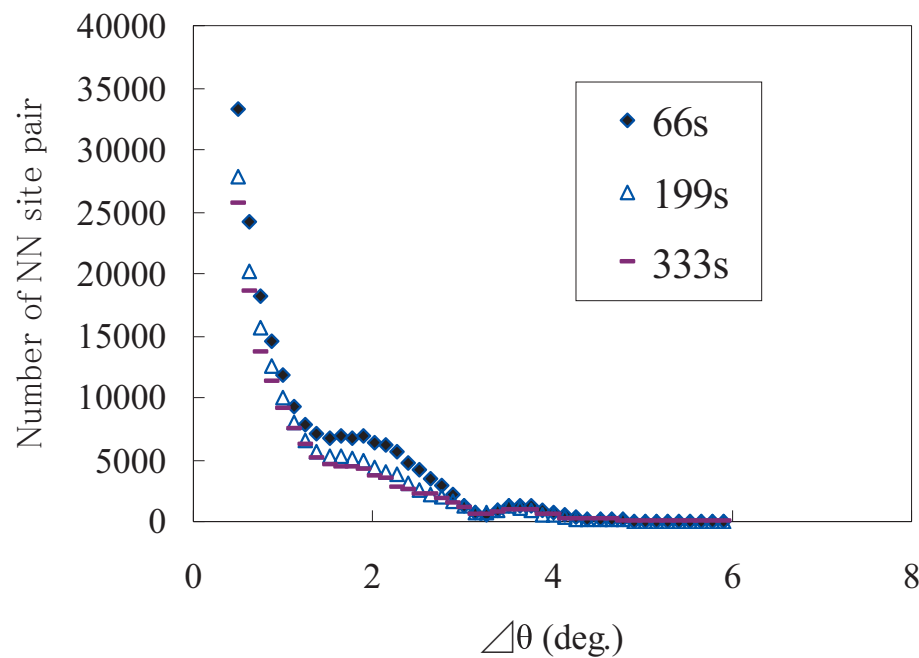


RTA計算結果

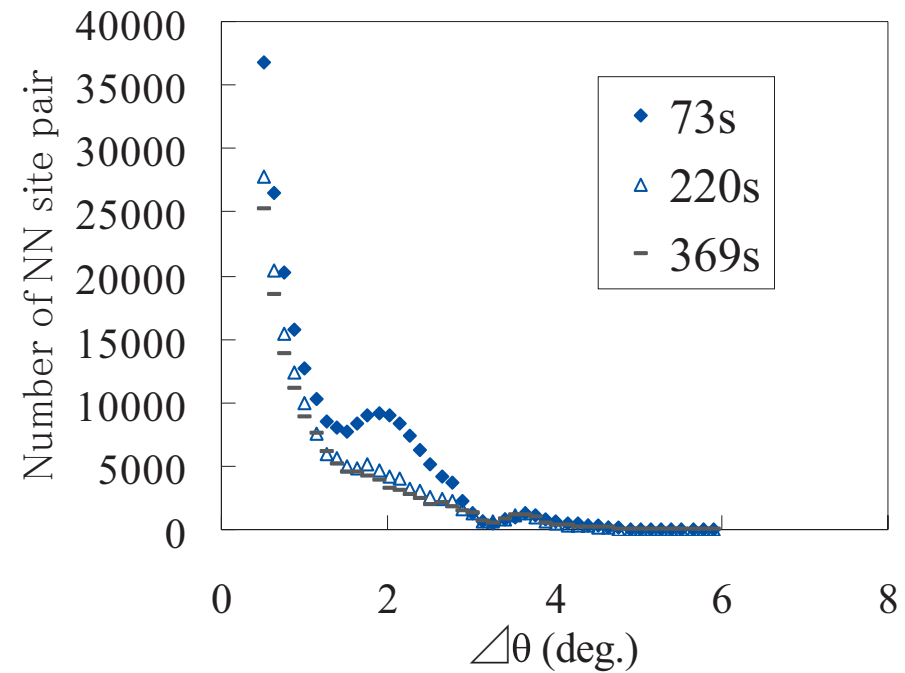


d vs.
heating rate

RTAによる粗大化機構



isothermal (673 K, 333 s)

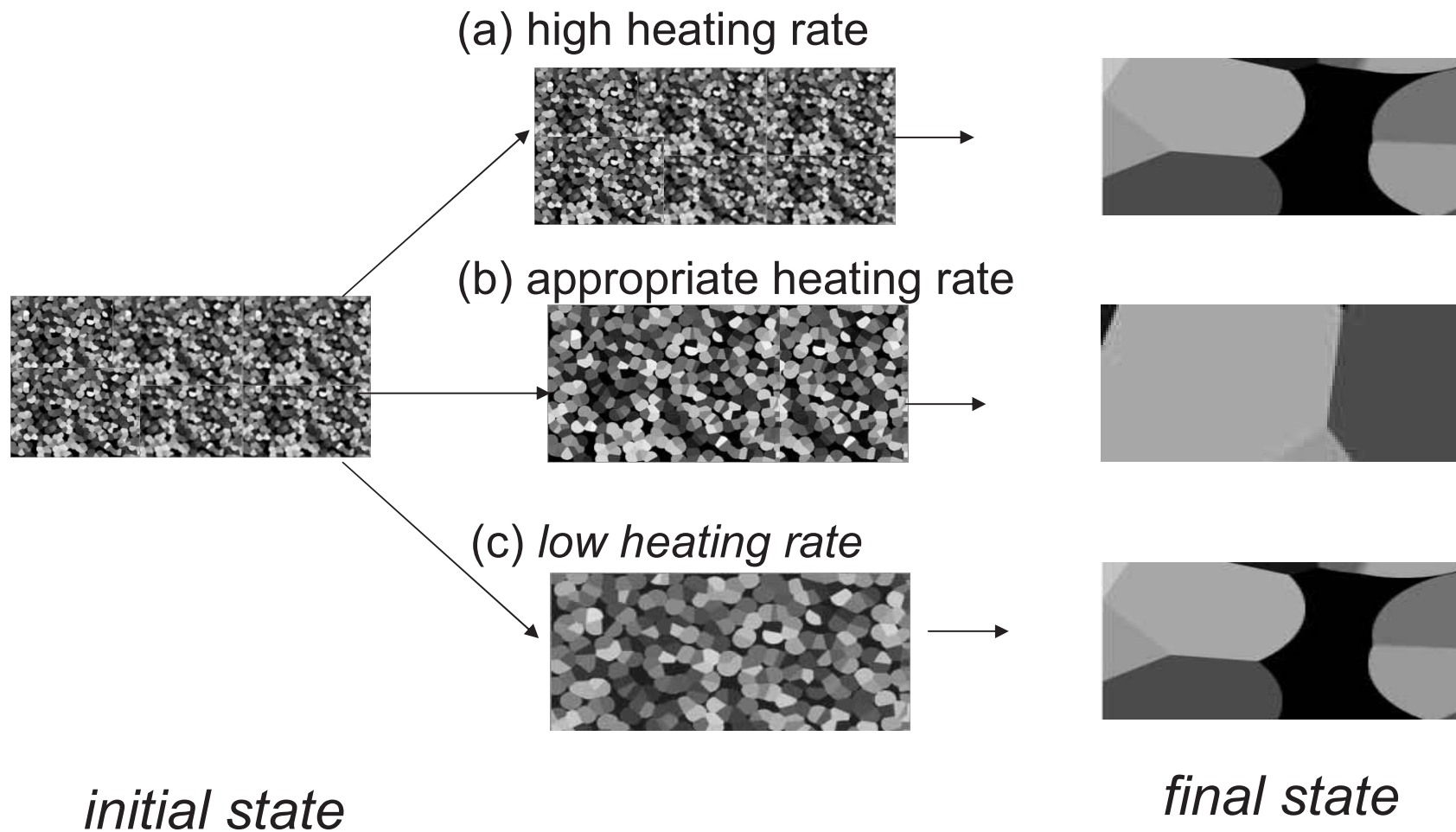


RTA (2.25 K/s)

RTAによる粗大化モデル

rapid annealing

isothermal annealing



まとめ(1)

- ・ 半導体集積回路の性能向上のための
計算機 シミュレーションの適用例を紹介

(1)分子動力学法(MD)によるSIV生成

配線幅が狭く，冷却レートが低く，上部膜厚が厚いほどSIV発生が生じやすいという実験と合致した結果を得た．また配線歪の影響が温度よりも大きいことを示し，これからSIV発生モデルをたてた．

まとめ(2)

(2) フェーズフィールド法 (PF) による RTA プロセスのシミュレーション

RTAの有効性を確かめ、その粗大化機構を考察した。通常のアニール法よりも10倍以上昇温速度の大きいRTA法では、ターゲット温度に達したときでも界面エネルギーの大きな微細粒が多く残存する。この大きな界面エネルギーを駆動力とするため、ターゲット温度下での恒温処理時に速い成長速度で粒が粗大化する。

本技術に関する知的財産権



- 発明の名称 : 半導体集積回路装置及びその製造方法
- 出願番号 : 特願2008-309890
- 出願人 : 茨城大学
- 発明者 : 篠嶋 妥、大貫 仁、
田代 優、 Kyoo Khyon Pin

お問い合わせ先：茨城大学 産学官連携イノベーション創成機構
知的財産部門 片上浩三

TEL: 0294-38-7281

FAX: 0294-38-5240

e-mail: katakami@mx.ibaraki.ac.jp