

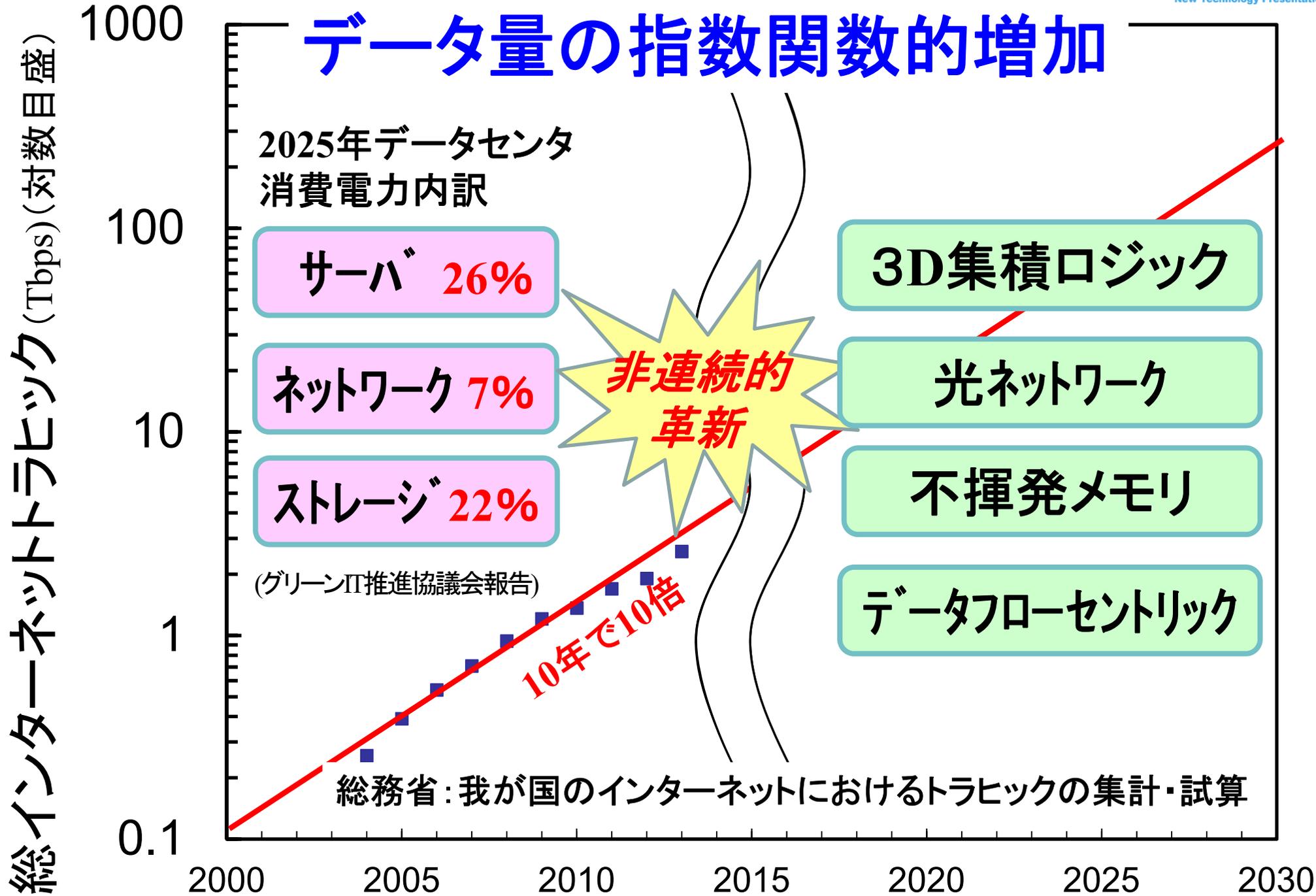
新しいIV族半導体のトランスファ &ビルトによる新機能集積技術

産業技術総合研究所

ナノエレクトロニクス研究部門

研究主幹 前田 辰郎

平成31年10月1日



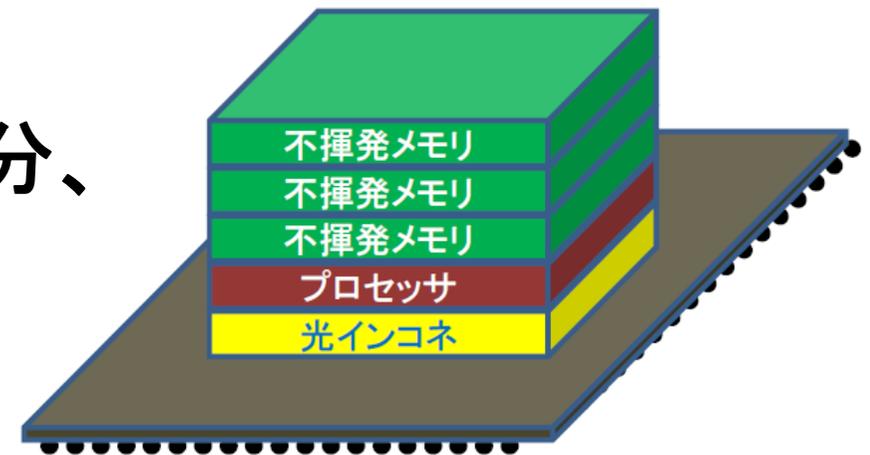
メモリ、ロジック、ネットワークの処理能力

・データ処理システムを構成するハードウェアの3要素の能力を「桁で」向上させる方策

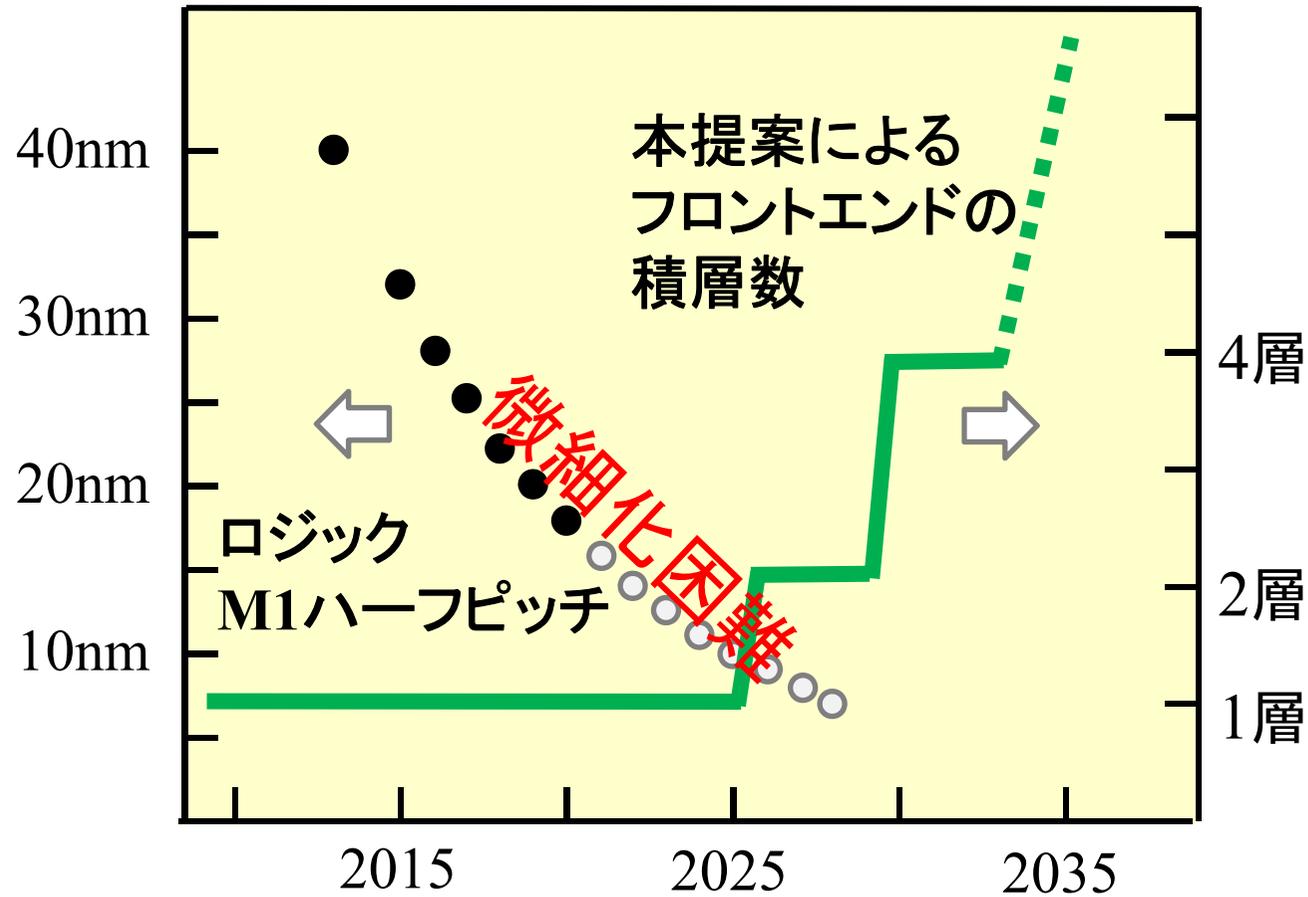
メモリ： N層の積み重ねば容量N倍、データ伝送も高速

ネットワーク： 光による広帯域化

ロジック： 現在はマルチコア化
電力効率が向上した分、
処理能力が増加



横方向の微細化からz方向の積層化へ

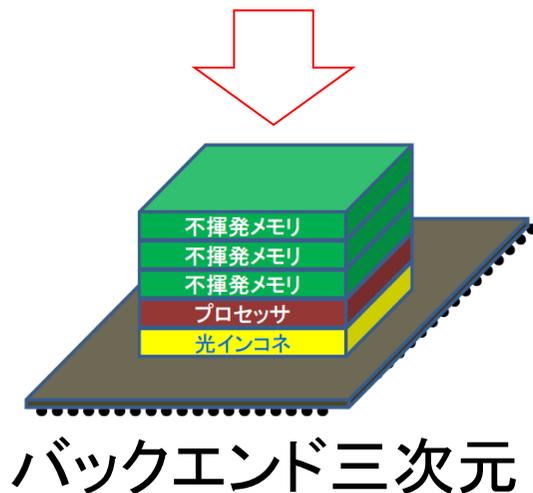
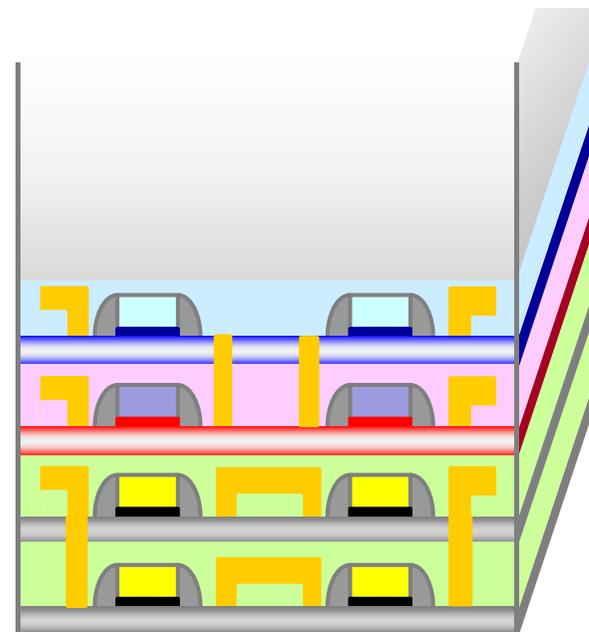


フロントエンド三次元集積化技術

現在のLSI

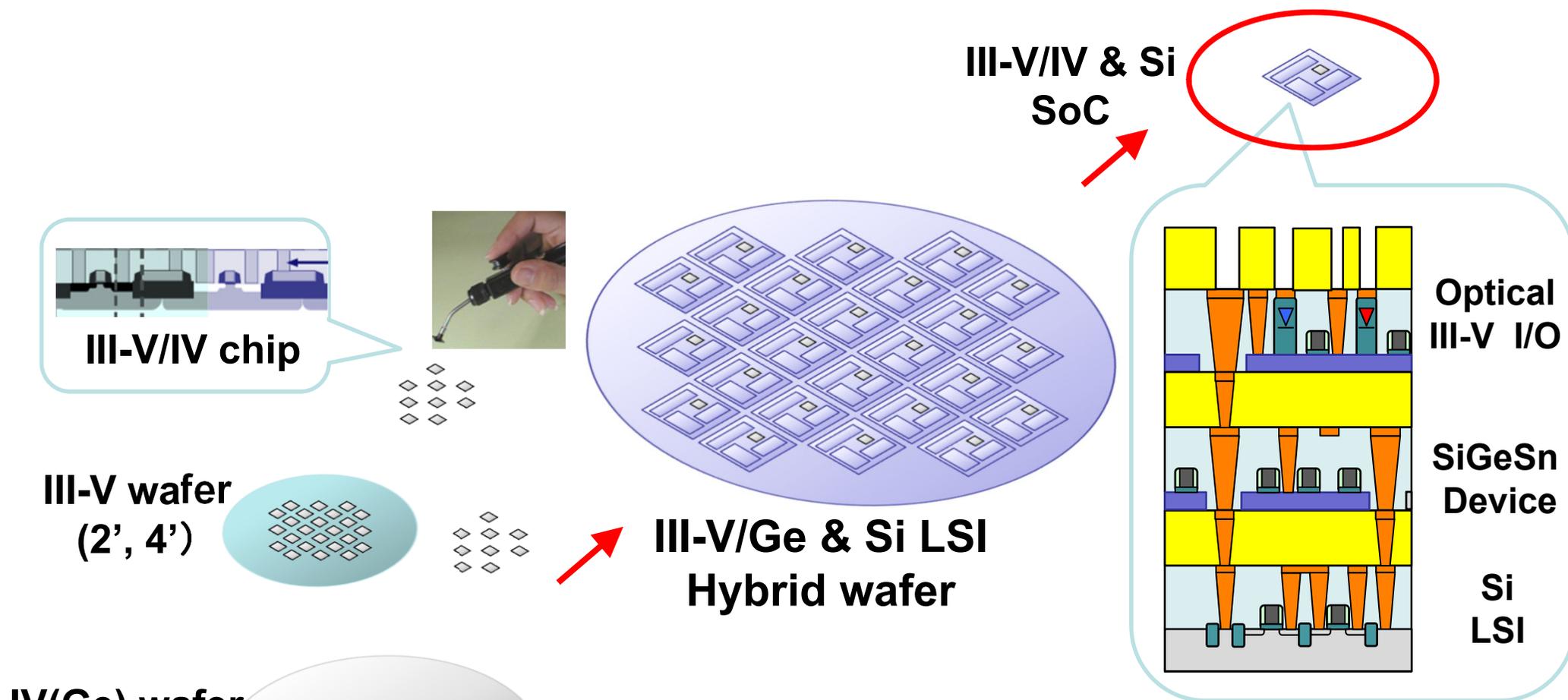


フロントエンド三次元



- ・配線長の削減による低消費電力化
- ・微細化に頼らない高集積化
- ・新材料の導入が容易
- ・三次元構造を利用した回路設計

トランスファ&ビルトによる三次元集積



材料ミスマッチの解消で
新材料とSi-LSIとの機能融合

従来技術との違い(材料性能)

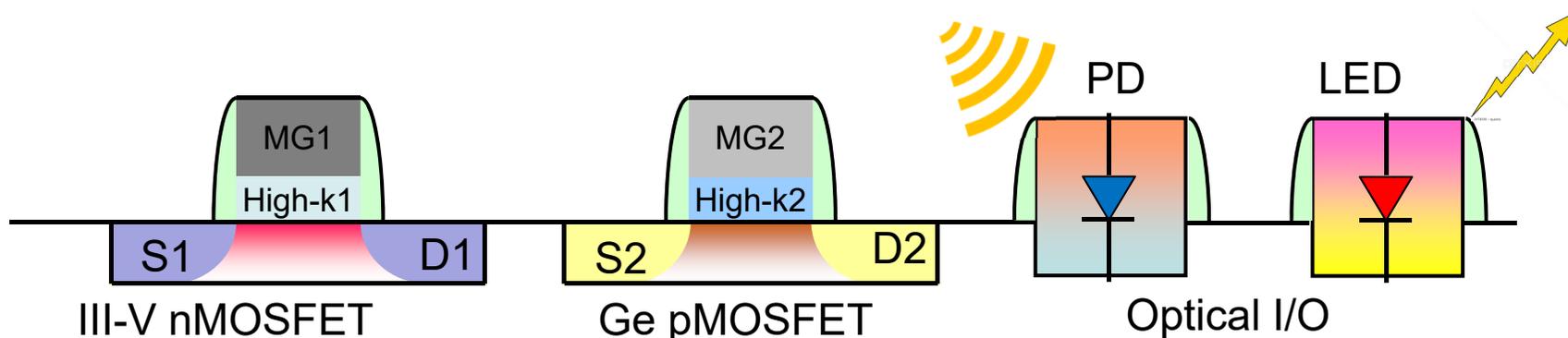
新IV族ポストシリコン材料

→ Siの性能を凌駕し、Siでは実現不可能な機能をもつ材料

→ 従来のSiプロセスとの高い親和性

	Si	SiGe	Ge	GeSn	GaAs	InGaAs
Electron Mobility [cm^2/Vs]	1600	-	3900	~5000	9200	12000
Hole Mobility [cm^2/Vs]	430	-	1900	~4000	400	300
Band gap [eV]	1.12	-	0.66	>0.66	1.42	0.74
Wavelength (μm)	1.1		1.6		0.87	1.7

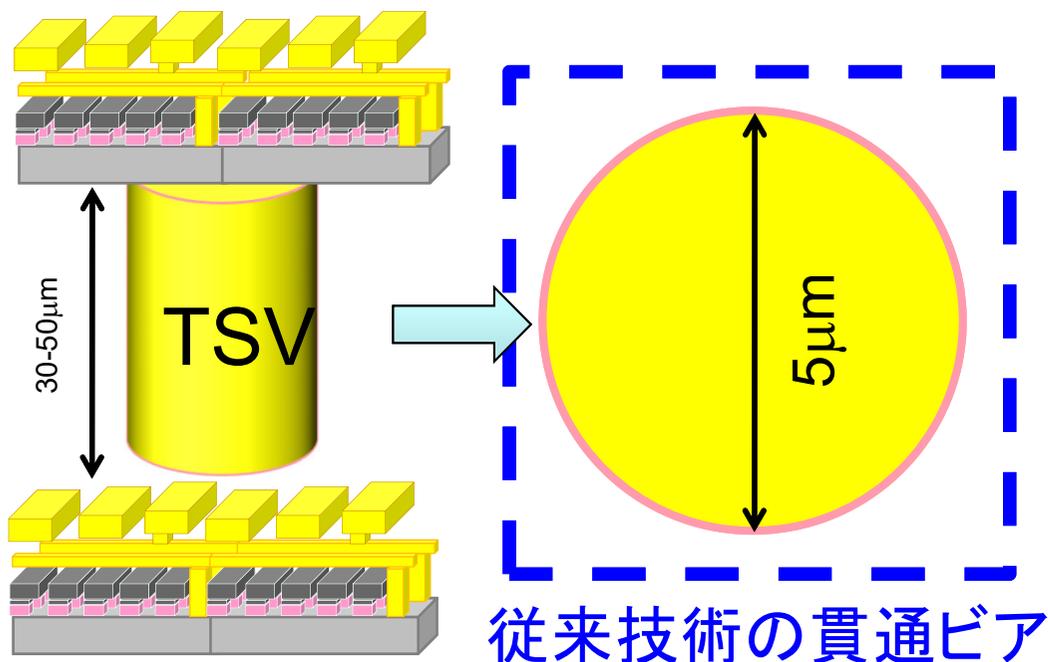
新IV族半導体



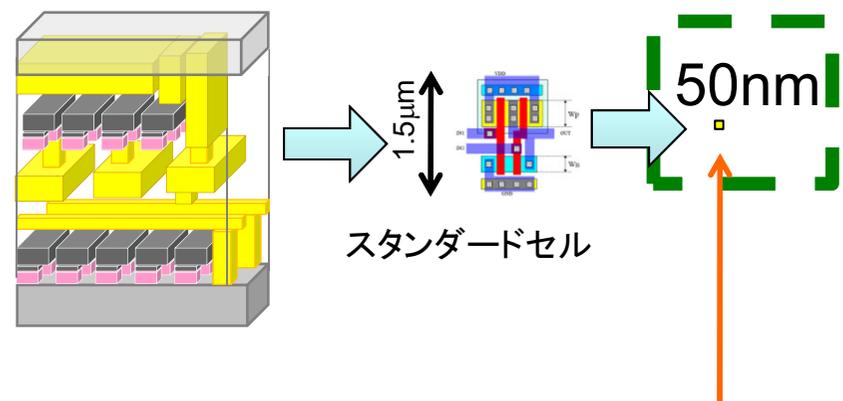
従来技術との違い(配線)

Si 貫通ビア (TSV)

トランスファー&ビルト配線



ビア径 ピッチ ~5μm
(本数は3000本/chip程度)



ビア径 ピッチ ~50nm
寄生抵抗、容量小

ビア密度で1000~10000倍

機能ブロックレベルの多層化

ゲートレベルの多層化

従来技術とその問題点

既に実用化されている3次元機能集積SoCには、TSV技術を使ったLSIウエハー積層(CPU + メモリー + センサー + α)があるが、

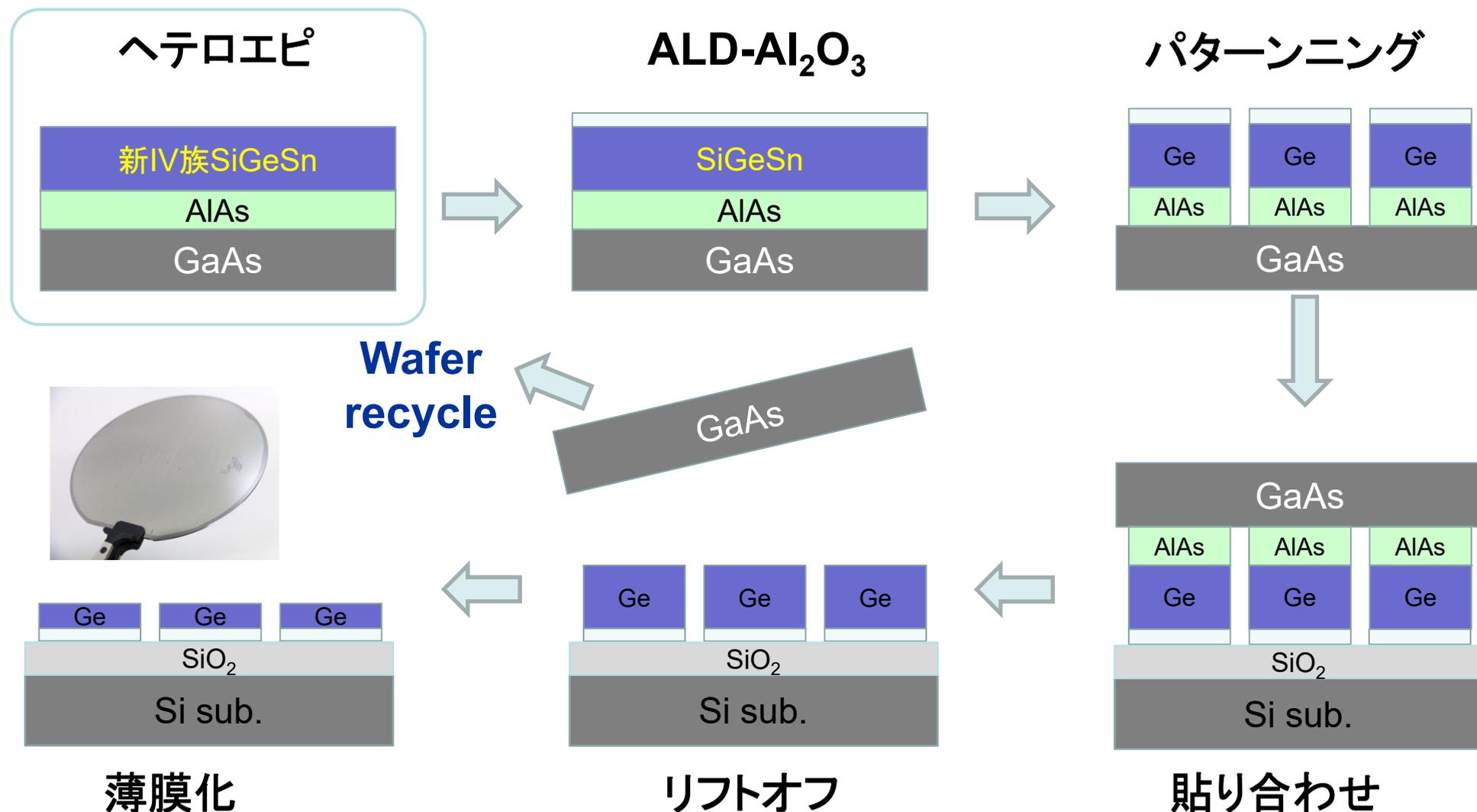
積層はシリコン ICのみ

異種新材料の積層は想定外

さらなる高密度化、高機能化が困難

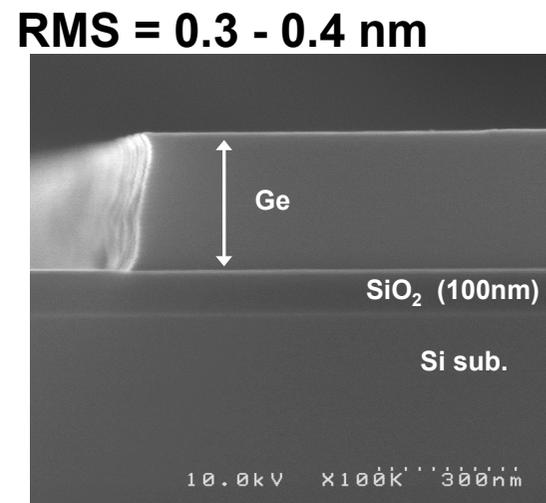
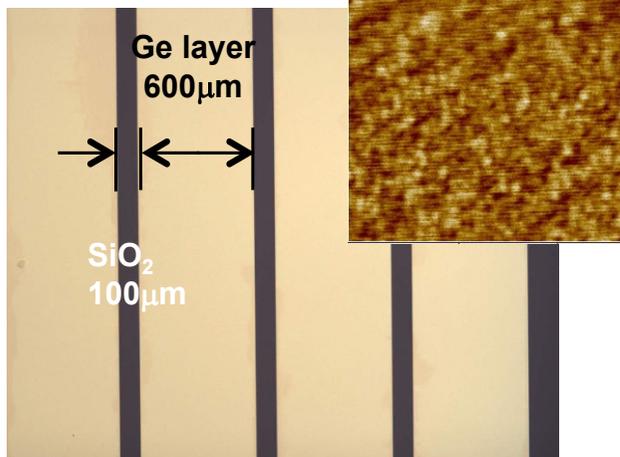
等の問題があり、さらなる新機能集積化には限界がある。

ポストシリコン新IV族半導体の転写技術



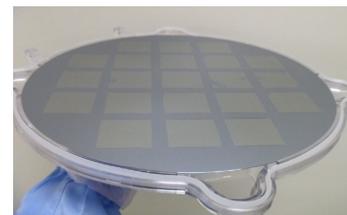
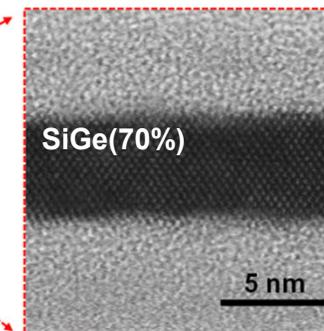
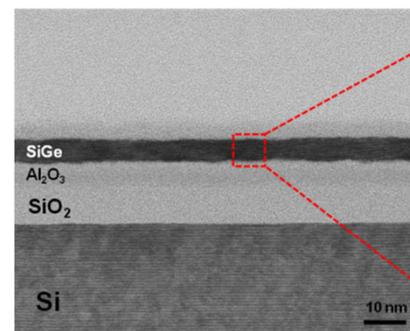
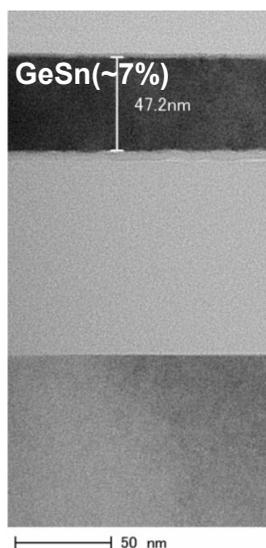
ヘテロエピタキシー技術と低温貼り合わせによる新IV族材料のトランスファー → 材料ミスマッチの解消

ポストシリコン新IV族半導体の転写技術

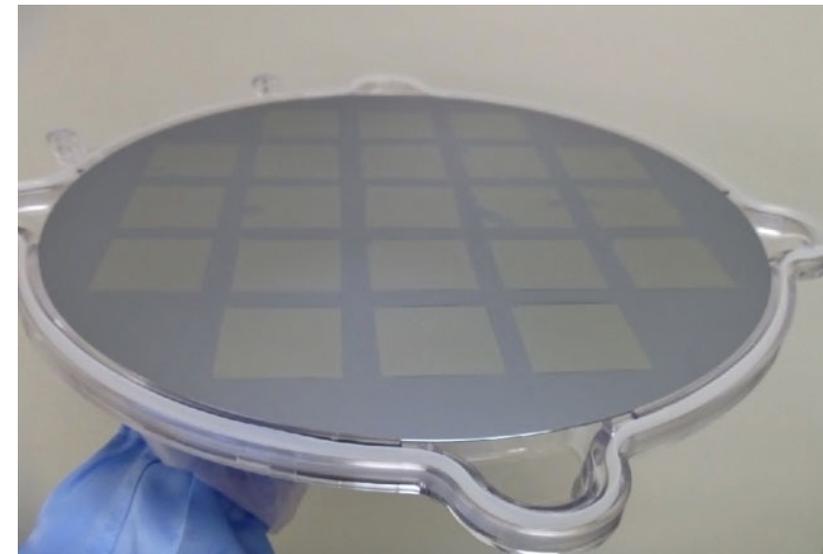
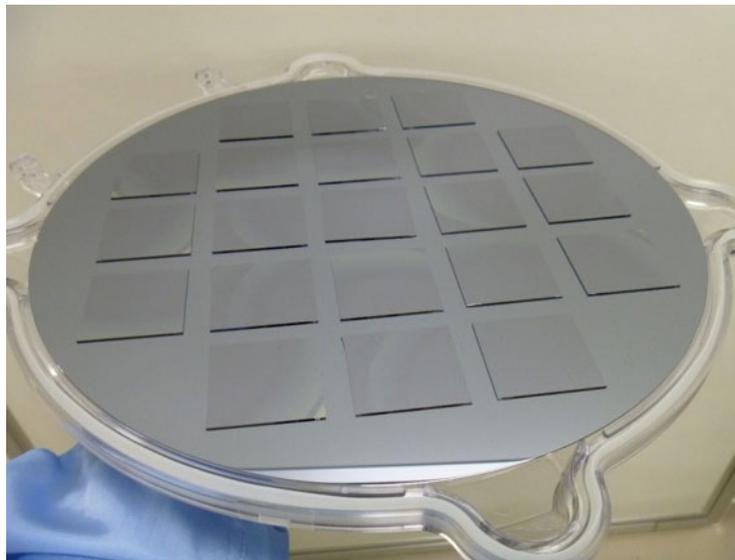
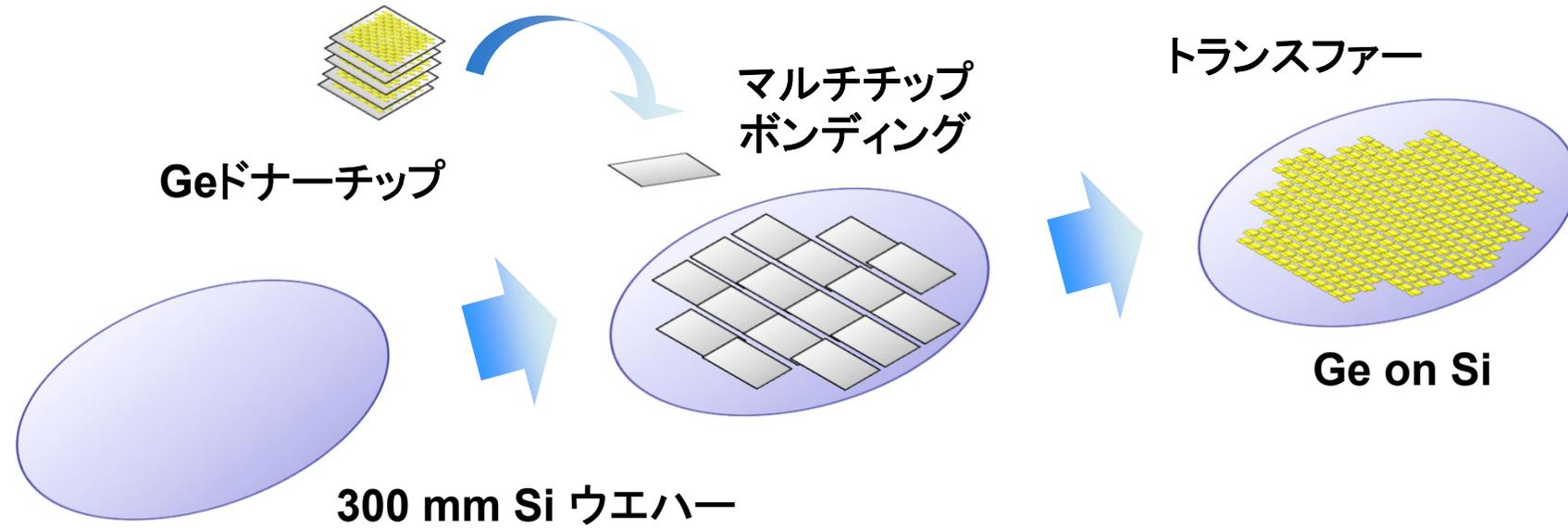


T. Maeda et al., *ECS Transaction* 64,(6) 491 (2014).

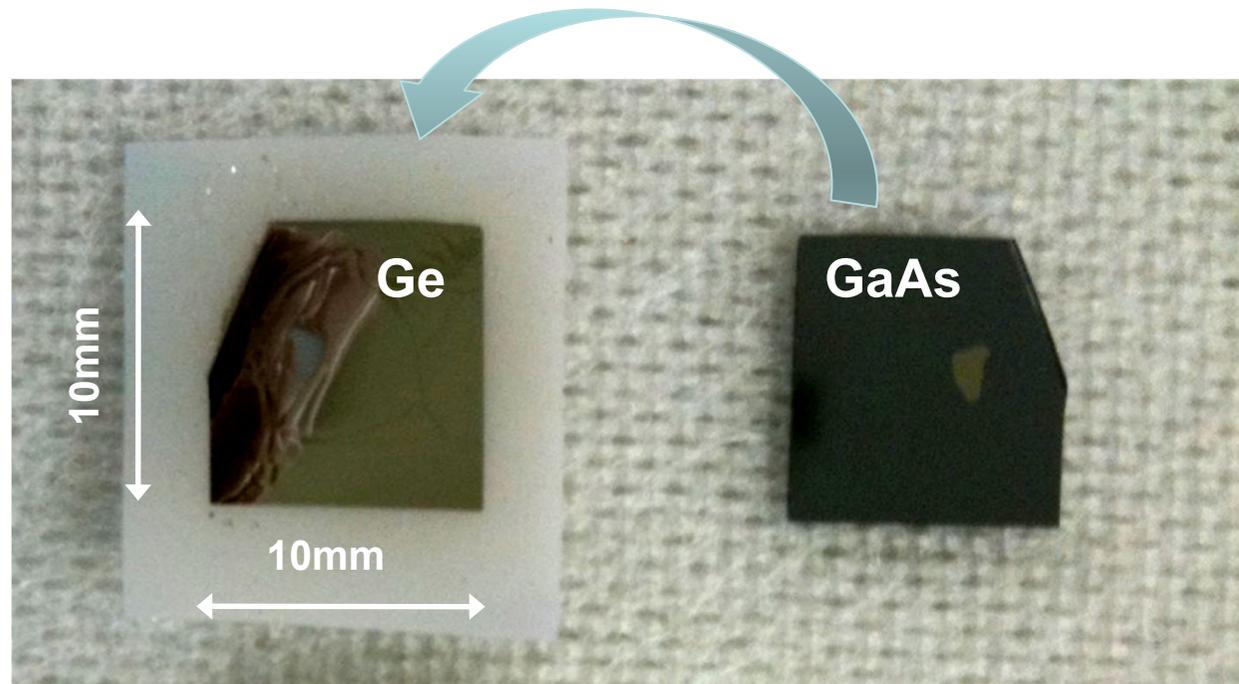
- ✓ 低温プロセス
- ✓ 膜厚制御性
- ✓ 不純物制御
- ✓ 超平坦、機械研磨なし
- ✓ フルウエハープロセス
- ✓ SiGeSn & III-V



300mm GeOI ウエハーの実現



フレキシブル基板上にGe転写

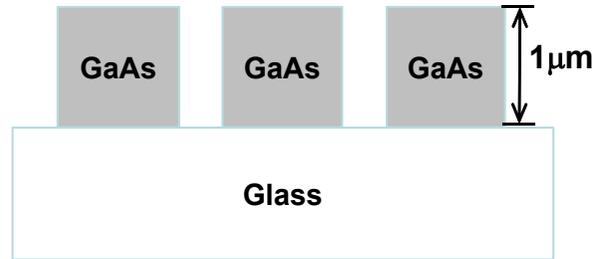
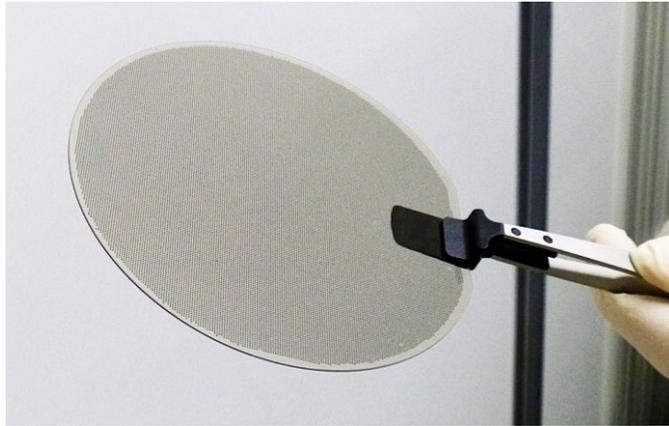


プラスチック基板上
のGe層
(10 x 10 mm)

GaAsドナー基板

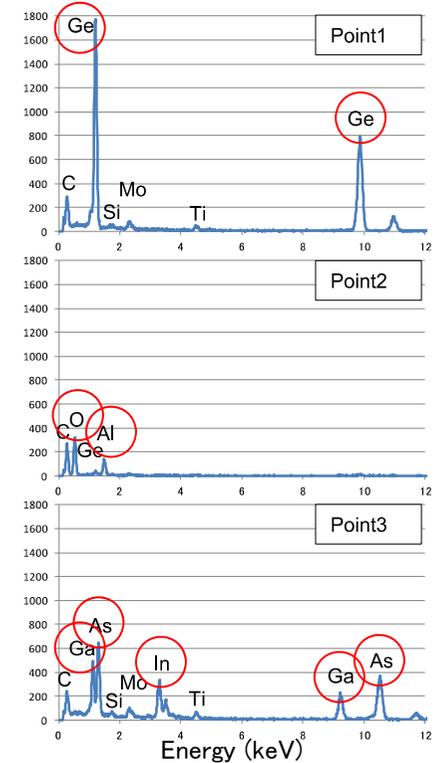
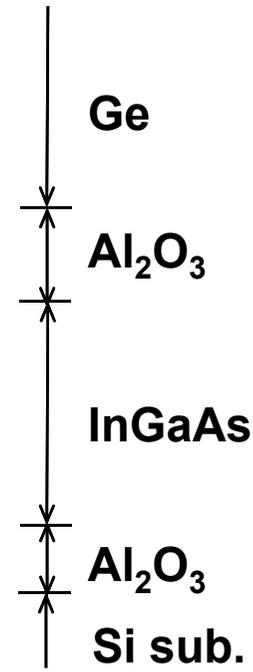
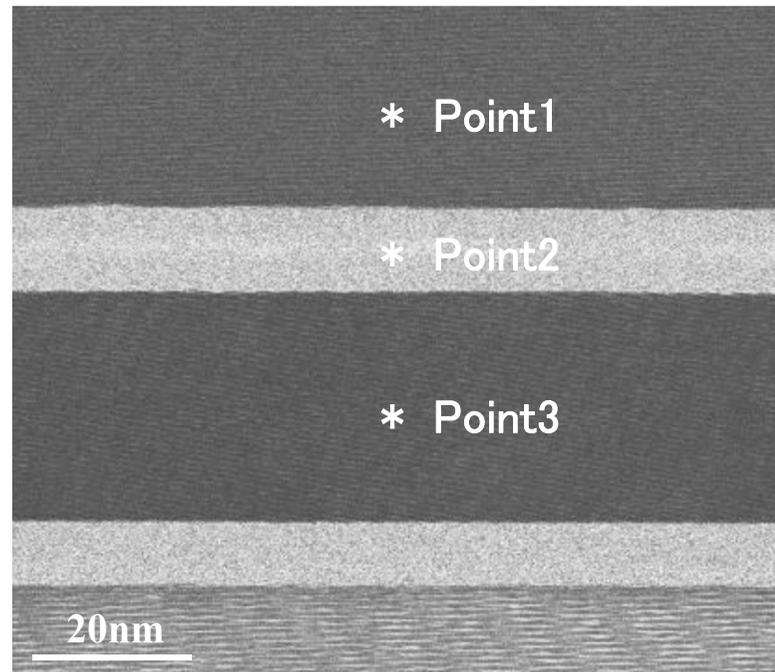
用途に応じて様々な支持基板が選択可能
→ ヘテロジーニアスインテグレーション

化合物半導体への展開

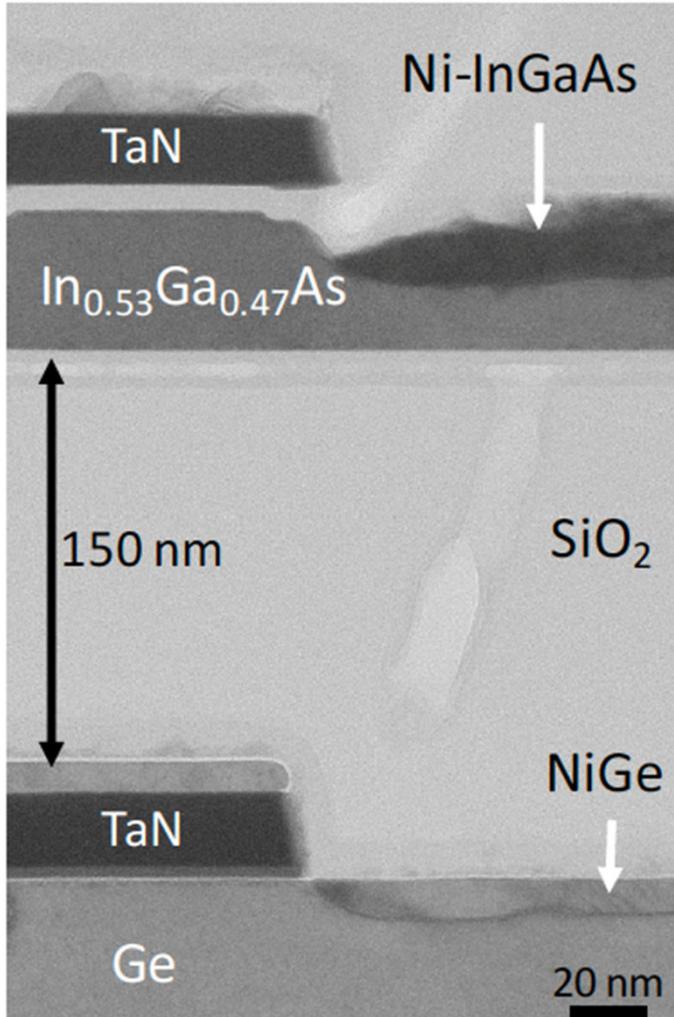


GaAs on glass

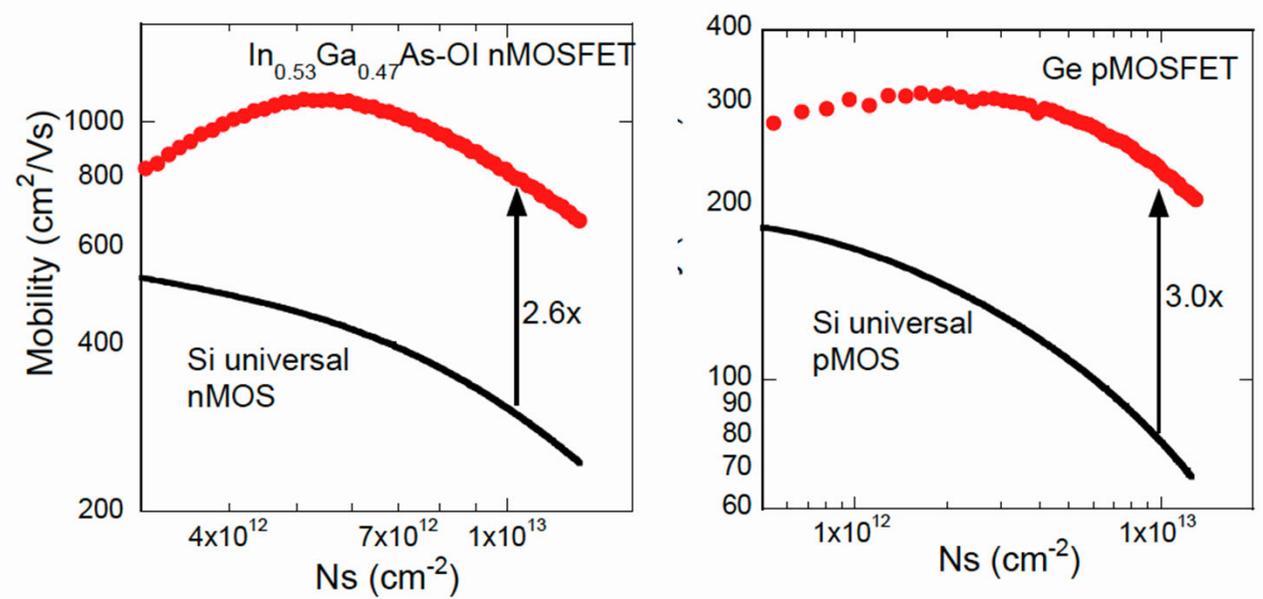
Ge/InGaAs-OI wafer



トランスファアー&ビルト技術

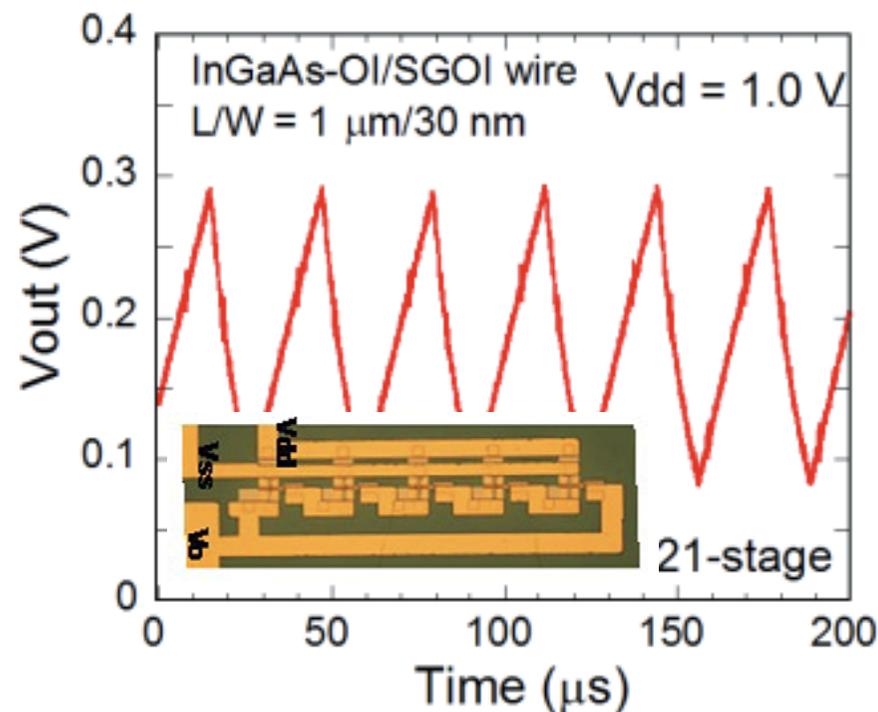
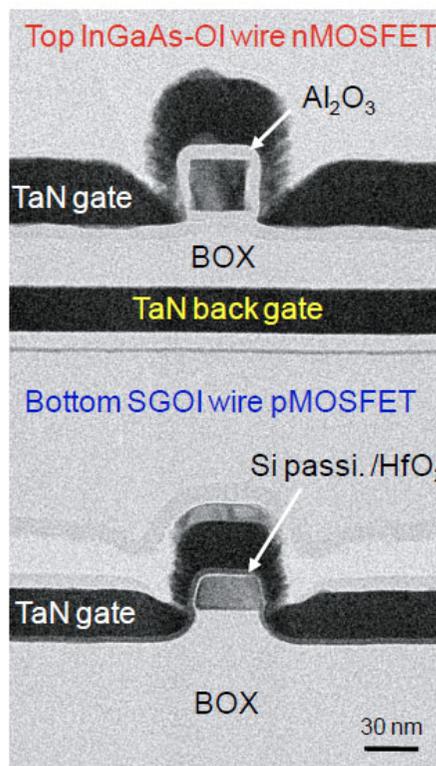
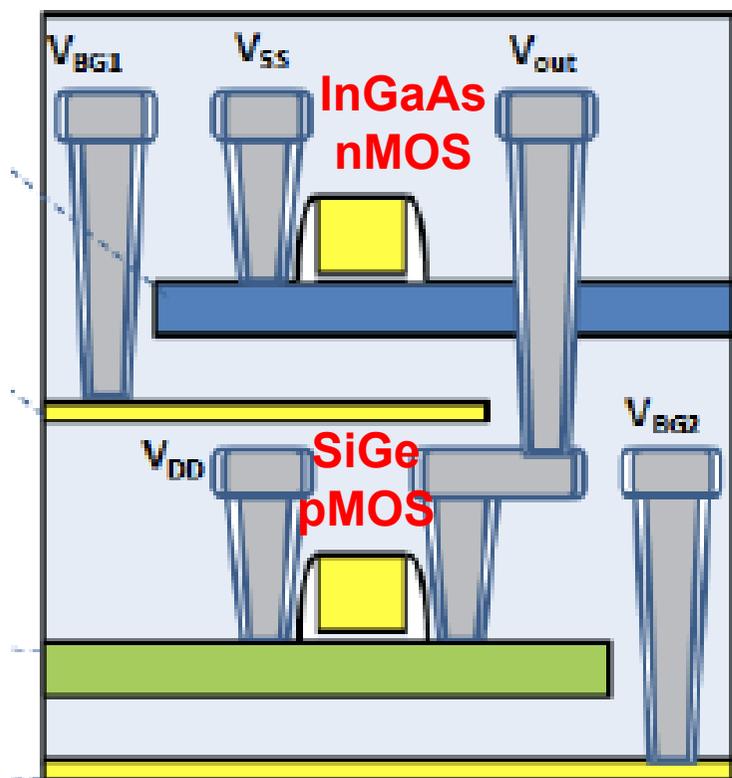


Irisawa et. al., VLSI. 2013, T56



トランスファアー & ビルト後も、シリコンよりも高い性能を発揮
→
ビルトするに十分な品質を証明

トランスファー&ビルト技術



リングオシレーター動作(21段)

[Irisawa, et al., VLSI symposium. 2014]

ポストシリコン材料の転写(トランスファー) & 最先端MOSFET形成と最短配線接続(ビルト)

想定される用途

- 既存Si-LSIに新IV族半導体を3次元積層することで、新機能の追加とデバイスの小型集積化。
- シンプルな例としては、既存LSIにバックエンドでの3次元的な低消費回路の付加など。
- 例えば、既存LSIに各種センサー、熱電素子など電源などの3次元SoC化といった分野や用途に展開することも可能と思われる。

実用化に向けた課題

- 現在、Geについてはミクロン単位の厚膜から数ナノメートル厚のナノシートまでデバイス性能として実証済み。しかし、新IV族半導体であるSiGeSn系材料の性能はエピ技術に依存。
- 今後、要求仕様に則った半導体エピ技術を提供する企業との連携が必要。
- 実用化に向けて、目的に応じた品質向上できるよう技術を確立する必要もあり。

企業への期待

- 新IV族半導体のトランスファー&ビルトの技術供与。
- トランスファーするエピ基板を作製する企業、ビルト後の実装技術を持つ企業との共同研究を希望。
- また、IRイメージセンサー分野への展開を考えている企業には、本技術の導入が極めて有効と思われる。

本技術に関する知的財産権

- 発明の名称 : 複合基板の製造方法および半導体結晶層形成基板の製造方法
- 出願番号 : 特願2012-267877
- 出願人 : 産業技術総合研究所、住友化学、日立国際電気
- 発明者 : 前田辰郎、三枝栄子、山本武継、青木健志、菊池俊之、小川有人

産学連携の経歴

- 2015年A-STEP FS探索タイプ
- 2014年-2019年CREST 素材・デバイス・システム融合による革新的ナノエレクトロニクスの創成
- 2011年-2016年 H,S社と共同研究実施
- その他民間企業共同研究多数

お問い合わせ先

産業技術総合研究所
中部センター 包括協定事務局

TEL: 052-736-7370

FAX: 052-736-7403

Mail: chubu-houkatsu-ml@aist.go.jp