

極急峻なスイッチング特性と メモリ機能を持つ dual-gate SOI-MOSFET

金沢工業大学 電気・光・エネルギー応用研究センター
研究員 森 貴之

令和3年2月25日

発明者

井田 次郎
金沢工業大学 工学部 電気電子工学科 教授



森 貴之
金沢工業大学 電気・光・エネルギー応用研究センター 研究員



目次

- LSI低消費電力化の必要性
- 急峻なスイッチング特性(Subthreshold Slope)の必要性
- Steep Subthreshold Slope Deviceの先行研究

- PN-Body Tied SOI-MOSFET
 - 伝達特性
 - CMOSインバータ特性
 - エネルギーハーベスティングへの応用
 - PN-Body Tied SOI-MOSFETの課題

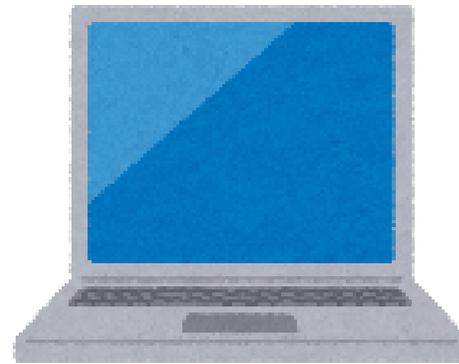
- Dual-Gate SOI-MOSFET
 - 伝達特性
 - 過渡応答特性
 - ニューロモルフィックチップへの応用

- まとめ（想定される用途、実用化に向けた課題、企業への期待）

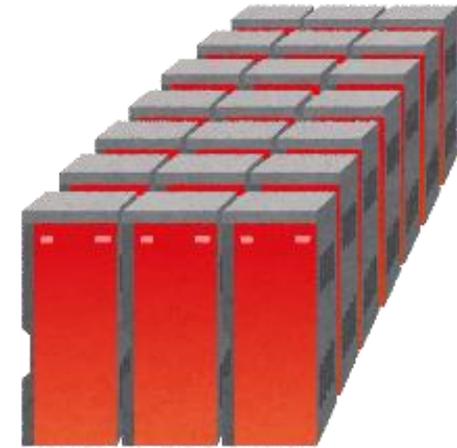
LSI低消費電力化の必要性 1/2



スマートフォン



ノートパソコン



スーパーコンピュータ



コンピュータの低消費電力化には

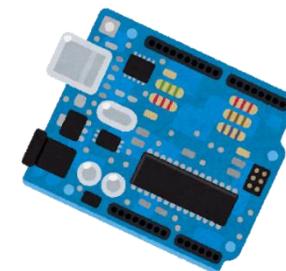
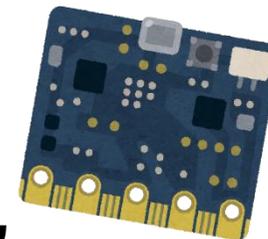
大規模集積回路(LSI)

の低消費電力化が重要

LSI低消費電力化の必要性 2/2



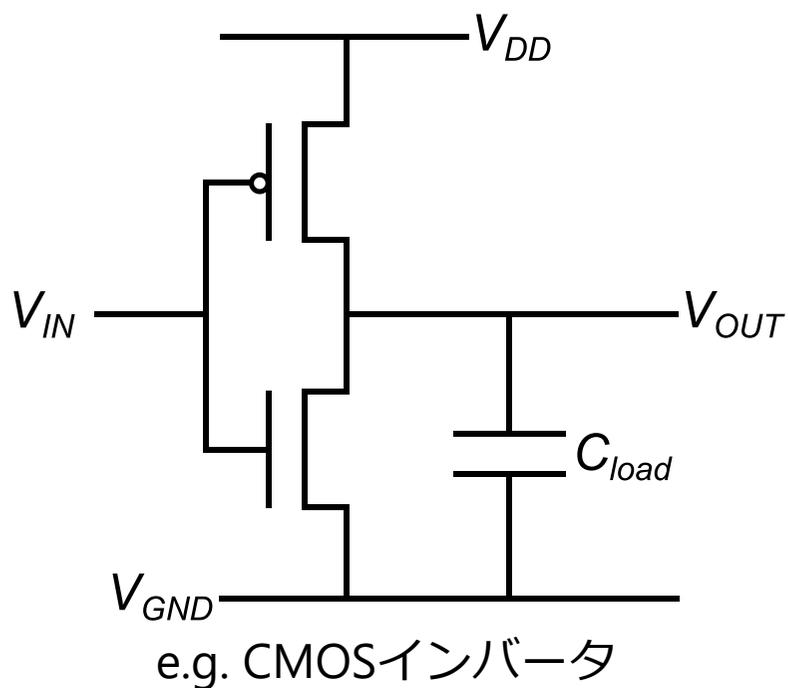
IoT
センサネットワーク
ヘルスケア
インプラント医療



ばらまき・埋め込みセンサのため、電源は電池、もしくはバッテリーレス(環境発電)

IoT用デバイスに組み込むLSIは
極低消費電力で動かす必要がある

LSIの消費電力 1/2

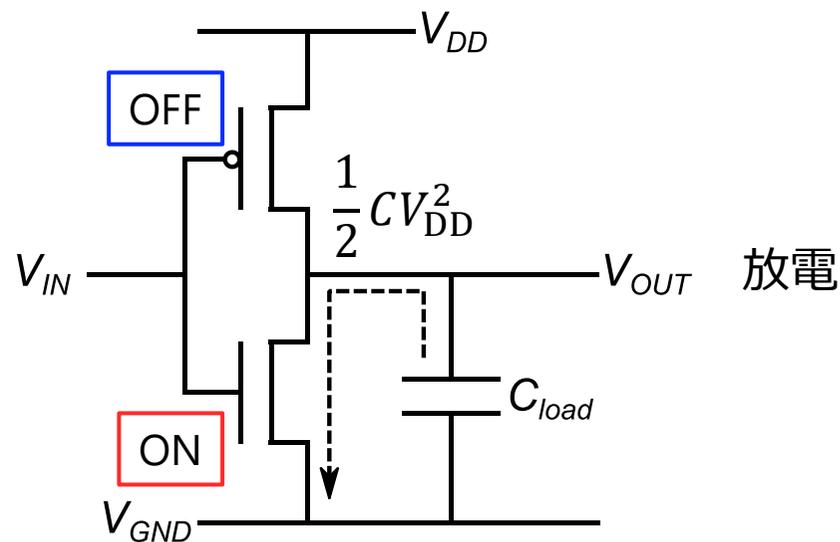
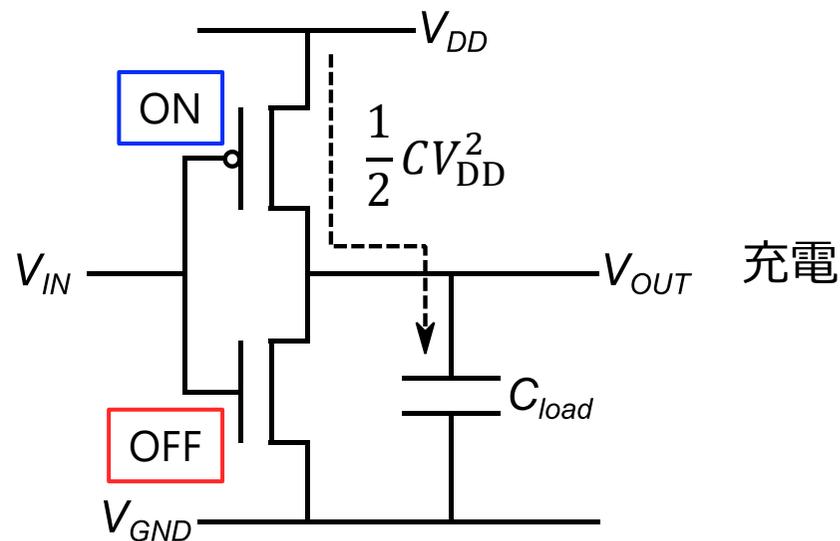


動作時の消費電力

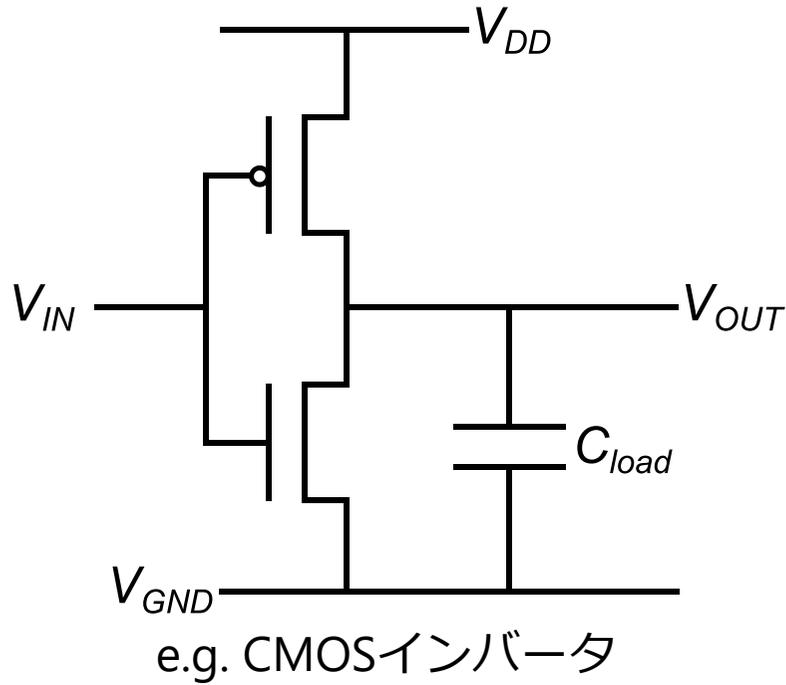
$$P_{\text{active}} \propto f \cdot C_{\text{load}} \cdot V_{\text{DD}}^2$$

↑
動作周波数

LSI動作時



LSIの消費電力 2/2

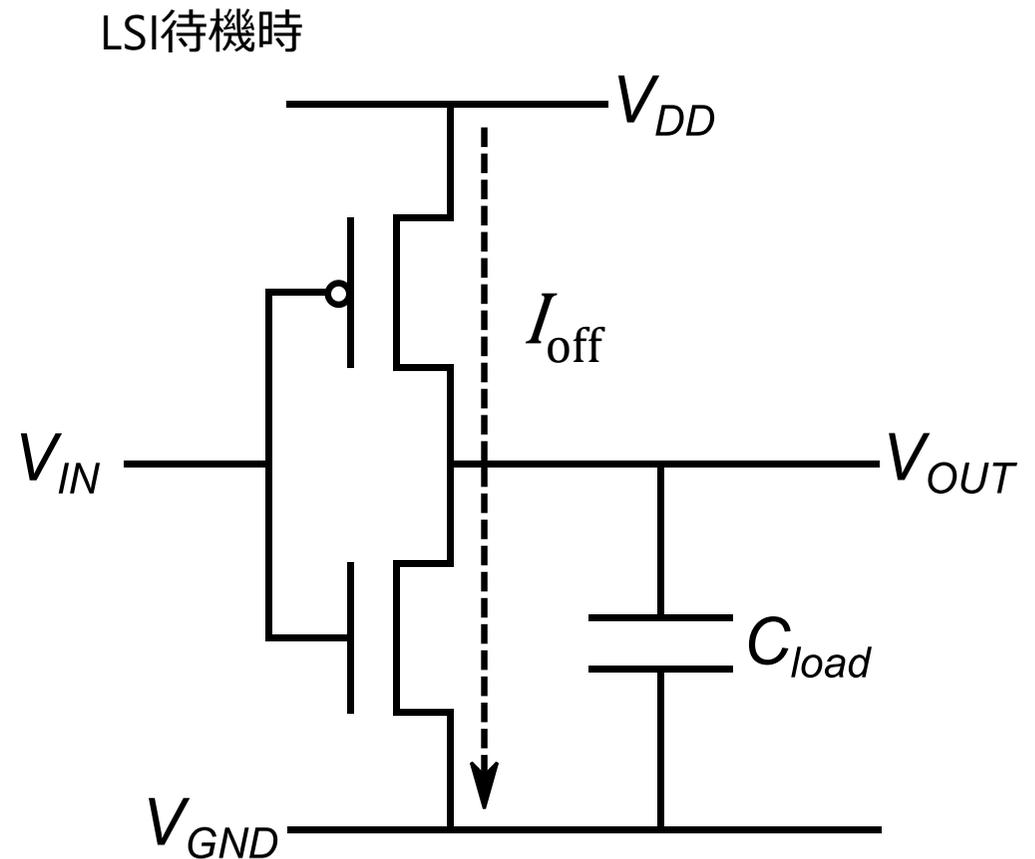


動作時の消費電力

$$P_{\text{active}} \propto f \cdot C_{\text{load}} \cdot V_{\text{DD}}^2$$

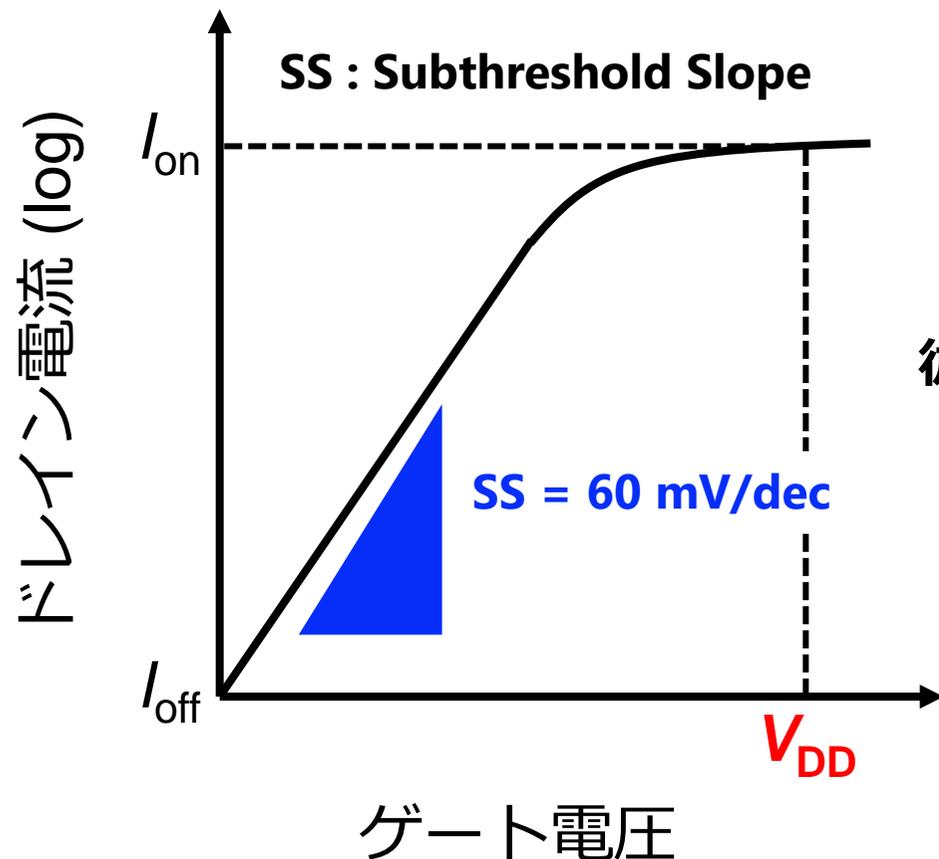
待機時の消費電力

$$P_{\text{standby}} \propto I_{\text{off}} \cdot V_{\text{DD}}$$



急峻なスイッチング特性 (SS) の必要性 1/2

MOSFETの伝達特性



LSIの消費電力

$$P_{active} \propto f \cdot C_{load} \cdot V_{DD}^2$$

$$P_{standby} \propto I_{off} \cdot V_{DD}$$

従来のMOSFETにおけるSSの理論限界
(室温の場合)

$$S = n \frac{kT}{q} \ln 10 \approx \underline{60 \text{ (mV/dec)}}$$

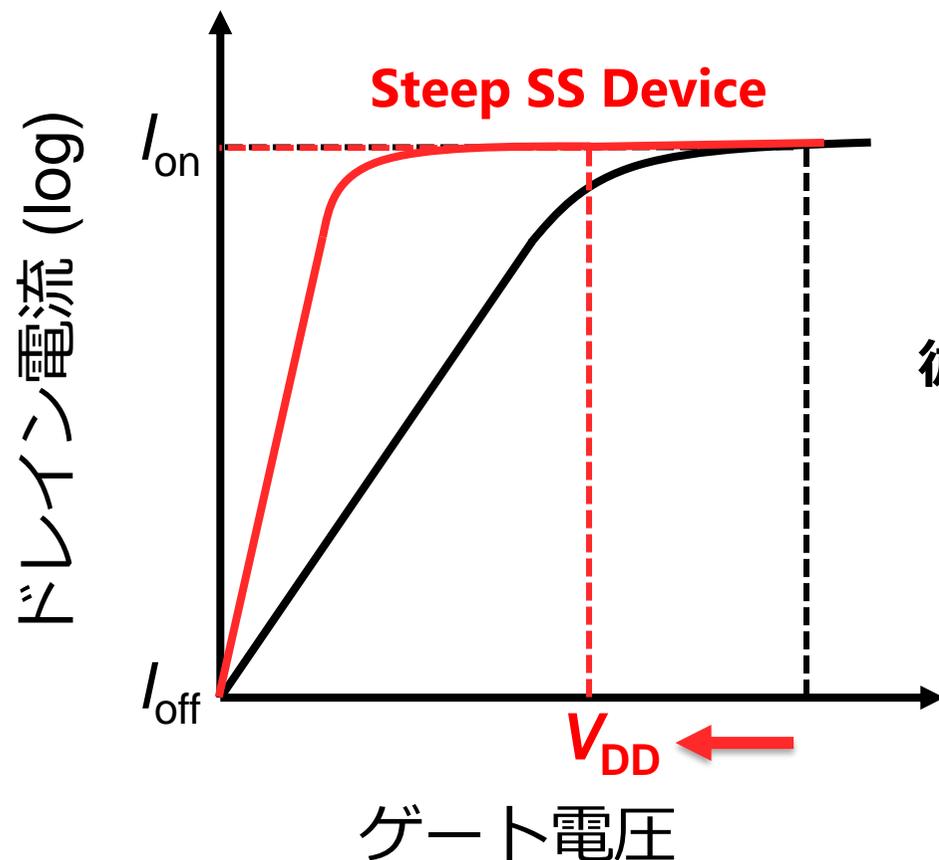
$$n = 1 + \frac{C_D}{C_{OX}}$$

電流伝導機構(熱拡散)で決まる
理論限界

微小なゲート電圧でMOSFETをON/OFFできればLSIの消費電力は下がるが
SSの理論限界に阻まれている

急峻なスイッチング特性 (SS) の必要性 2/2

MOSFETの伝達特性



LSIの消費電力

$$P_{\text{active}} \propto f \cdot C_{\text{load}} \cdot V_{\text{DD}}^2$$

$$P_{\text{standby}} \propto I_{\text{off}} \cdot V_{\text{DD}}$$

従来のMOSFETにおけるSSの理論限界
(室温の場合)

$$S = n \frac{kT}{q} \ln 10 \approx \underline{60 \text{ (mV/dec)}}$$

$$n = 1 + \frac{C_D}{C_{OX}}$$

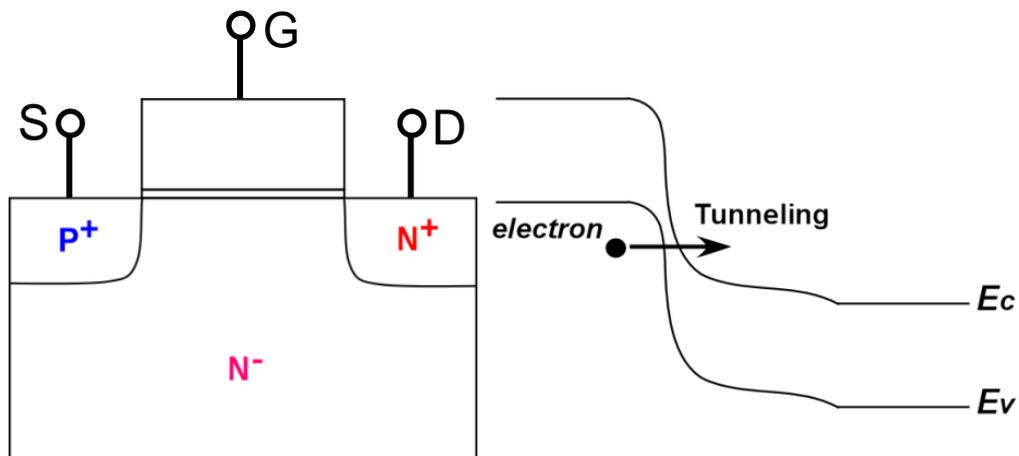
電流伝導機構(熱拡散)で決まる
理論限界

Steep Subthreshold Slope (SS) Device

従来のMOSFETとは異なる動作原理によるスイッチングが必要

Steep SS Deviceの先行研究例

Tunnel FET (TFET)



<メカニズム>

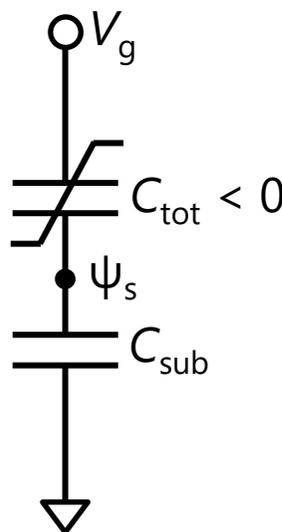
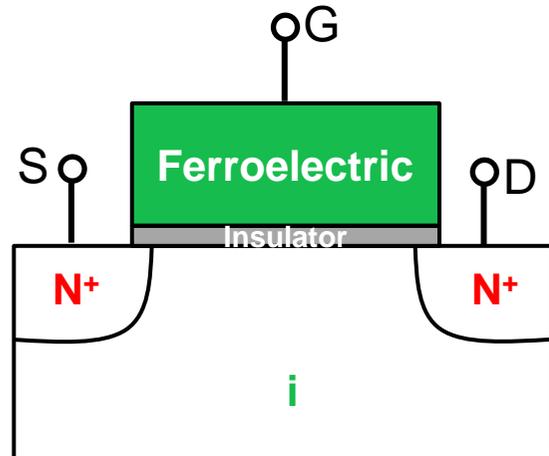
バンド間トンネルによって電流を流すことで $SS < 60 \text{ mV/dec}$ にする

<問題点>

オン電流が小さい

トンネル抵抗が高いため電流が小さい
トラップを使った電流増加、Si以外の材料を使用する研究が進められている

Negative Capacitance FET (NCFET)



<メカニズム>

強誘電体材料をゲートに使用し

負性容量によって $SS < 60 \text{ mV/dec}$ にする

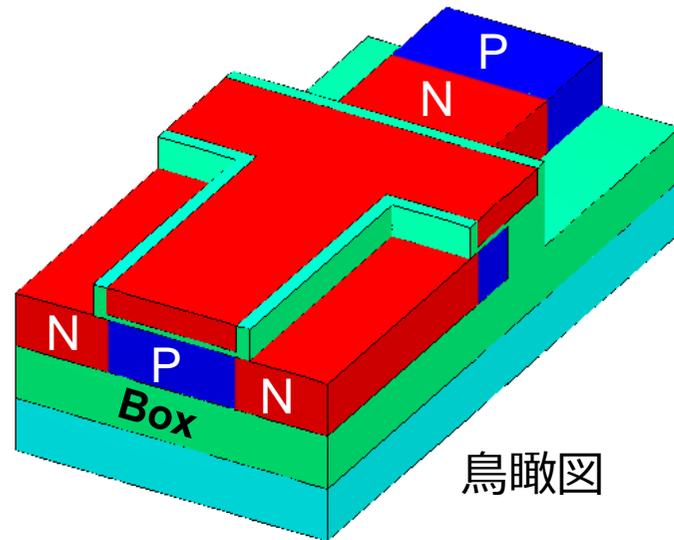
<問題点>

動作スピードに懸念有

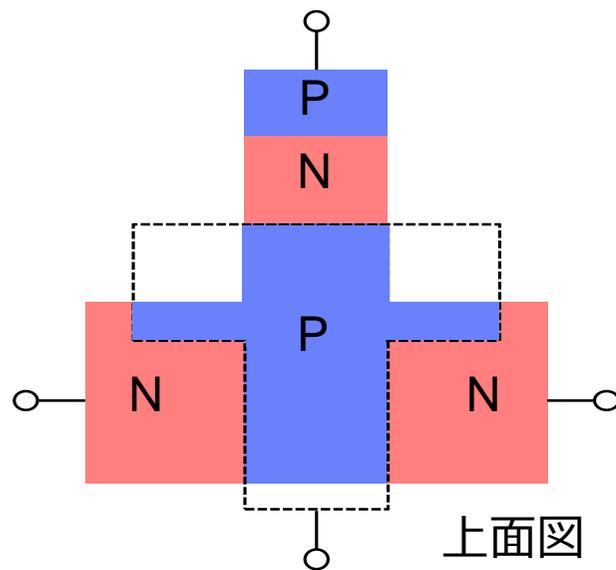
SS特性が電圧の最大振幅や周波数に依存し、高速動作では急峻なSSが発生しないという報告有

メカニズムを含め更なる検討が必要

PN-Body Tied (PNBT) SOI-MOSFET



鳥瞰図



上面図

井田研究室では新たなSteep SS Deviceの候補として
“PN-Body Tied (PNBT) SOI-MOSFET”を開発

<特徴>

ソース/ドレイン対称構造
従来のSiプロセスで作製可能

**低ドレイン電圧(= 0.1 V)で急峻なSS(< 1mV/dec)が
発生することを実証**

<主な発表成果>

J. Ida, T. Mori, et al., *IEDM*, 2015.

T. Mori, J. Ida, et al., *IEEE J-EDS*, Apr. 2018.

T. Mori, J. Ida, et al., *IEICE Trans. on Elec.*, May 2018.

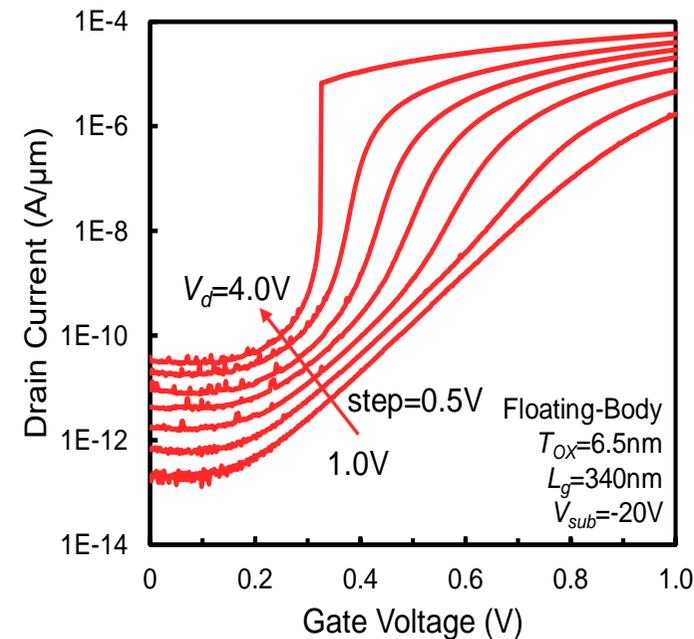
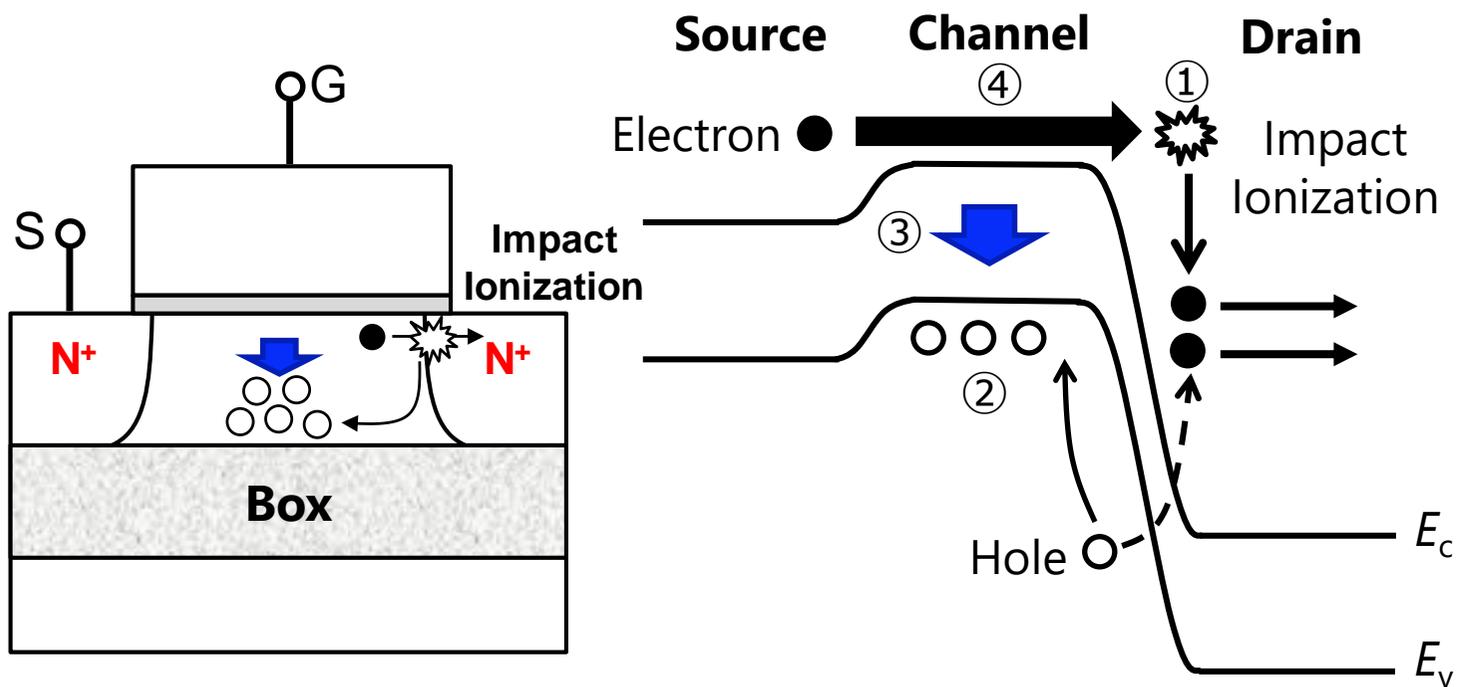
T. Mori and J. Ida, *IEEE J-EDS*, Oct. 2018.

T. Mori, J. Ida, et al., *IEICE Trans. on Elec.*, Oct. 2020.

PN-Body Tied SOI-MOSFET
奥行き方向にPNダイオードを付帯

PNBT SOI-MOSFETの基本アイデア 1/2

従来のSOI-MOSFETにおけるフローティングボディ効果



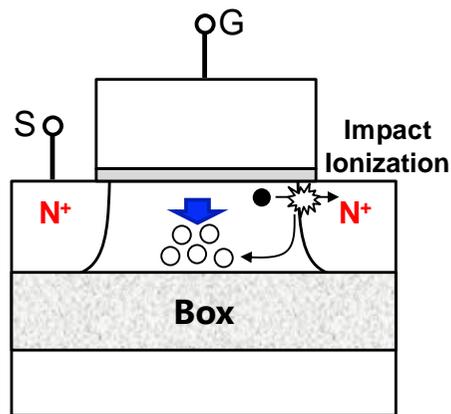
正のフィードバック

1. インパクトイオン化
2. ゲート下部へのキャリア蓄積
3. チャネル部の電位 (V_{th}) シフト
4. ドレイン電流が増大



従来のSOI-MOSFETでもフローティングボディ効果でSSが急峻になる

PNBT SOI-MOSFETの基本アイデア 2/2



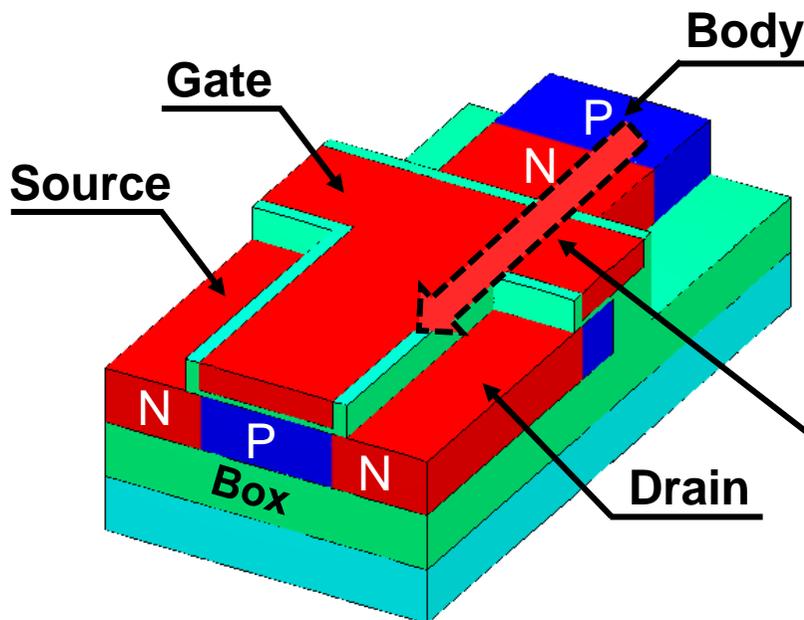
高いドレイン電圧が必要

他の方法でキャリアを
ゲート下部に注入したい

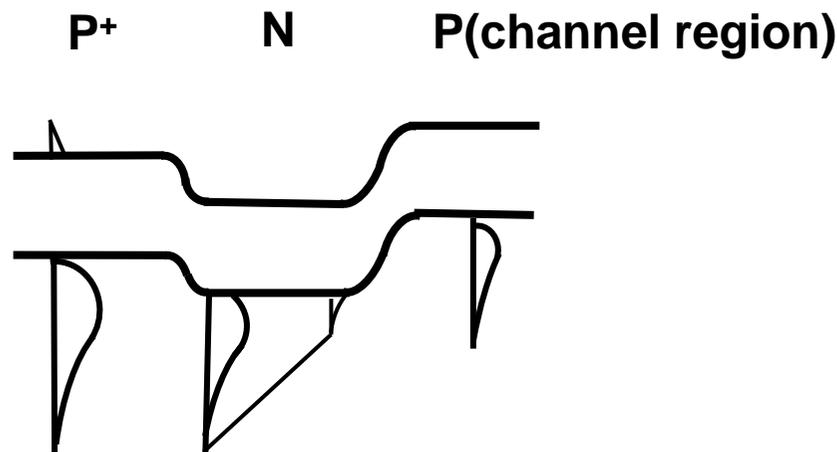
1. インパクトイオン化
2. ゲート下部へのキャリア蓄積
3. チャネル部の電位 (V_{th}) シフト
4. ドレイン電流が増大



PNBT SOI-MOSFETのコンセプト



Basic Idea



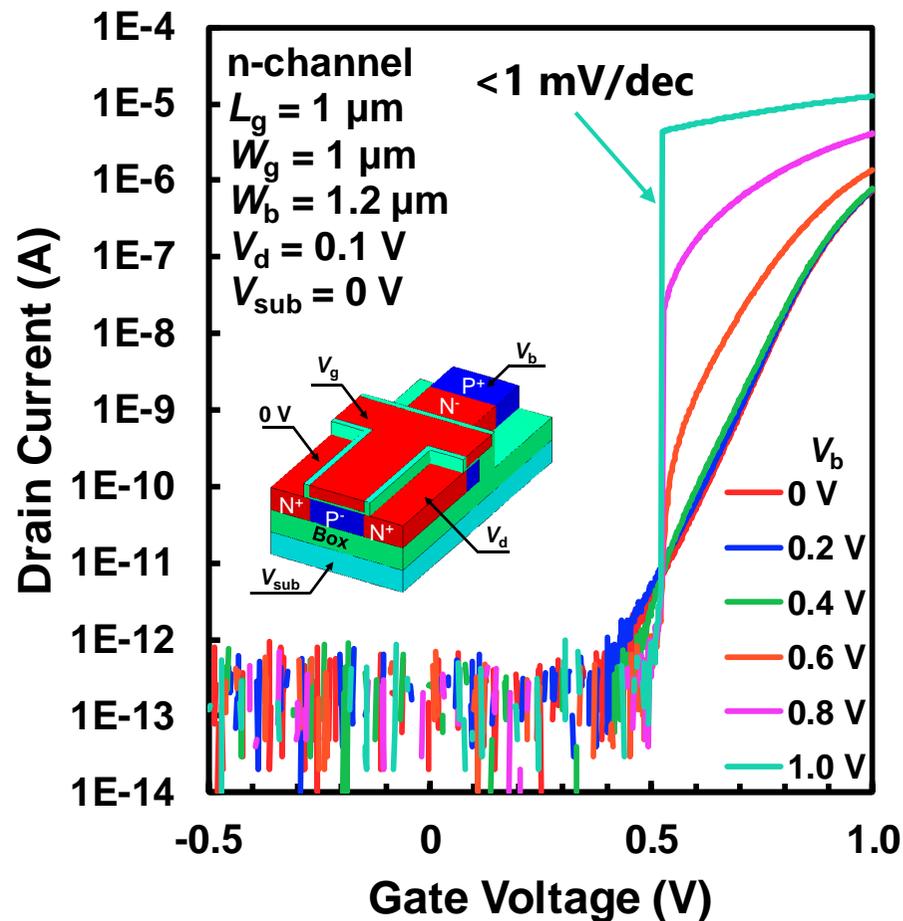
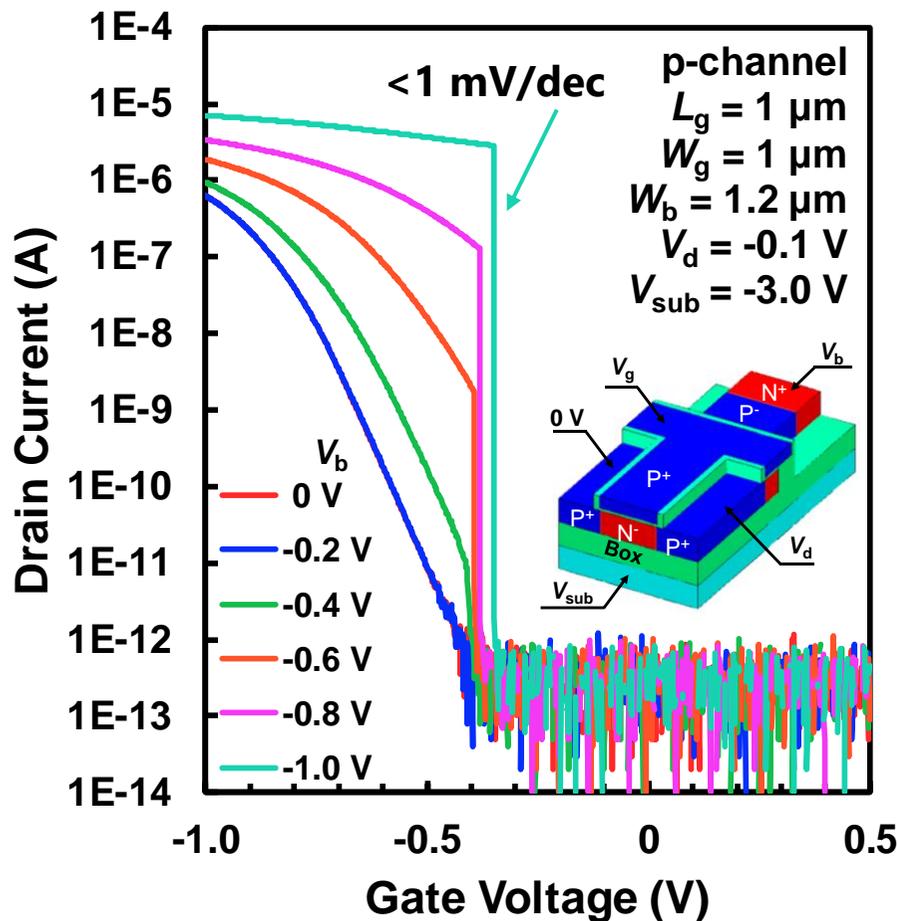
正孔をPNP BIP Tr.で注入

ボディ端子からバイポーラトランジスタによってキャリアを注入

本研究の一部は、JST-CREST & CREST-SUの支援を受けて実施したものです。

PNBT SOI-MOSFETの伝達特性

T. Mori and J. Ida, *IEEE J-EDS*, Oct. 2018.

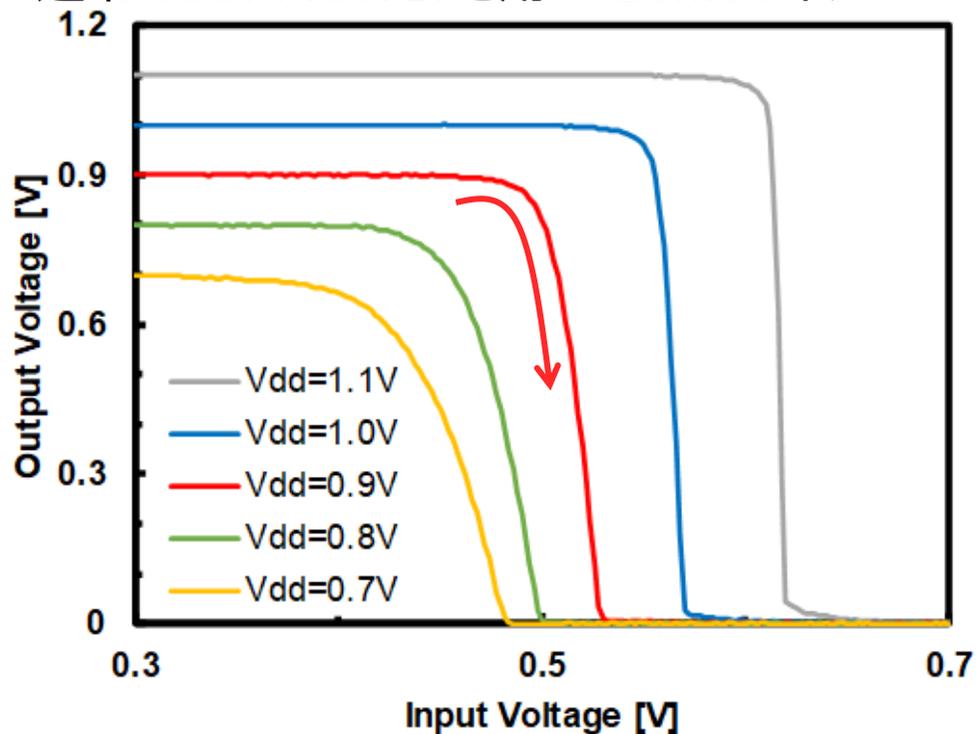


急峻なSSが発生すること実デバイス上で確認 ($V_d = 0.1 \text{ V}$, $V_b > 0.6 \text{ V}$)
NMOS/PMOS両方で実現→**CMOS回路ができる!**

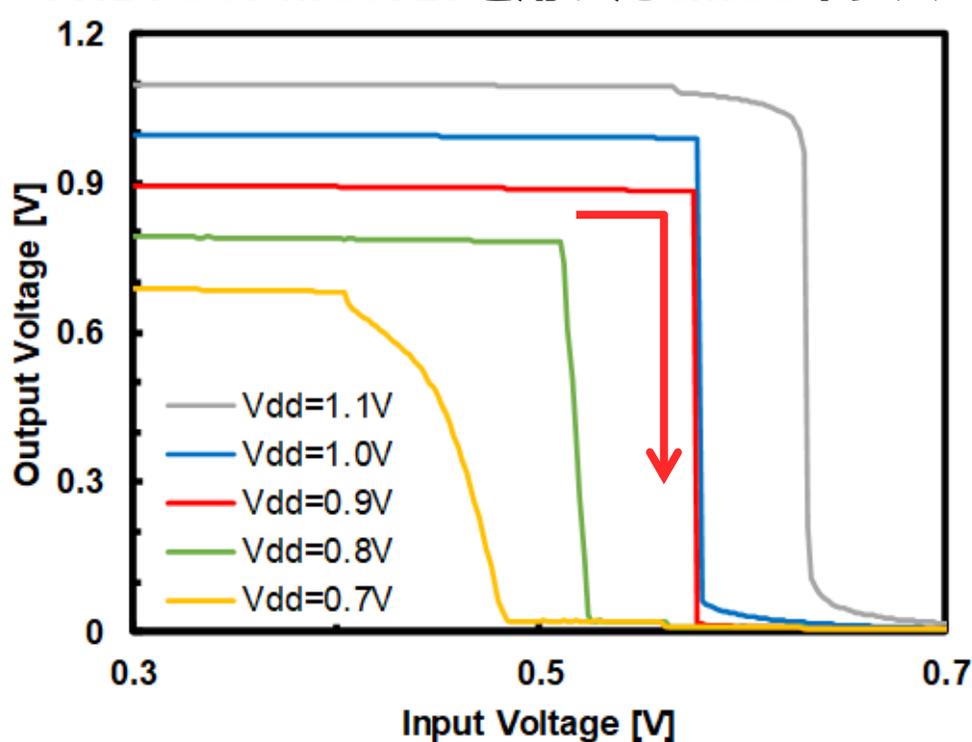
本研究の一部は、JST-CREST & CREST-SUの支援を受けて実施したものです。

PNBT SOI-MOSFETを用いたCMOSインバータ

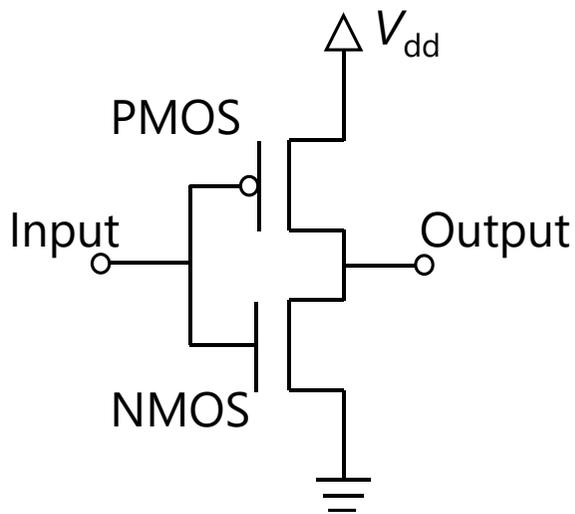
通常のSOI-MOSFETを用いたCMOSインバータ



PNBT SOI-MOSFETを用いたCMOSインバータ



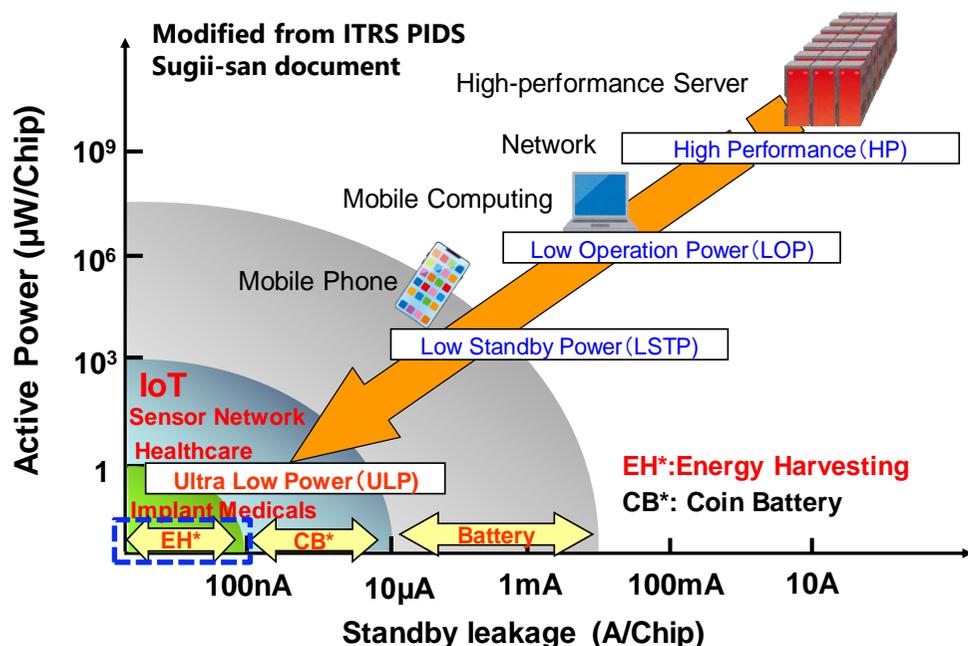
石黒, 井田, 他, *SDM*, 2020.



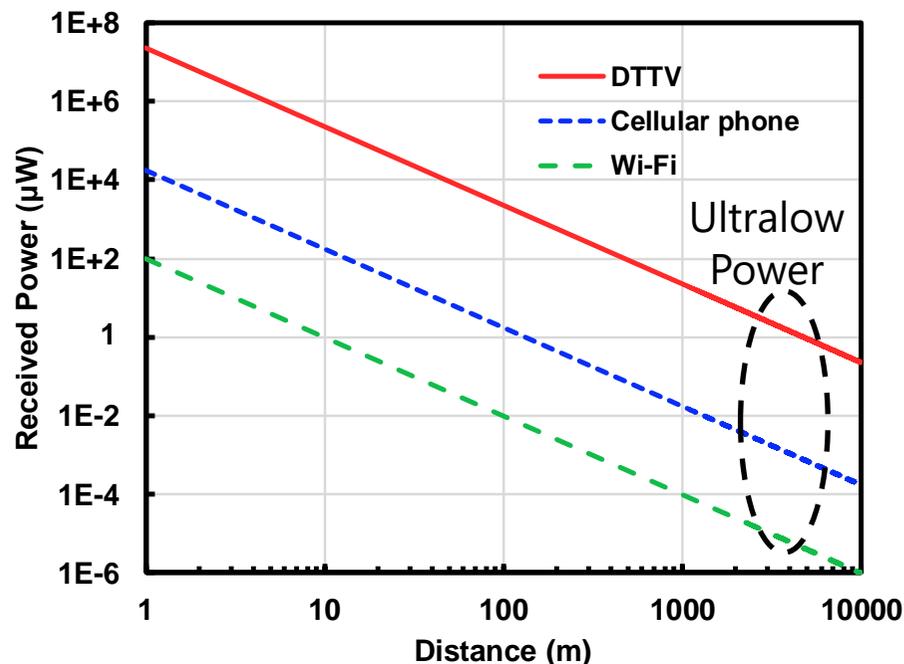
ほぼ直角に見える形で電圧が急峻に変動
(電圧利得では45dB→78dB改善)

デジタルとしては理想的なインバータ!
 $V_{dd} < 0.5\text{ V}$ 集積回路の基本ゲート候補

エネルギーハーベスティングへの応用



受電電力の距離依存性 (Friisの伝達公式)



非接触・広範囲に存在

EHのエネルギー源として、DTTV, 携帯電話等の微小な電磁波に着目
(Radio Frequency Energy Harvesting : RF-EH)

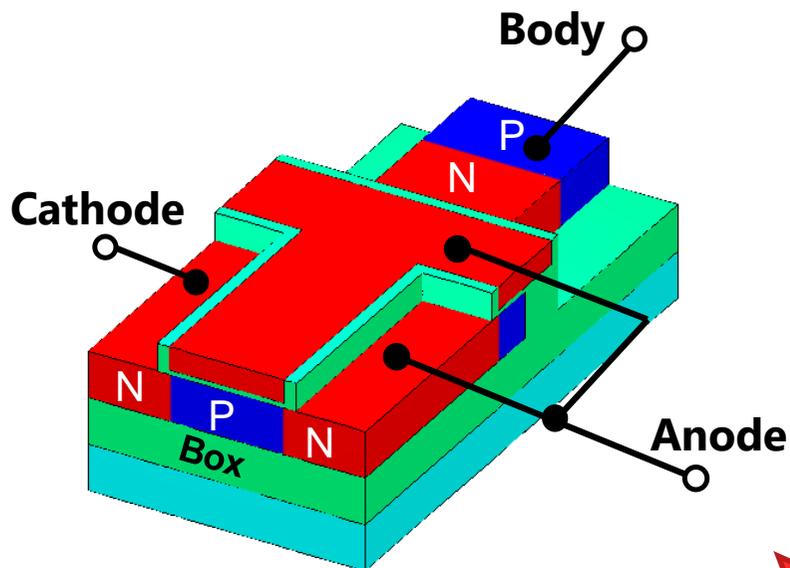
問題点：期待される電力が非常に小さい



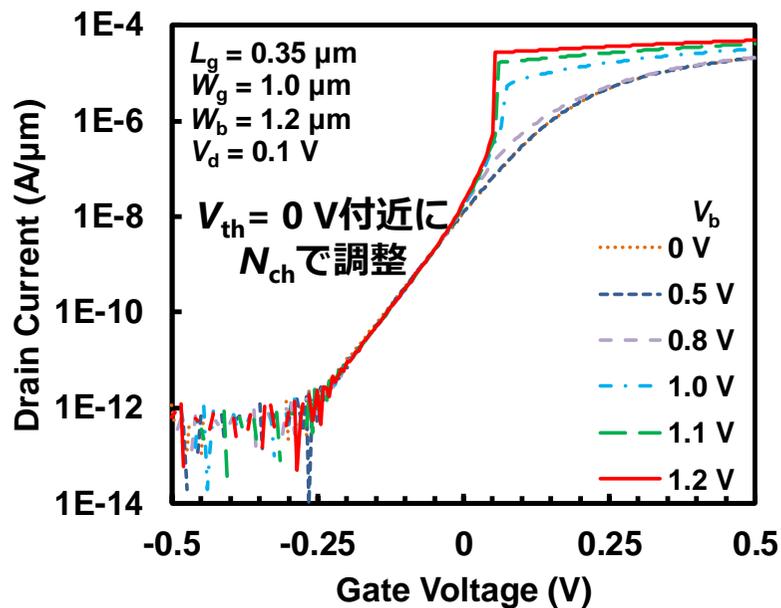
PNBT SOI-MOSFETを用いたダイオードで整流しエネルギーを集める

本研究の一部は、JST-CREST & CREST-SUの支援を受けて実施したものです。

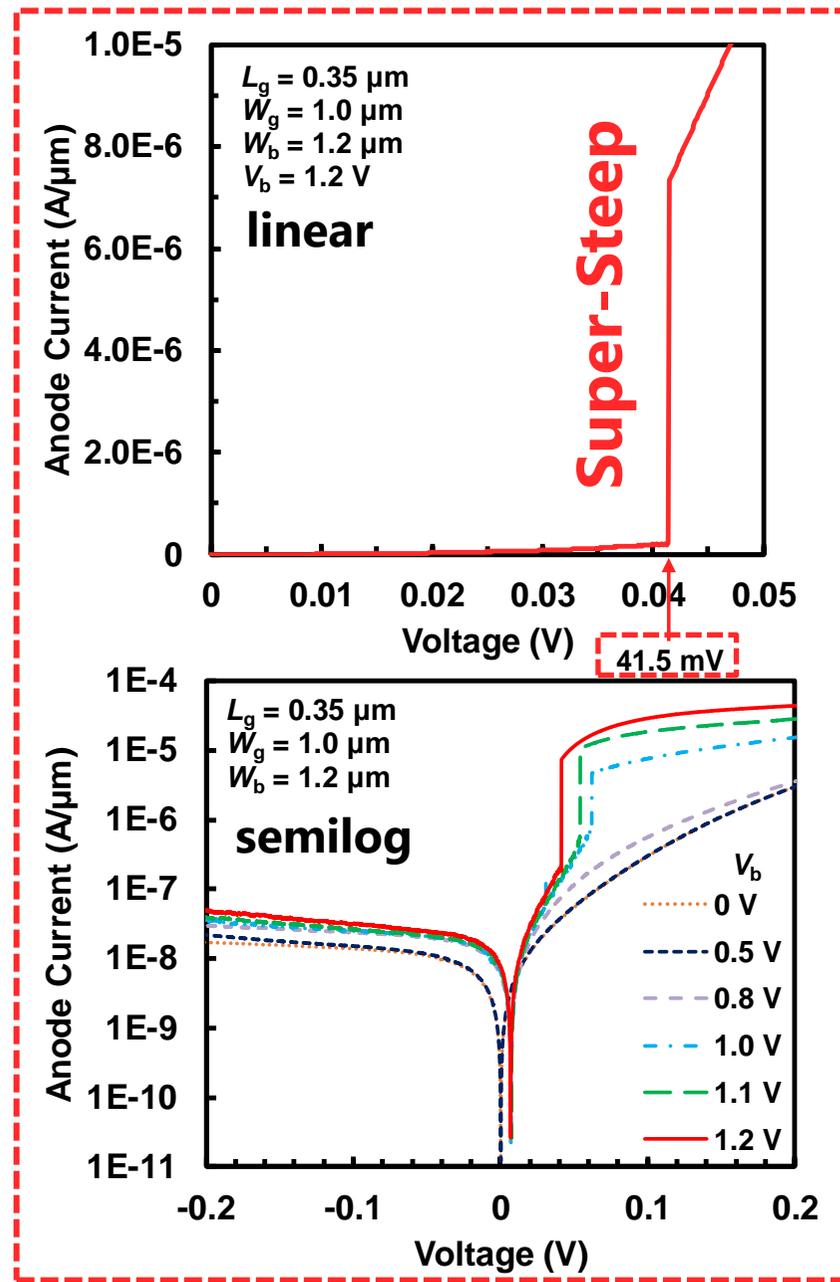
PNBT SOI-MOSFET ダイオード特性



PNBT SOI MOSFET伝達特性



diode
接続

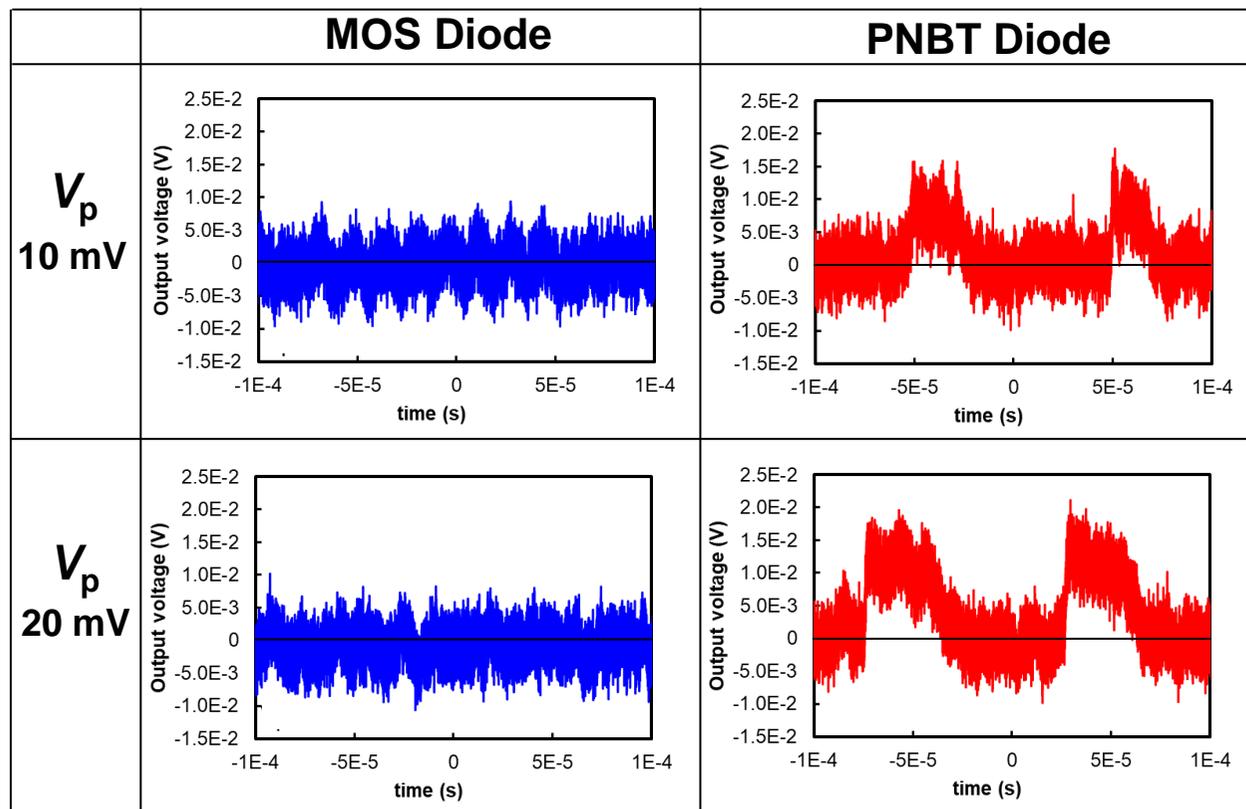
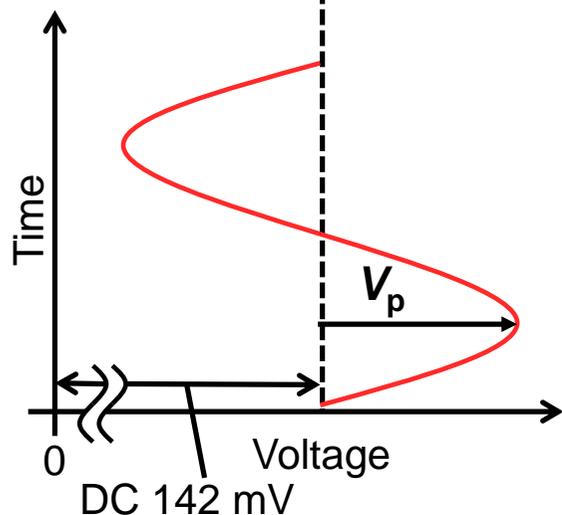
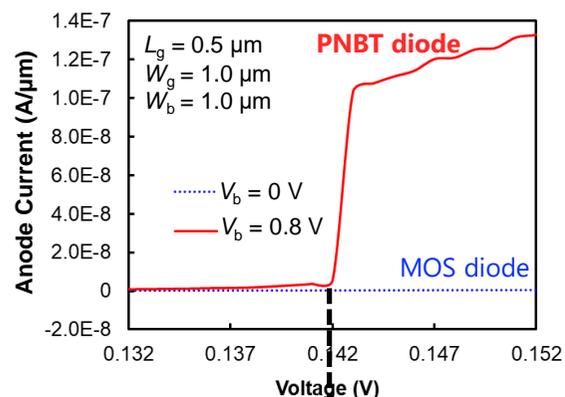


極低入力電圧(41.5 mV)でも整流デバイスを実現

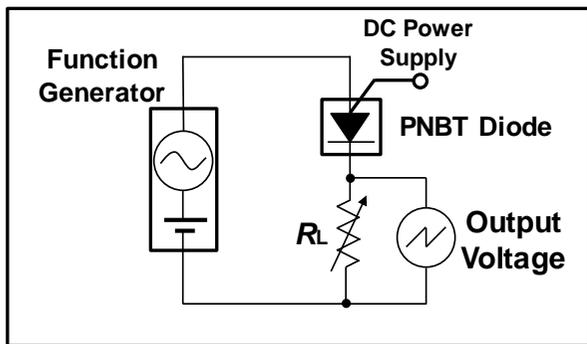
本研究の一部は、JST-CREST & CREST-SUの支援を受けて実施したものです。

半波整流実験

S. Momose, J. Ida, et al., *IEEE S3S conf.*, 2018.



$R_L = 100 \text{ k}\Omega$ $f = 10 \text{ kHz}$



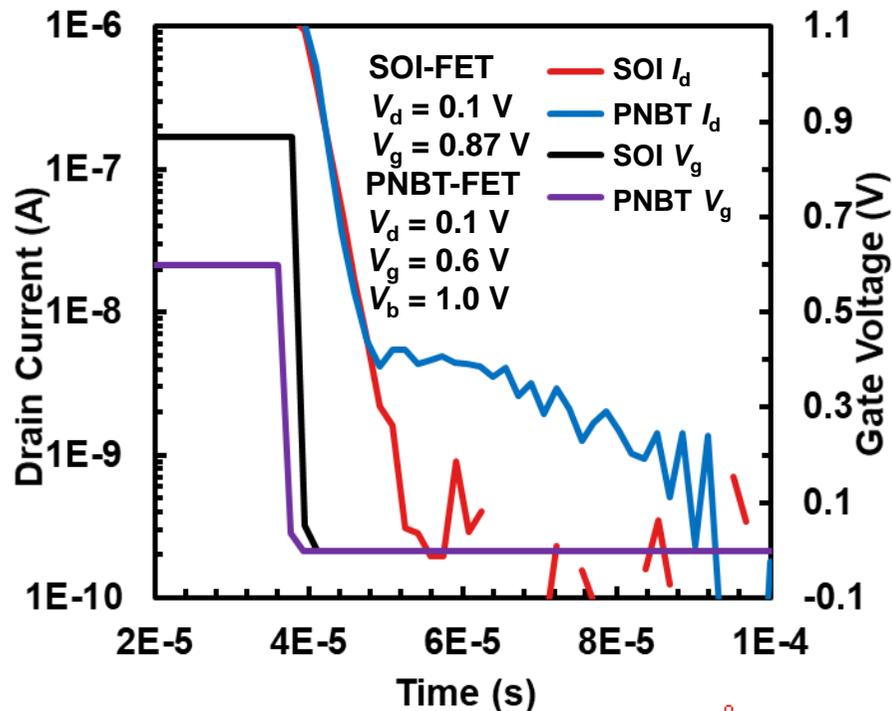
AC + DCで微小AC振幅における半波整流実験

➔ **AC 10 mV**で半波整流特性を確認
EH並びに高感度センサへの応用も期待

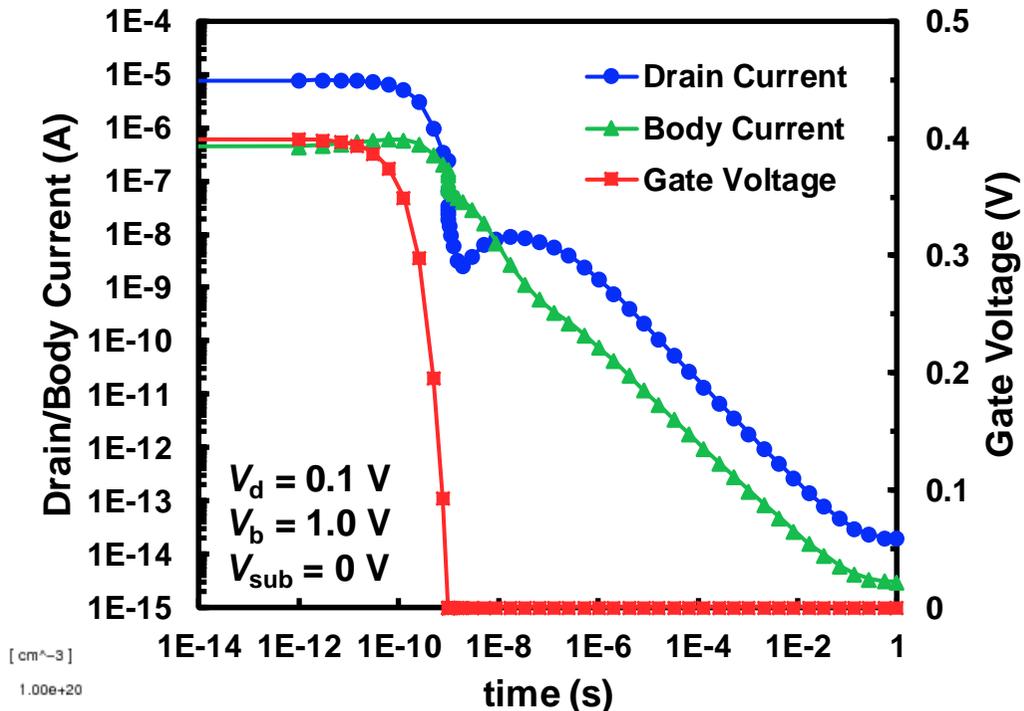
本研究の一部は、JST-CREST & CREST-SUの支援を受けて実施したものです。

PNBT SOI-MOSFETの課題

ターンオフ特性 (実測)



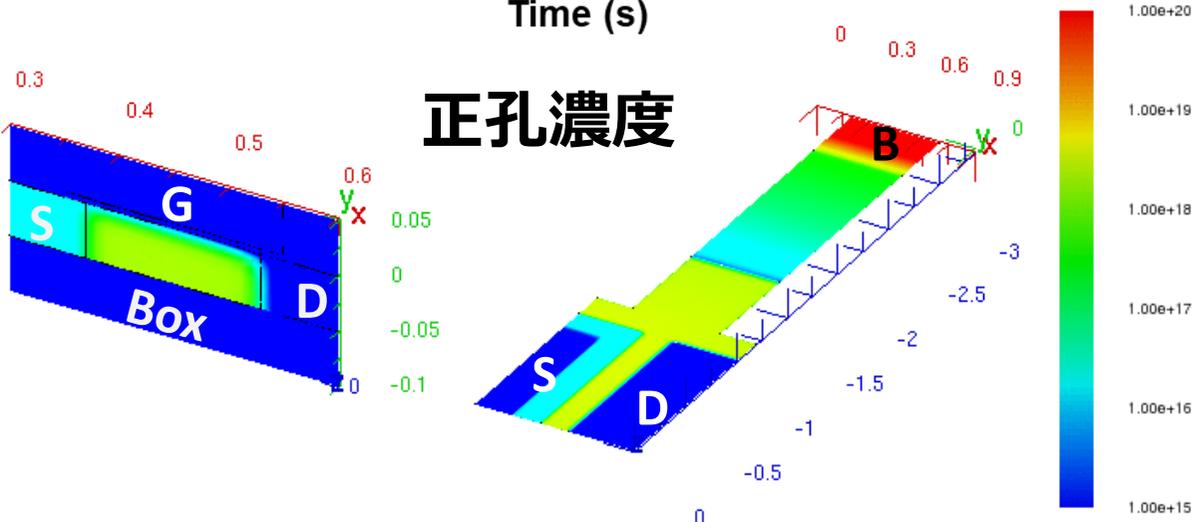
ターンオフ特性 (Sim.)



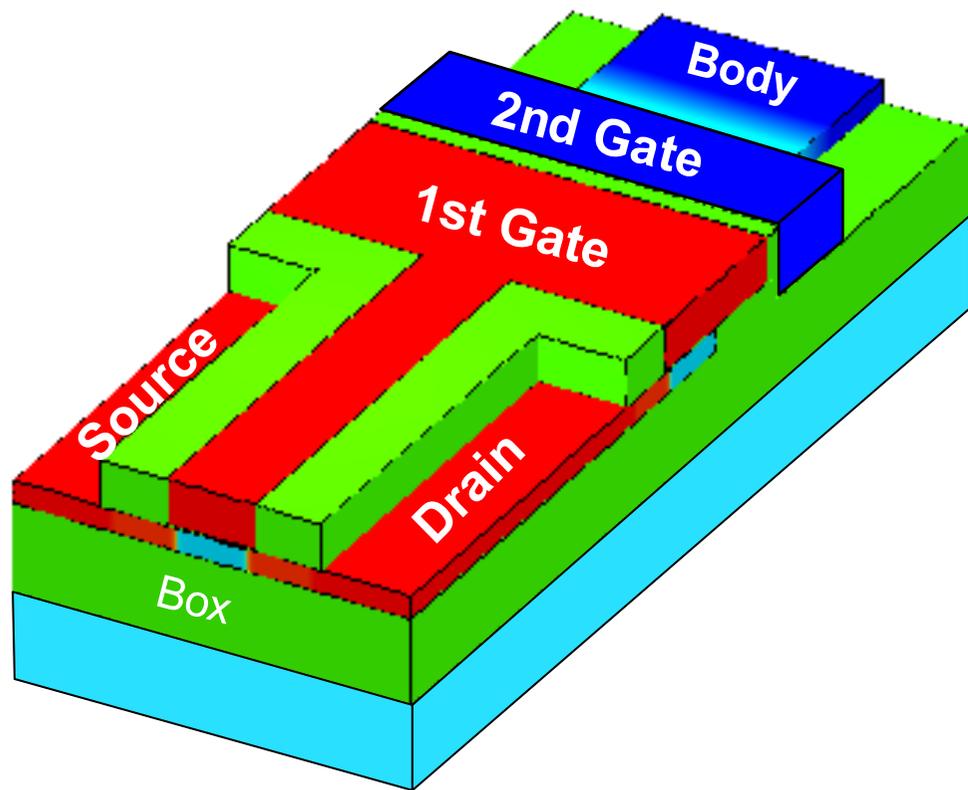
T. Mori, J. Ida, et al., *IEICE Trans. on Elec.*,
Oct. 2020.

蓄積キャリアが排出されず
ターンオフ時に
リーク電流が流れる

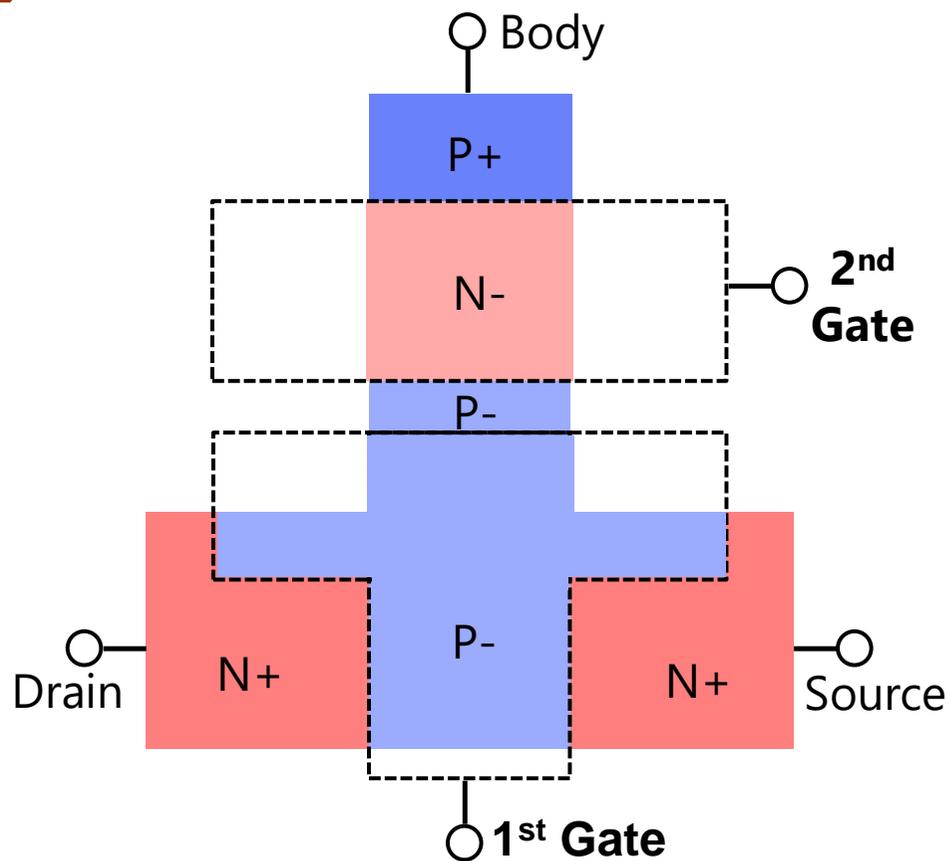
正孔濃度



Dual-Gate (DG) SOI-MOSFET



鳥瞰図

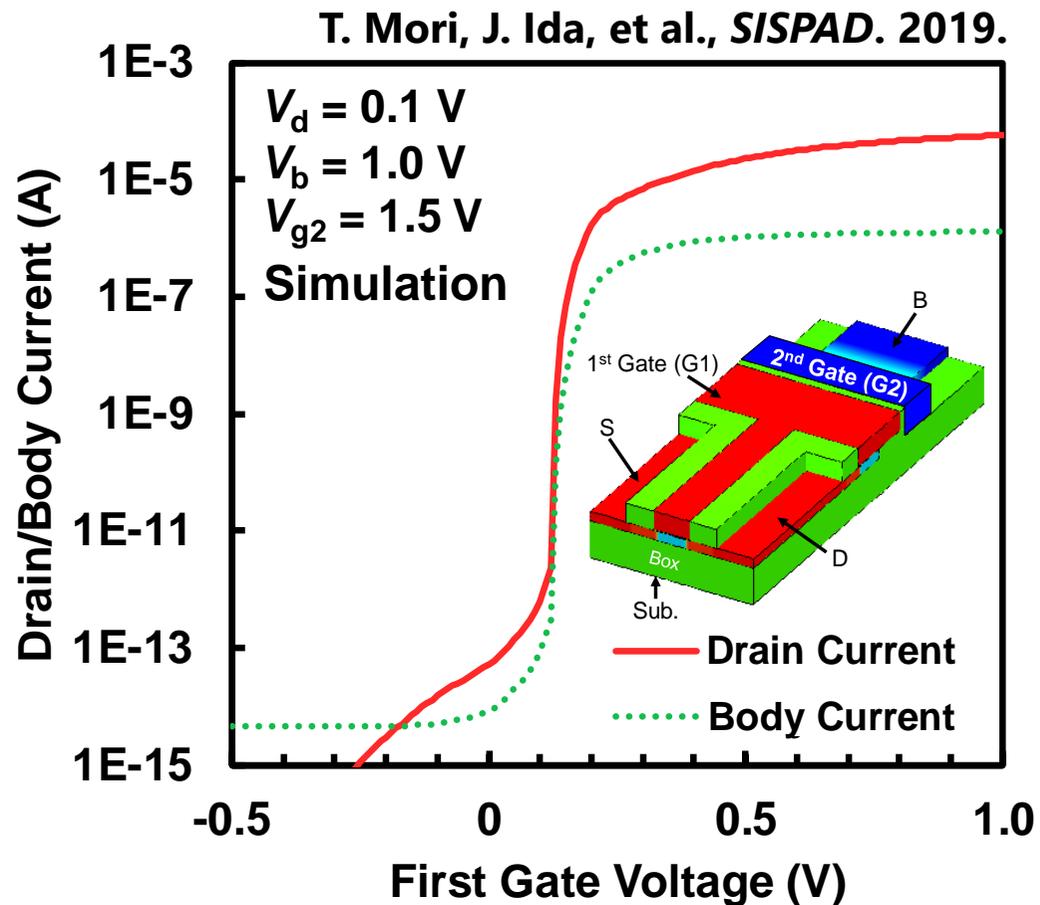
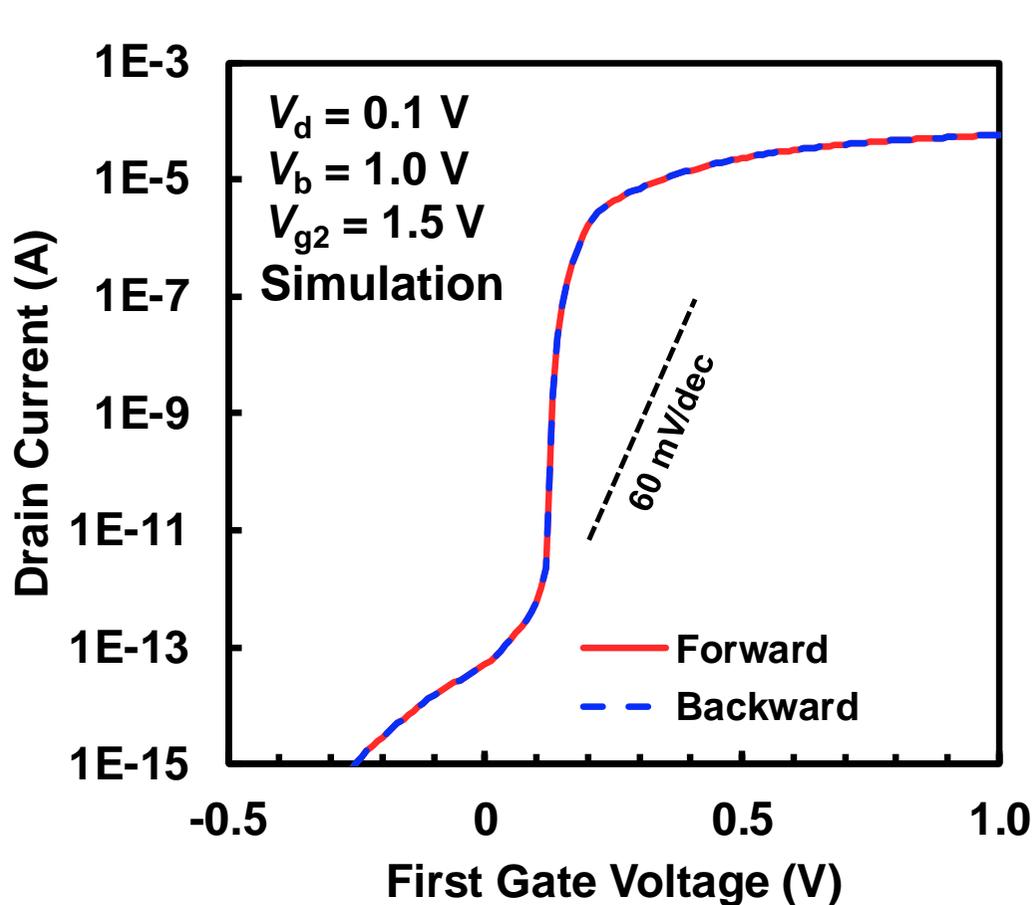


上面図

第2ゲートを付帯した**Dual-Gate (DG) SOI-MOSFET**を提案
蓄積キャリアの出し入れをコントロール可能にする

本研究の一部は、JST-CREST & CREST-SUの支援を受けて実施したものです。

DG SOI-MOSFETの伝達特性



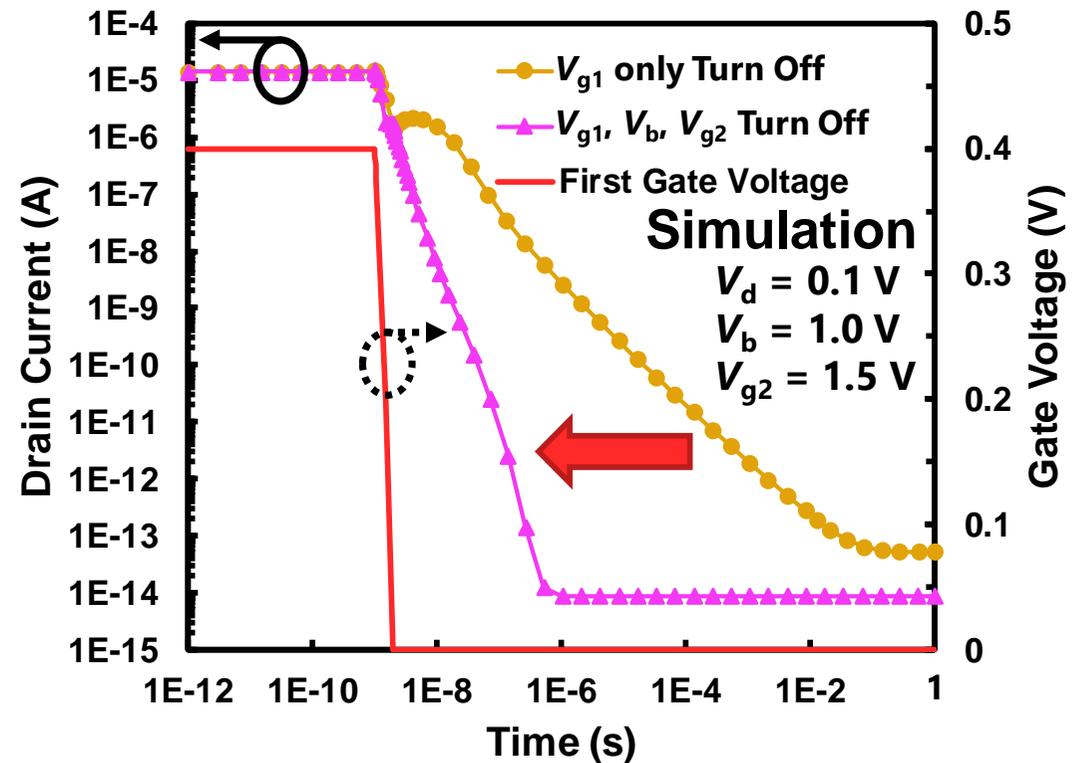
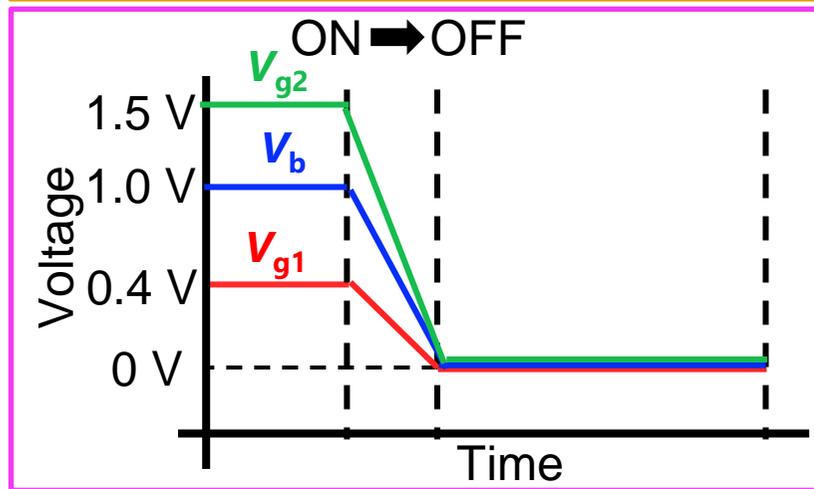
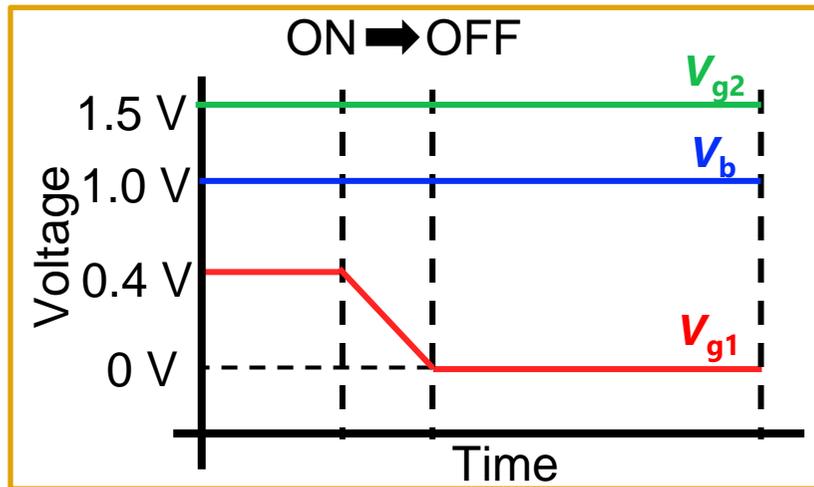
理論限界以下の急峻なSSを持つ（ヒステリシス特性無し）
ボディ電流はドレイン電流より小さい

本研究の一部は, JST-CREST & CREST SUの支援を受けて実施したものです.

DG SOI-MOSFETの過渡応答特性

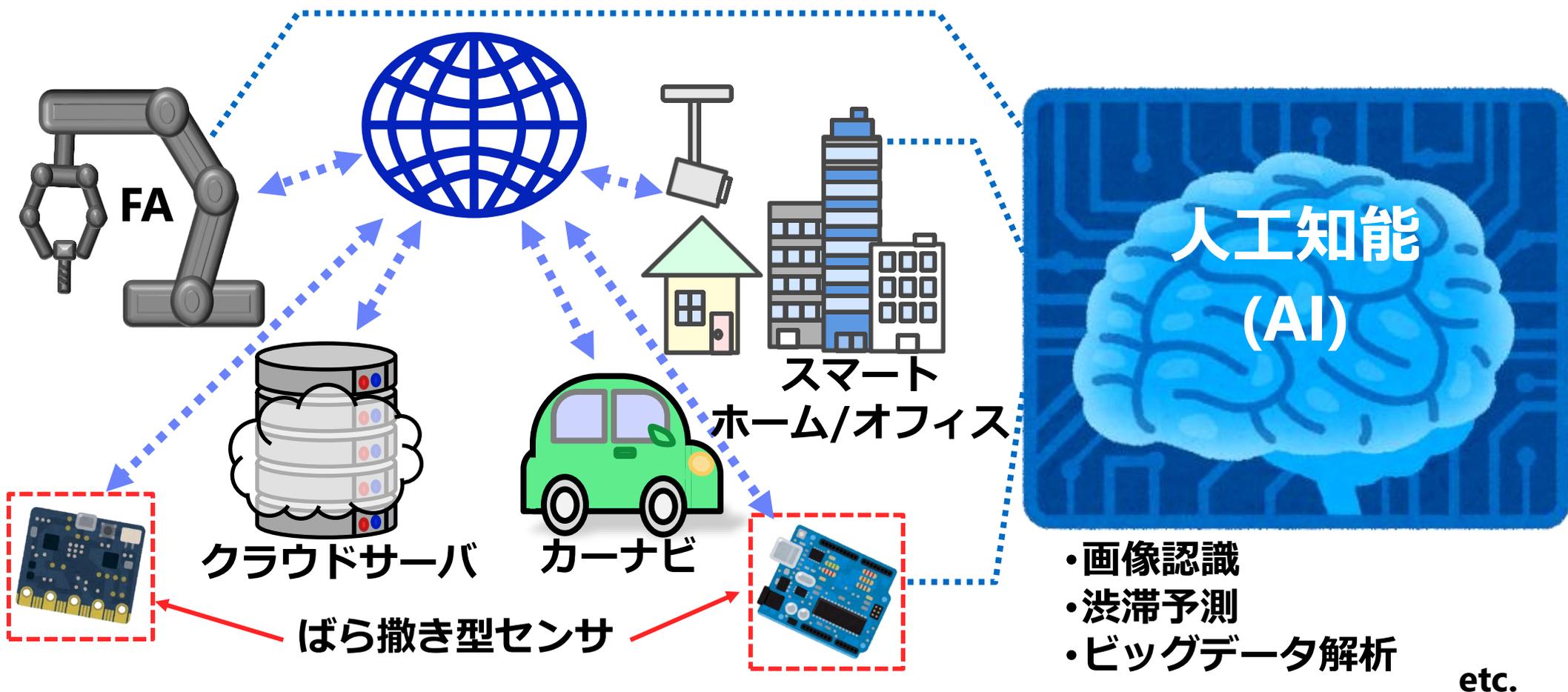
黄色 : 第1ゲートのみをコントロールし、ターンオフした場合

紫色 : 第2ゲートとボディ電圧を合わせてコントロールし、ターンオフした場合



ターンオフ時のリーク電流を、第2ゲート制御によって低減できる
→ 先行提案のPNBT SOI-MOSFETより高速動作可能

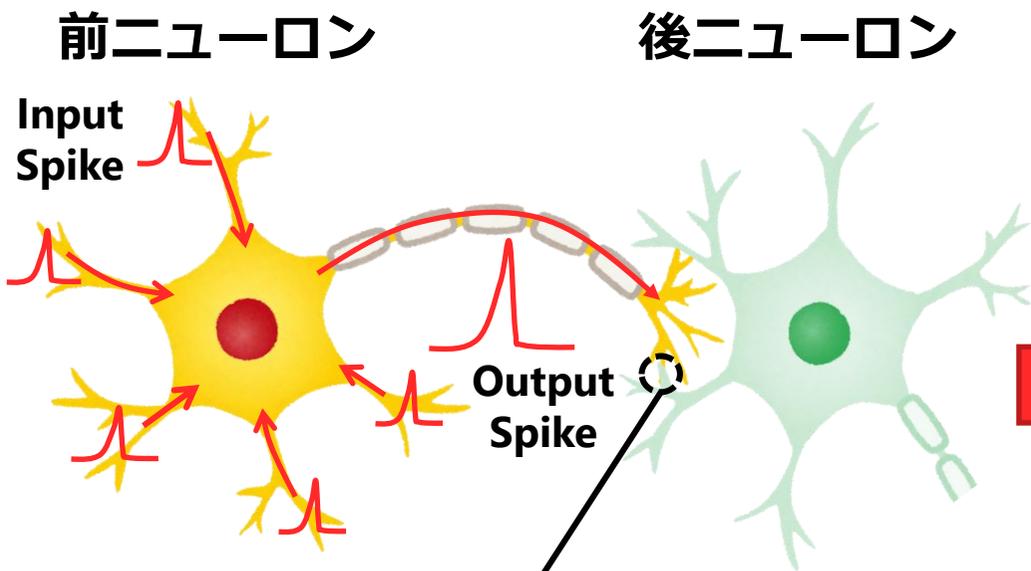
ニューロモルフィックチップへの応用 1/3



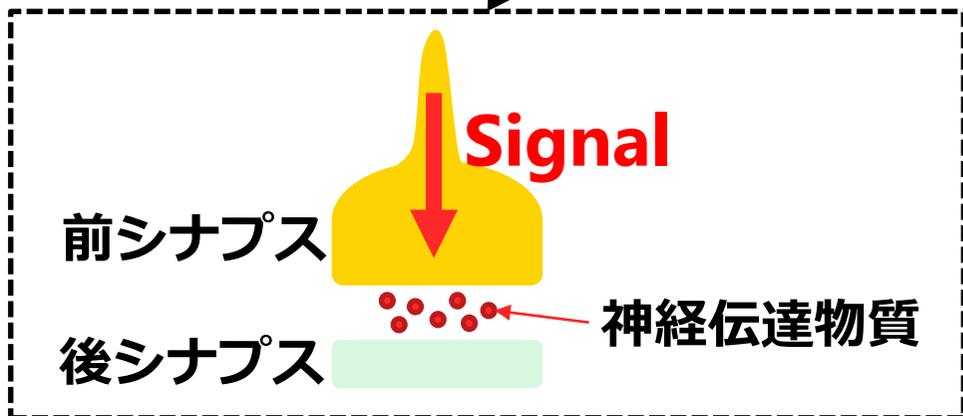
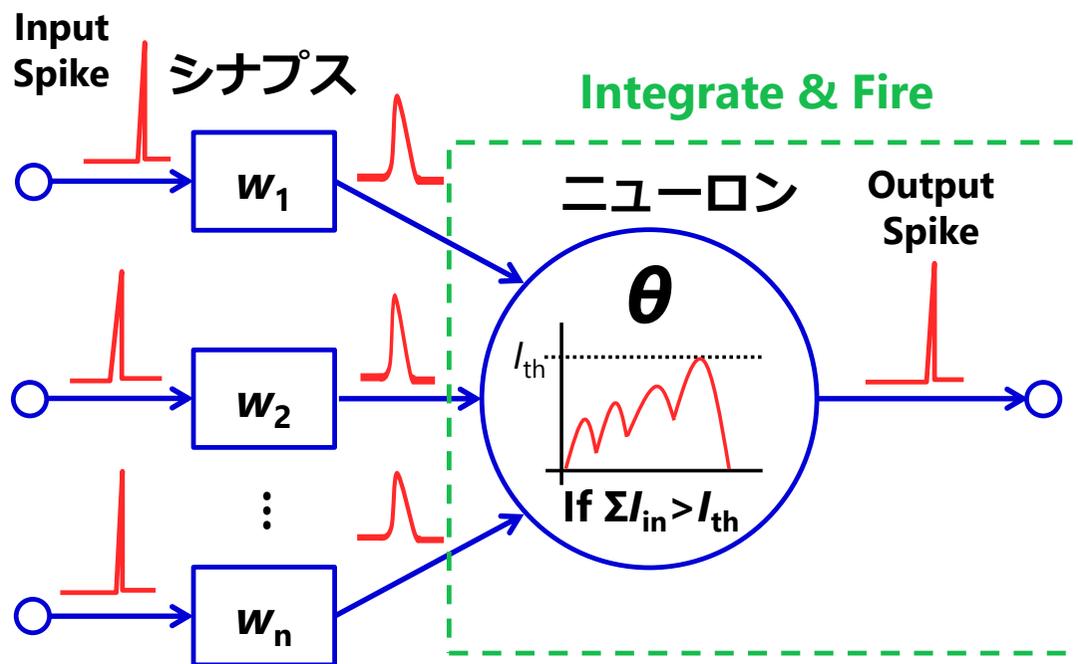
エッジコンピューティングでも動作する極低消費電力のAIシステムが必要

ニューロモルフィックチップへの応用 2/3

<実際の脳>



<Spiking Neural Network (SNN)>

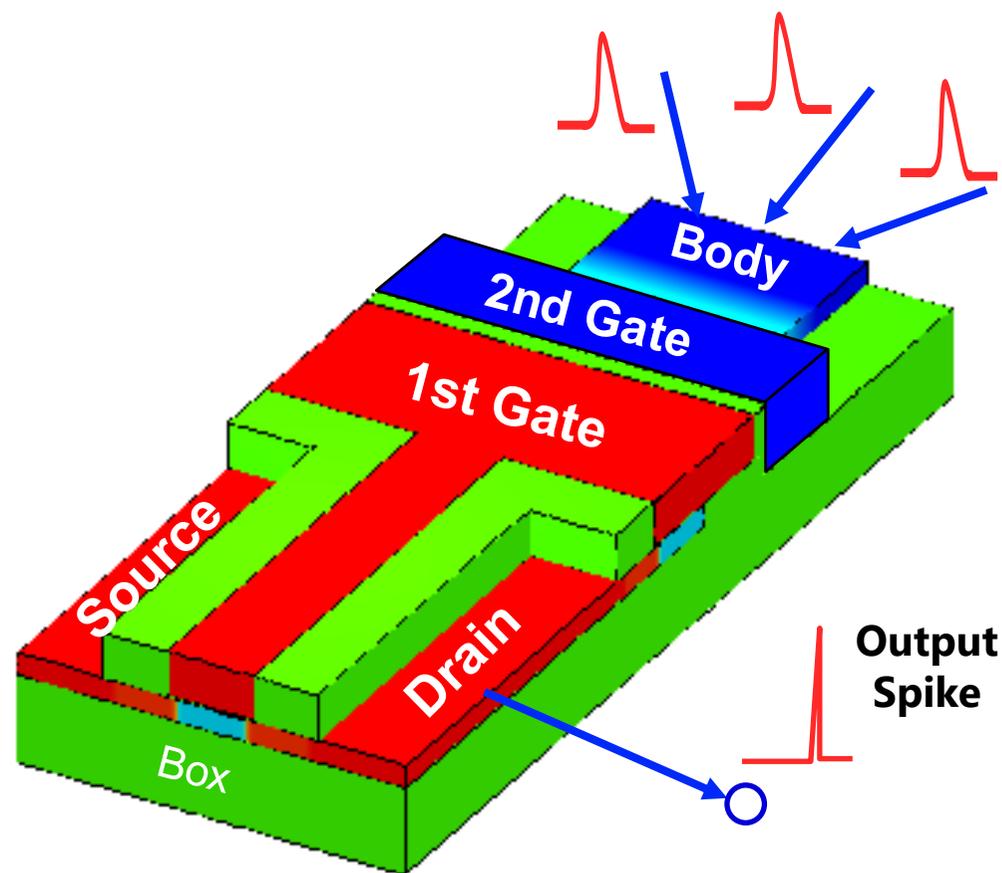
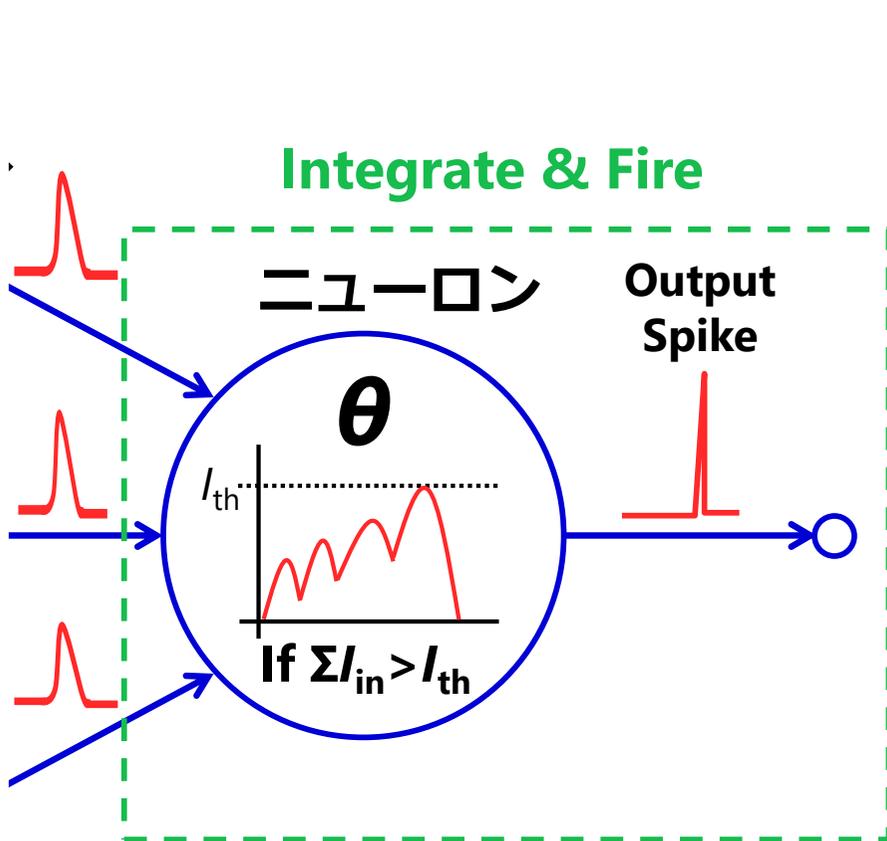


次世代人工ニューラルネットワークとしてSNNが注目を集めており、電子回路上に実装したニューロモルフィックチップが開発されている。

<特徴>

- ・低消費電力
- ・ノイズ耐性が高い 等

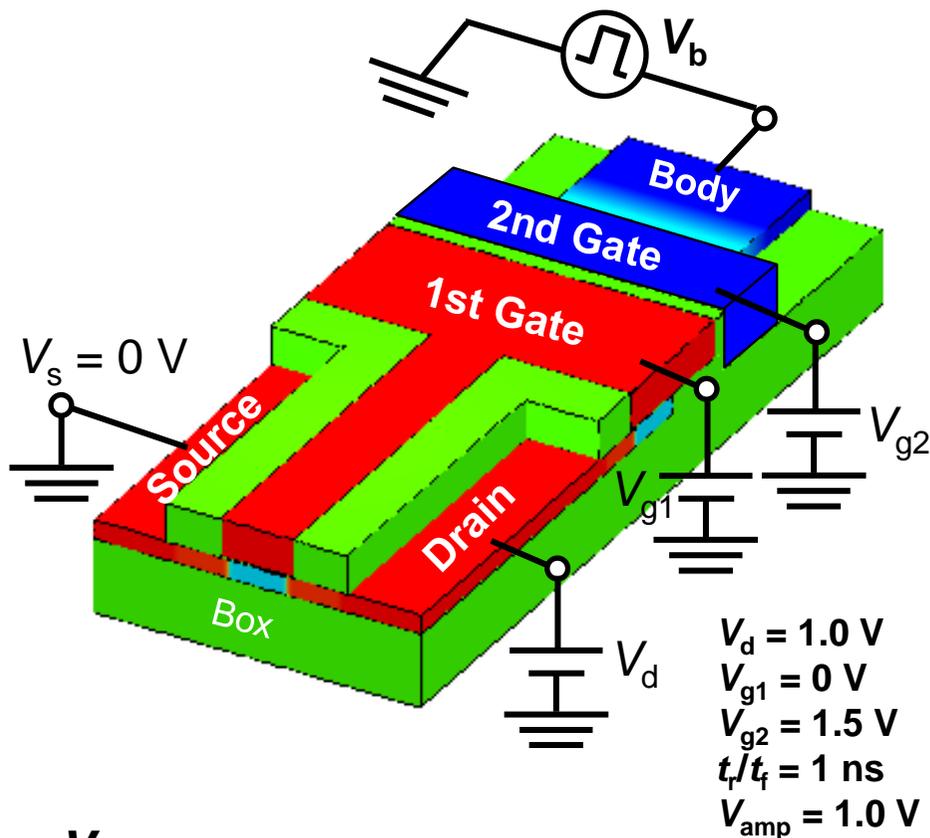
ニューロモルフィックチップへの応用 3/3



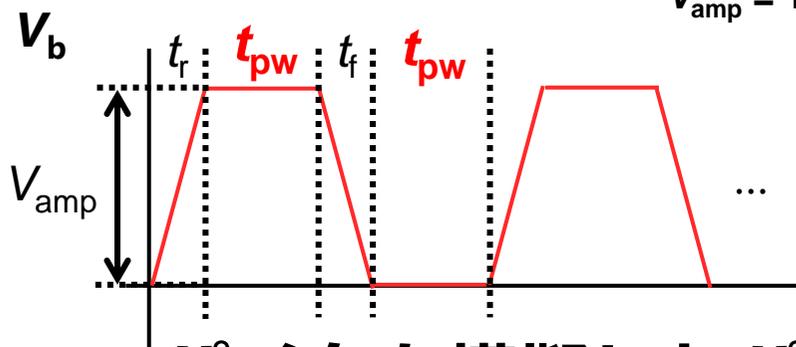
ニューロン部分の機能(蓄積・発火)をDG SOI-MOSFETで置き換える
→回路の省面積化・低消費電力化を目指す

本研究の一部は、キオクシア株式会社の支援をうけて実施したものです。

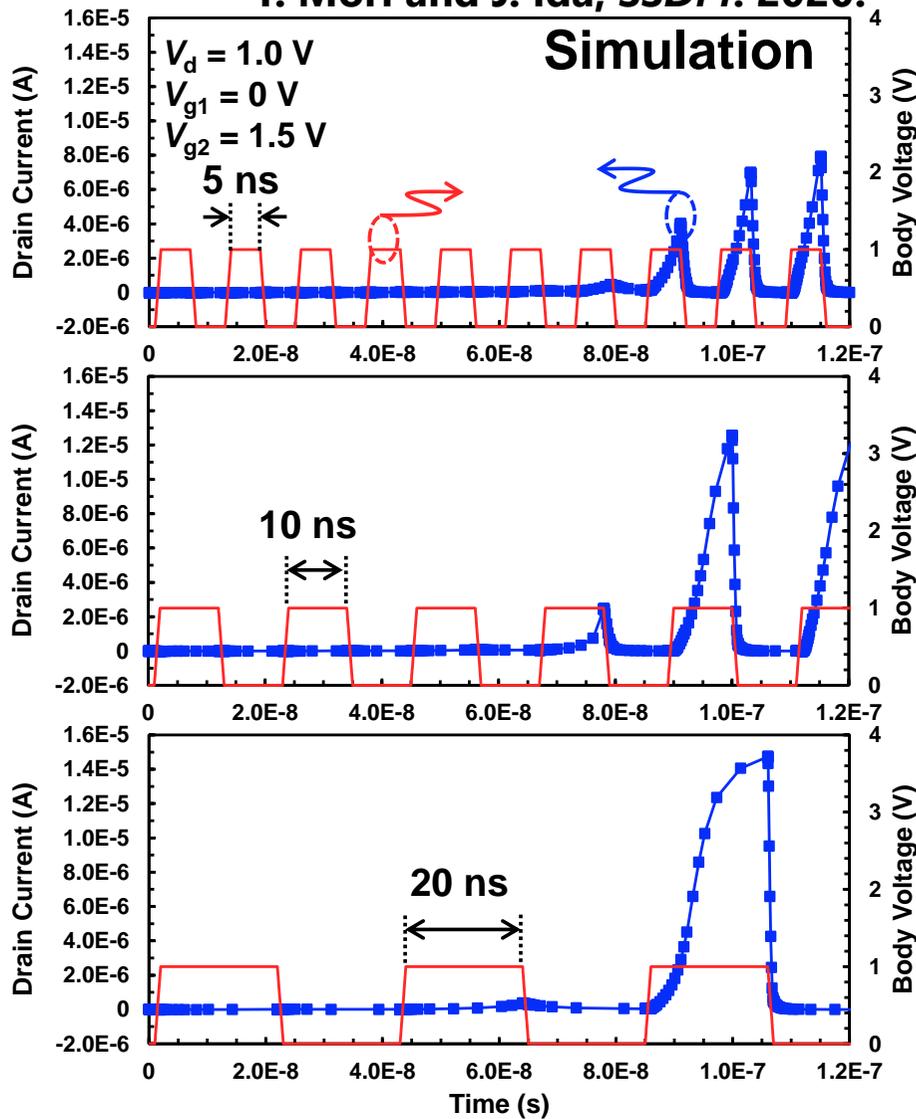
DG SOI-MOSFETへのパルス電圧入力



$V_d = 1.0 \text{ V}$
 $V_{g1} = 0 \text{ V}$
 $V_{g2} = 1.5 \text{ V}$
 $t_r/t_f = 1 \text{ ns}$
 $V_{amp} = 1.0 \text{ V}$



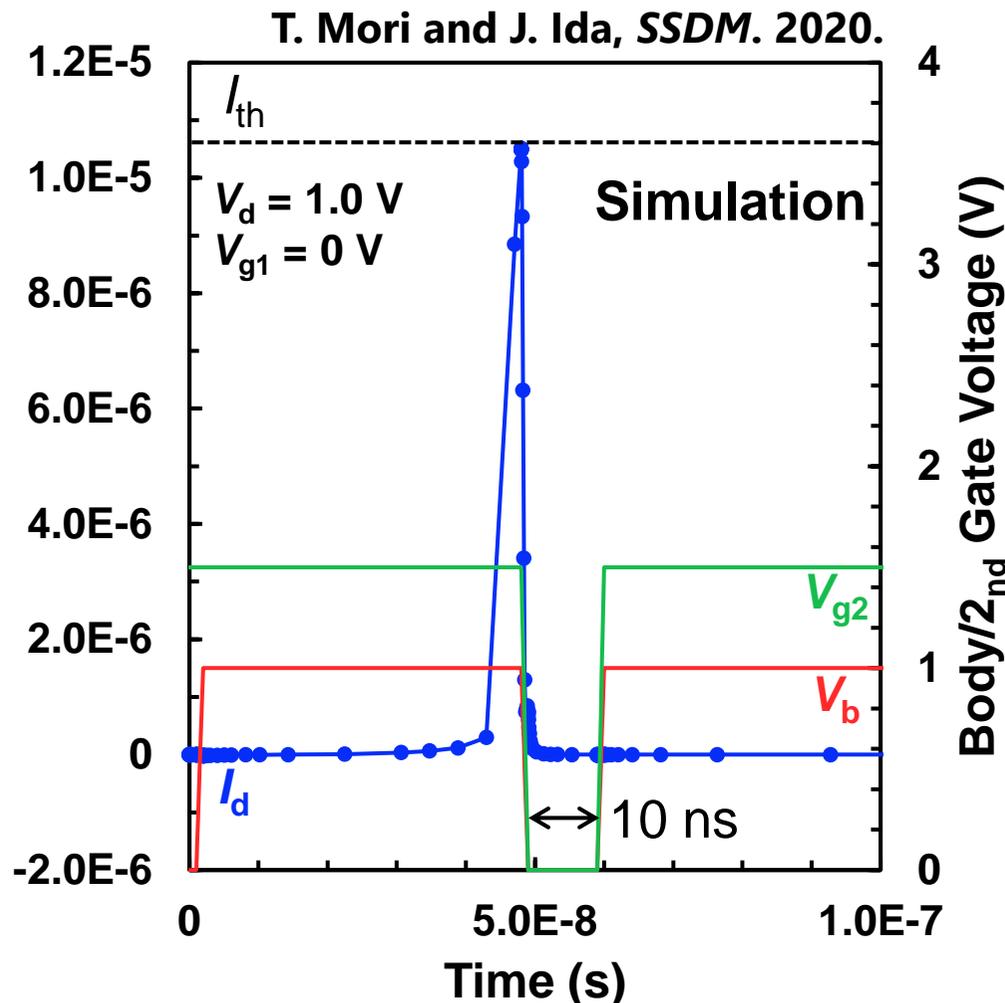
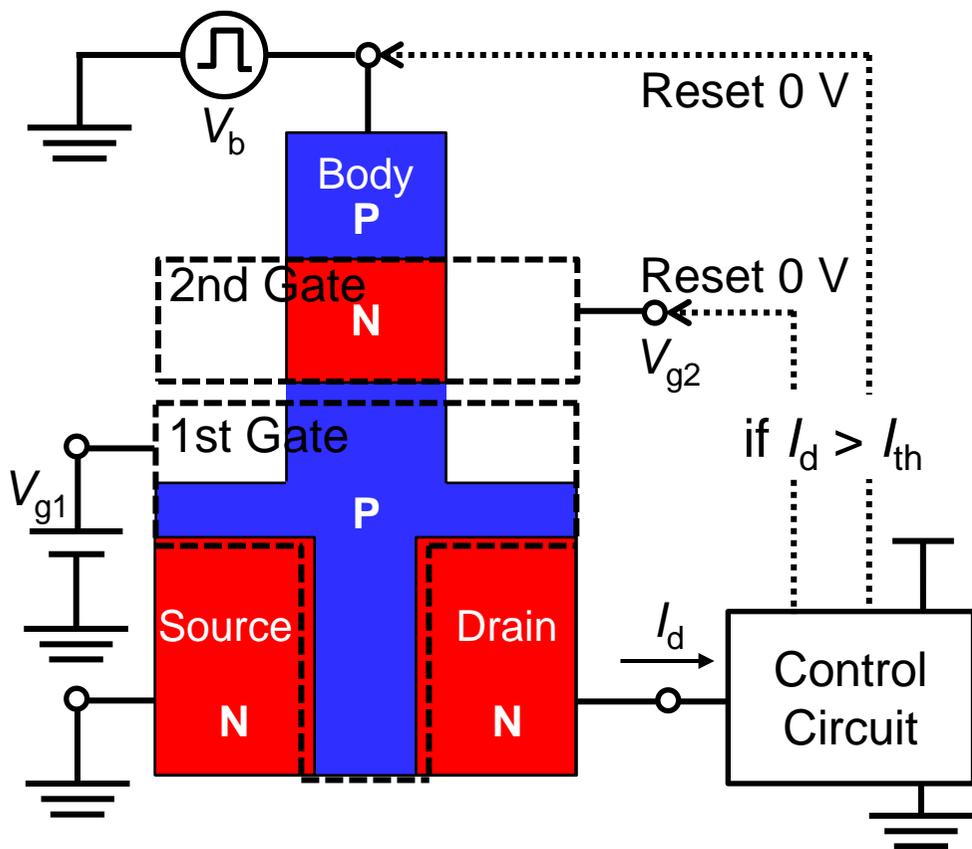
T. Mori and J. Ida, SSDM, 2020.



スパイクを模擬したパルス電圧入力でオンすることを確認
→蓄積動作が可能

本研究の一部は、キオクシア株式会社の支援をうけて実施したものです。

DG SOI-MOSFETによるスパイク信号の生成



ドレイン電流があるしきい値に到達した際
ボディと第2ゲートにリセット信号を入れる

第2ゲートを制御することでスパイク信号を出力することが可能
→ ニューロン機能を模擬できるデバイスの実現

想定される用途

- 極低電力LSI (メイン想定用途)
- エネルギーハーベスティング
- 高感度センシング
- ニューロモルフィック
- 単トランジスタDRAMへの応用も可能

実用化に向けた課題

- ボディ電圧 (>0.6 V程度)が必要なのが課題。現在DG SOI-MOSFETを用いることで解決できないか検討中。
- 集積回路へ応用するにはSPICEモデル化が必要。デバイス物理の更なる解明を進めている。

企業への期待

- SOIデバイスのファブ、作製技術を持つ、企業との共同研究を希望。
- 極低電力集積回路、極低電力アナログ回路、ニューロモルフィックデバイス&システムに関心のある方々とも協業したい。
- エネルギーハーベスティングや、微小信号を検知するセンシング回路への応用を考えている企業にも参考にしていただきたい。

本技術に関する知的財産権

- 発明の名称 : 半導体構造および
半導体構造の制御方法
- 出願番号 : 特願2019-147580
- 出願人 : 学校法人金沢工業大学
- 発明者 : 井田 次郎、森 貴之

お問い合わせ先

金沢工業大学

産学連携局 産学連携東京分室

TEL 03 - 5777 - 1964

FAX 03 - 5777 - 1965

e-mail iuctky@mlist.kanazawa-it.ac.jp