

新材料による 革新的強誘電体メモリの創製

東京工業大学 工学院 電気電子系
准教授 大見 俊一郎

2021年11月2日

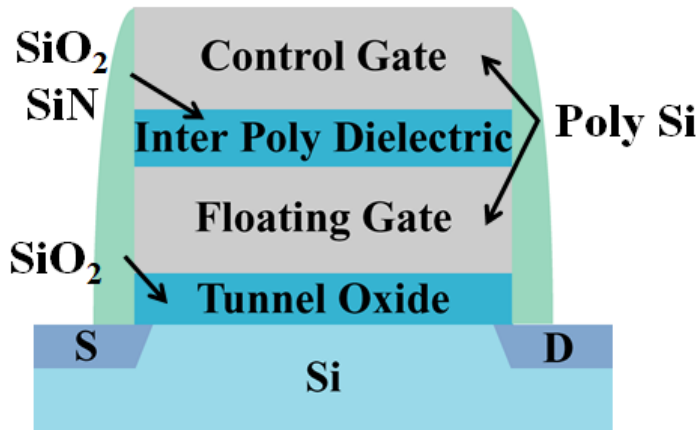
不揮発性メモリの比較と強誘電体メモリ

不揮発性メモリ

あらゆる電子システムにおける情報記録素子として必要不可欠

フラッシュメモリ

- ◆ 動作電圧高: ~ 20 V
- ◆ 動作速度低
- ◆ 書き換え寿命短

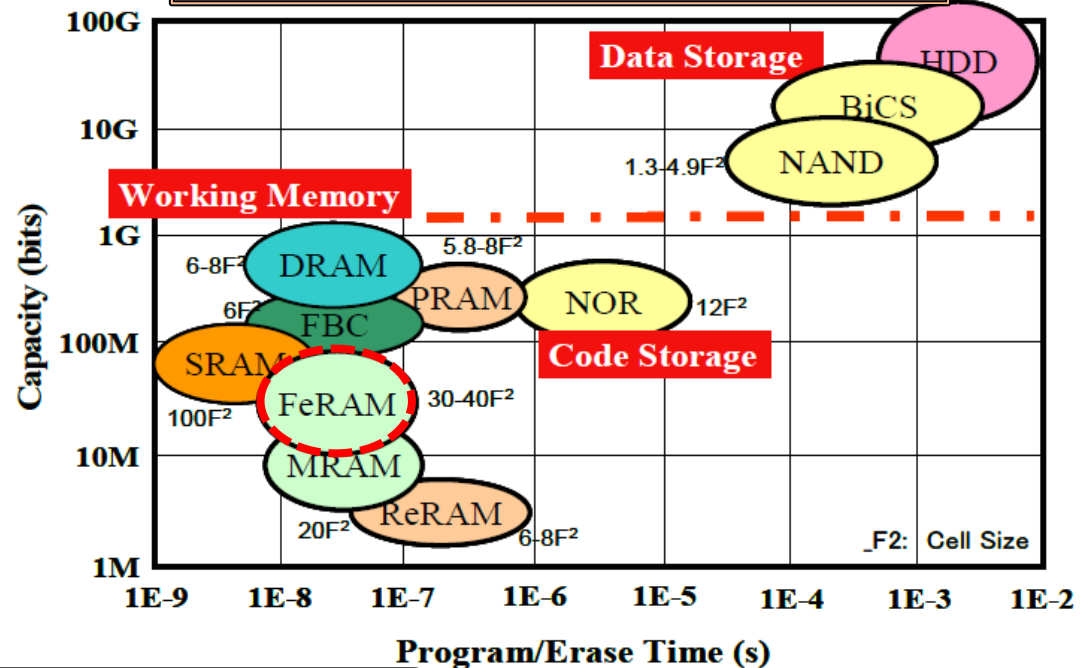


Floating Gate: 70 - 100 nm



微細化困難
3次元集積化積層限界

新規メモリ



FeRAM 強誘電体メモリ

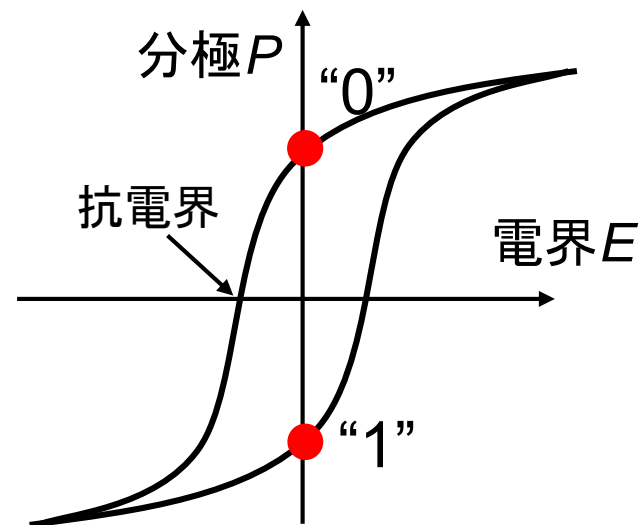
- ◆ 低電圧動作
- ◆ 高速動作
- ◆ 高書き換え回数



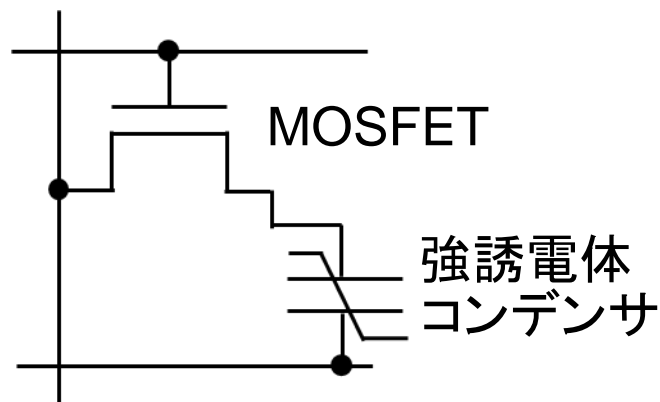
強誘電体メモリの構成

強誘電体

- ◆ 自発分極(残留分極)
- ◆ 抗電界以上の電界印加で分極反転



1transistor/1capacitor型
(1T1C/2T2C)

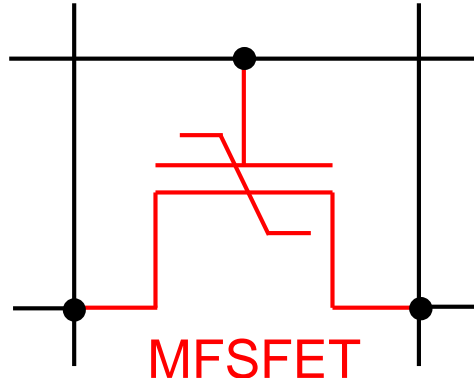


- ◆ 破壊読出し
- ◆ 集積度低



- Suica、RF-IDタグ
- 16-64 Mbit

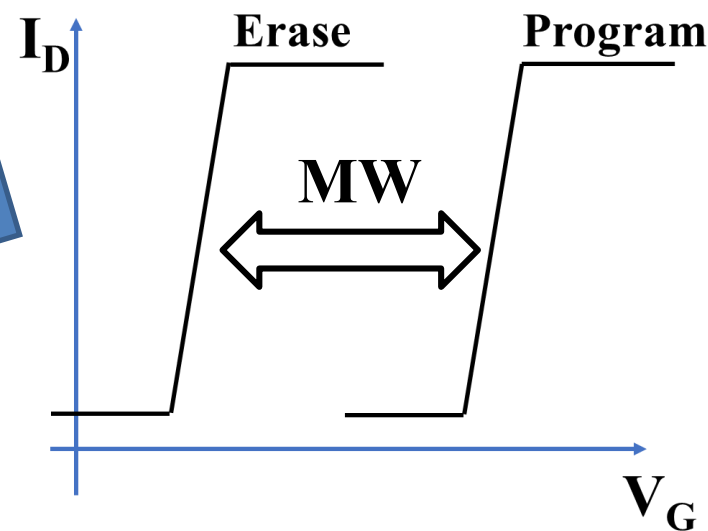
1transistor型
(1T)



- ◆ 非破壊読出し
- ◆ 高集積化



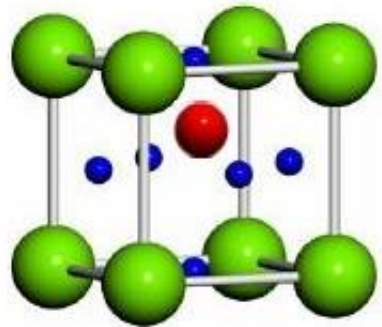
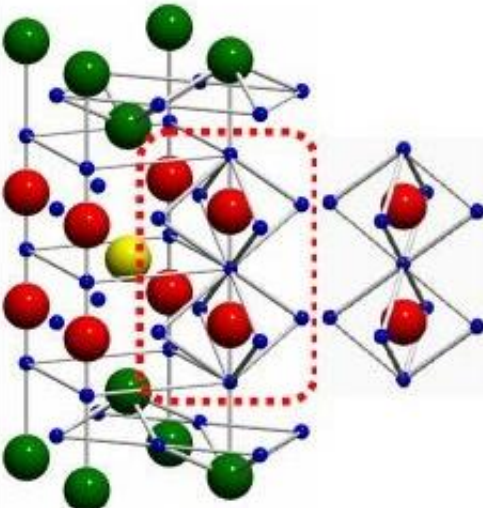
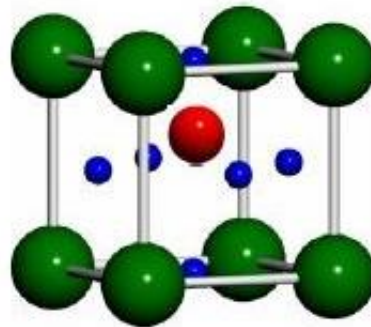
- 1958年に提案
- 実用化されていない



強誘電体薄膜のSi基板上へ直接形成

MFSFET: Metal/Ferroelectrics/Si Field-Effect Transistor

従来の強誘電体材料

強誘電体	PZT [Pb(Zr,Ti)O ₃] (チタン酸ジルコン酸鉛)	SBT [SrBi ₂ Ta ₂ O ₉] (タンタル酸ビスマス酸 ストロンチウム)	BFO [BiFeO ₃] (ビスマフェライト)
結晶構造	 <p>●:Pb ●:Zr/Ti ●:O</p>	 <p>●:Sr ●:Bi ●:Ta ●:O</p>	 <p>●:Bi ●:Fe ●:O</p>
メリット	<ul style="list-style-type: none"> ・低温プロセスが可能 ・量産性が高い (富士通で量産中) 	<ul style="list-style-type: none"> ・反転電圧が1.8[V]以下 ・電圧が低い為、疲労特性が向上する。 	<ul style="list-style-type: none"> ・Qswが180~220[uC/cm²]とPZTの約5倍。
デメリット	<ul style="list-style-type: none"> ・反転電圧がやや高い。 (メリット: データが化け難い) 	<ul style="list-style-type: none"> ・Qswが小さい ・プロセスが高温 	<ul style="list-style-type: none"> ・新素材であり研究開発中 (☆東京工業大学との共同研究☆)

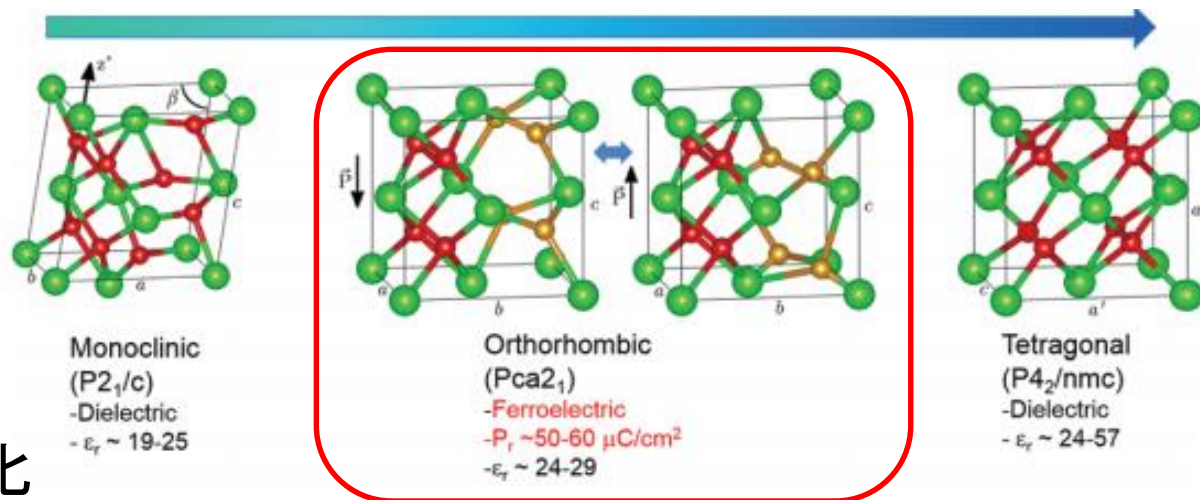
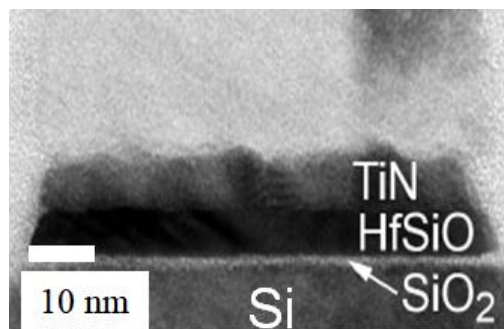
NEDO「強誘電体メモリの研究開発」(東京工業大学 他10社)
(研究代表者 石原宏教授、1999-2003)により実用化に貢献

課題: 薄膜化困難、Si基板上への形成困難(Bi, Pb等の拡散)

強誘電性酸化ハフニウム (Fe-HfO₂)

Si上強誘電性Si添加HfO₂

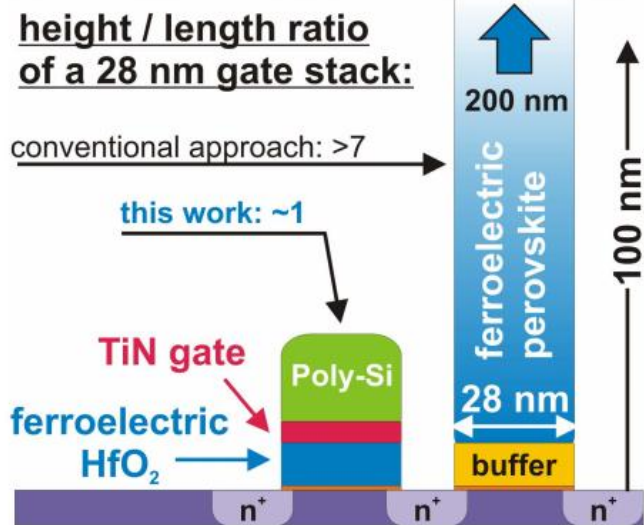
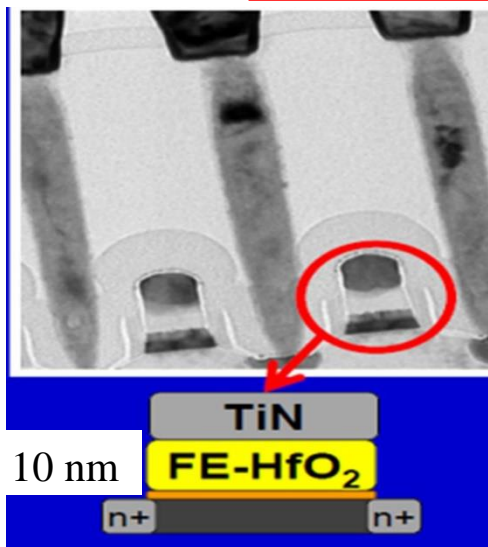
斜方晶(準安定相)



- 非晶質HfO₂:
高誘電率ゲート絶縁膜として実用化
- 10 nm級極薄膜化

微細化(28 nm)

強誘電性HfO₂

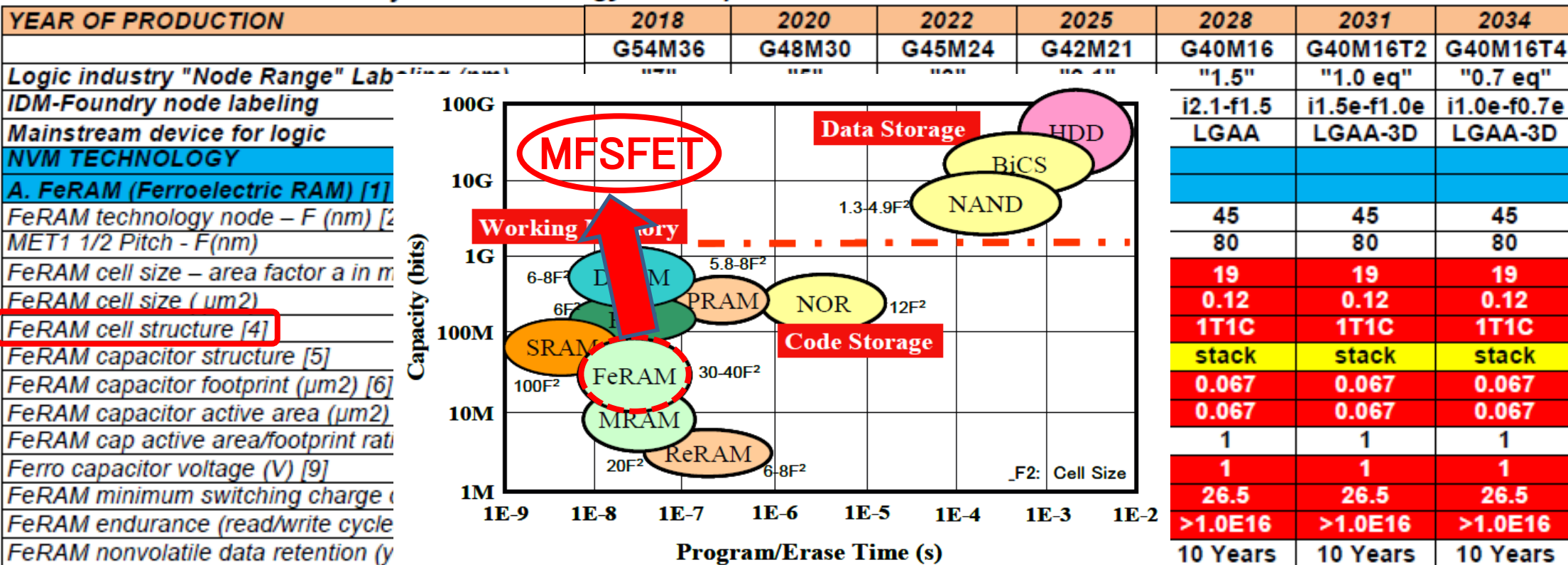


- MFSFETの実現
- 微細化、高集積化

不揮発性メモリの高速化・
低消費電力化を実現

Fe-HfO₂薄膜のインパクト

Table MM04 - More Moore Memory - NVM Technology Roadmap



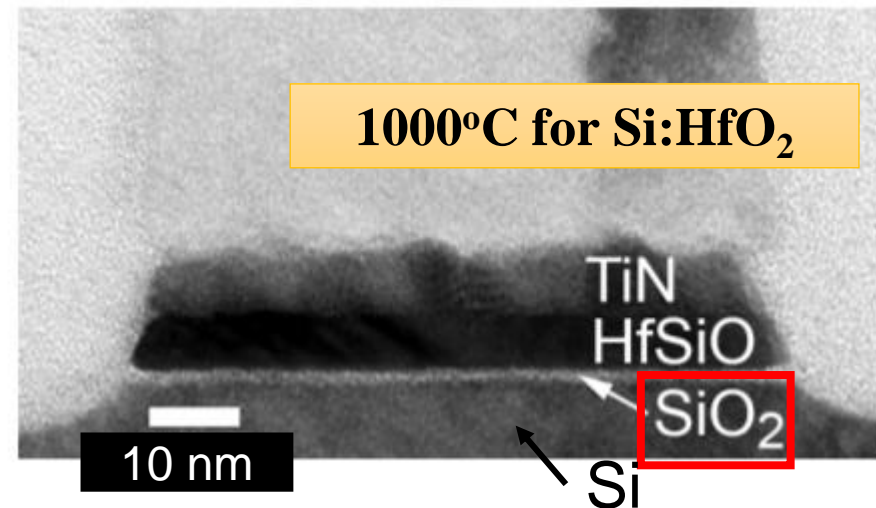
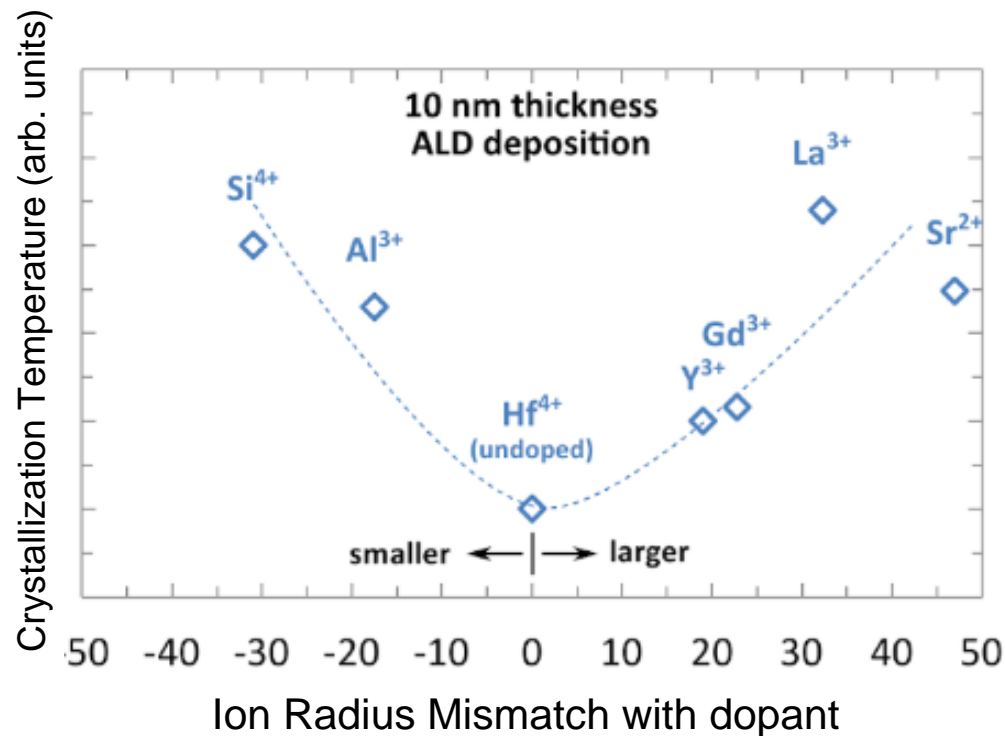
- ・ロードマップのセル構造は1T/1C
- ・2022年以降セル構造の変更が必要
- ・MFSFETにより微細化・高集積化を実現

[1] IRDS URL: <https://irds.ieee.org/editions>

Fe-HfO₂の課題

Zr、Siなどを添加し準安定相に結晶化させるため、高温熱処理が必要

低誘電率界面層の形成



低誘電率界面層

→ 減分極電界によるメモリ特性の劣化

添加元素

→ しきい値電圧のばらつき

ノンドーピングFe-HfO₂

- 低温プロセス
- しきい値電圧ばらつき低減

[1] T. Schenk, Formation of Ferroelectricity in Hafnium Oxide Based Thin Films, Books on Demand (2017).

[2] T. S. Böscke et al., IEDM11-550 (2011).

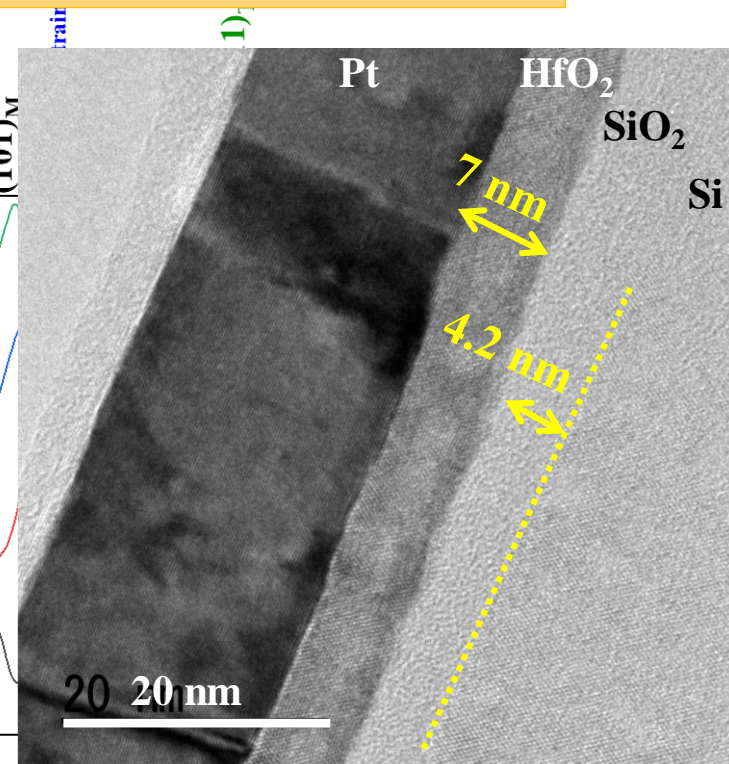
ハンドープFe-HfO₂

反応性スパッタ法における酸素流量比の制御によりSi基板上への形成を実現

ハンドープFe-HfO₂(5 nm, 500°C)

菱面体晶系(準安定相)

Ferroelectric Undoped-HfO ₂ FET	TiN/HfO ₂ /SiO ₂ (This work)	Pt/HfO ₂ /SiO ₂ [17]	TaN/HfO ₂ /SiO ₂ [18]
FE-Oxide	HfO ₂ (ALD)	HfO ₂ (sputter)	HfO ₂ (ALD)
Thickness	6 nm	10 nm	4 nm
Memory Window (?V _t)	0.5 V (V _{P/E} =±5 V)	1.2 V (DC sweep, ±2.5 V)	0.045 V (DC sweep)
Retention (sec)	> 10 ⁴	NA	NA
Endurance (cycles)	5x 10 ⁴	NA	NA

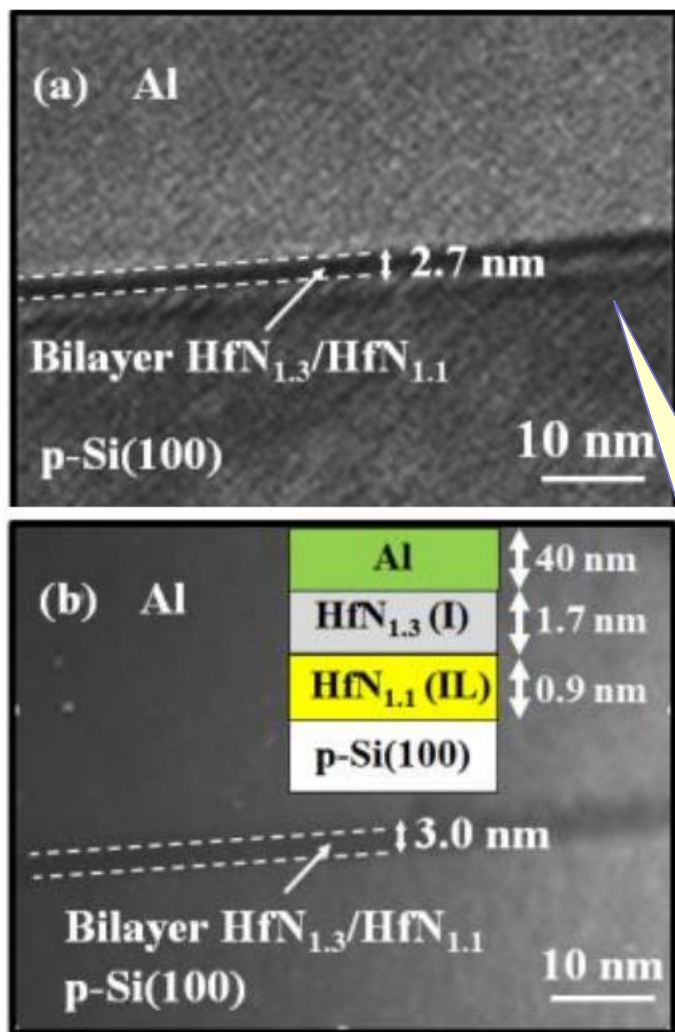


菱面体晶系の結晶がSi基板上で歪を生じることにより強誘電性が発現

[1] J.W. Shin, S. Ohmi et al, DRC, 29 (2021).
 [2] S. Ohmi et al, IEEE TED, 68, 2427 (2021).
 [3] J.-D. Luo et al, IEEE EDL, 42, 1151 (2021)

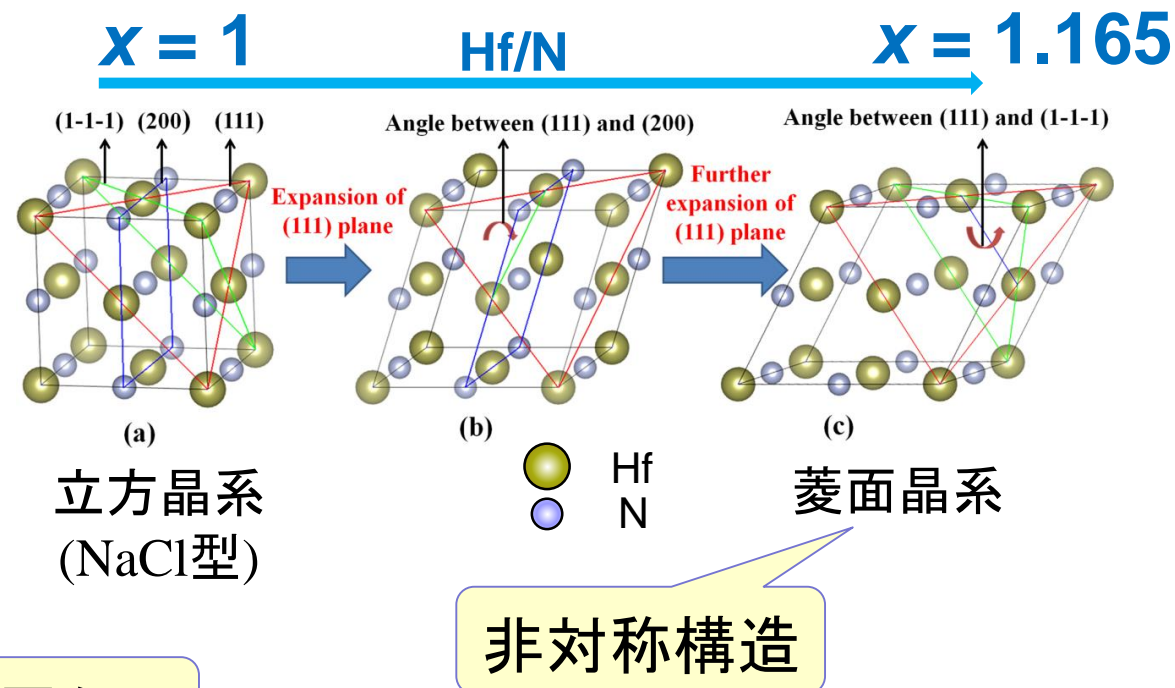
窒化ハフニウム (HfN_x) に関する先行研究

HfN_x の断面TEM像



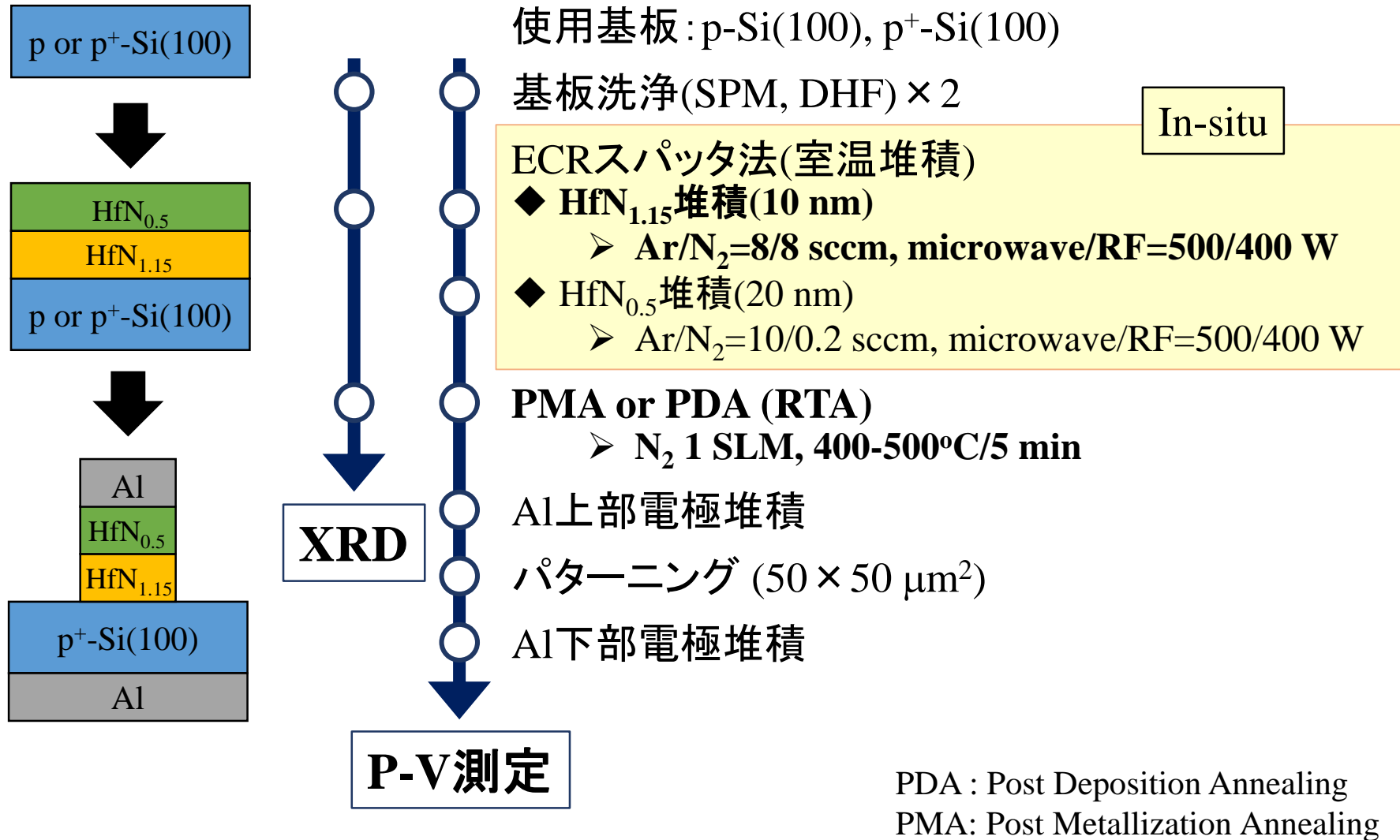
界面層なし

HfN_x の結晶構造



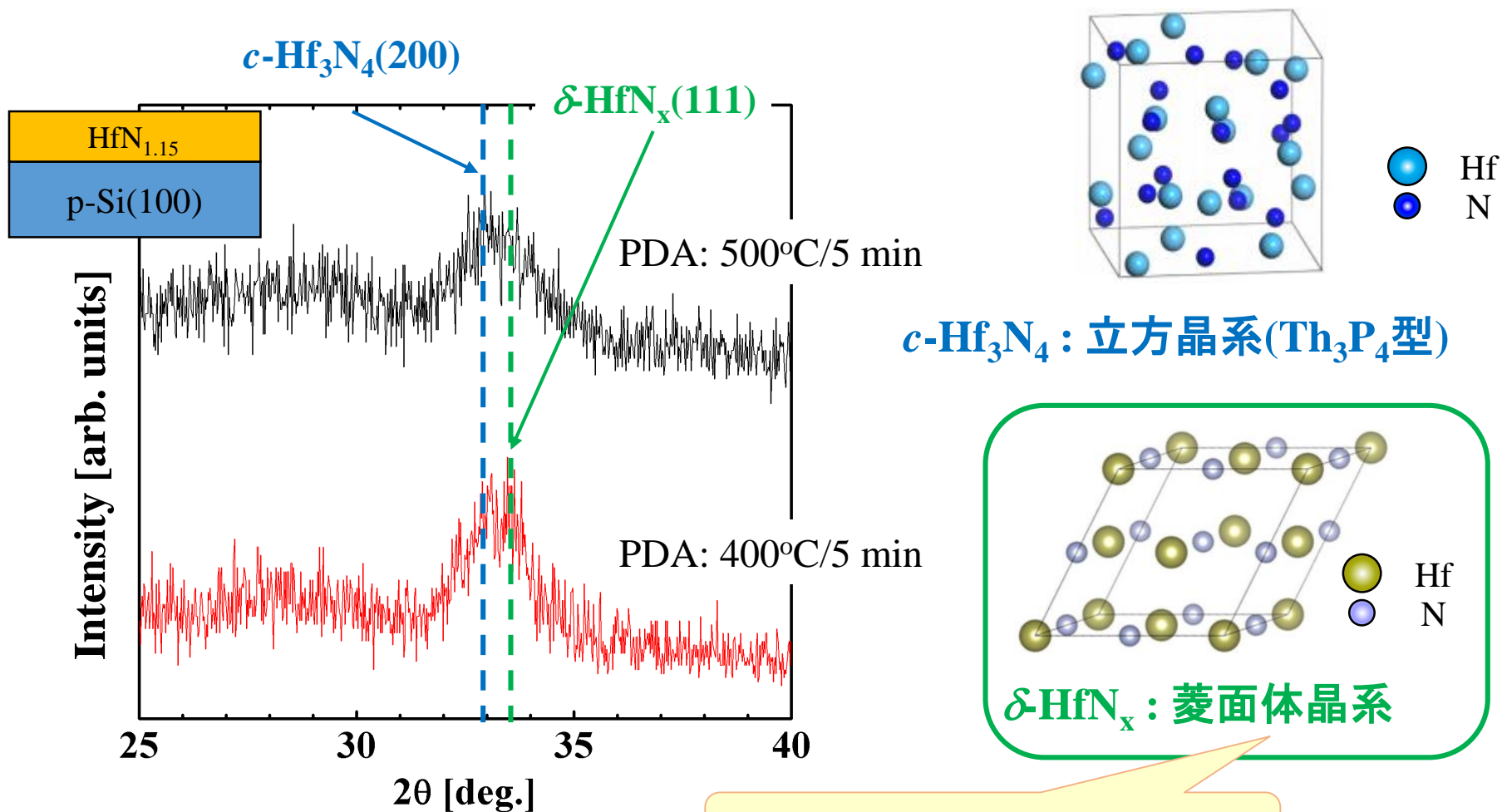
歪を導入することにより
強誘電性を発現する可能性

HfN_xを用いたMFSダイオードの作製プロセス



[1] Z. Gu *et. al*, Acta Materialia 90, pp.59-68 (2015). [2] N. Atthi *et. al*, SDM2015-82 (2015).

Si(100)基板上に形成したHfN_x薄膜の結晶性



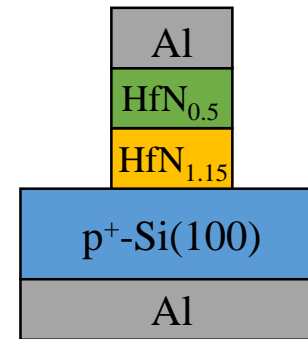
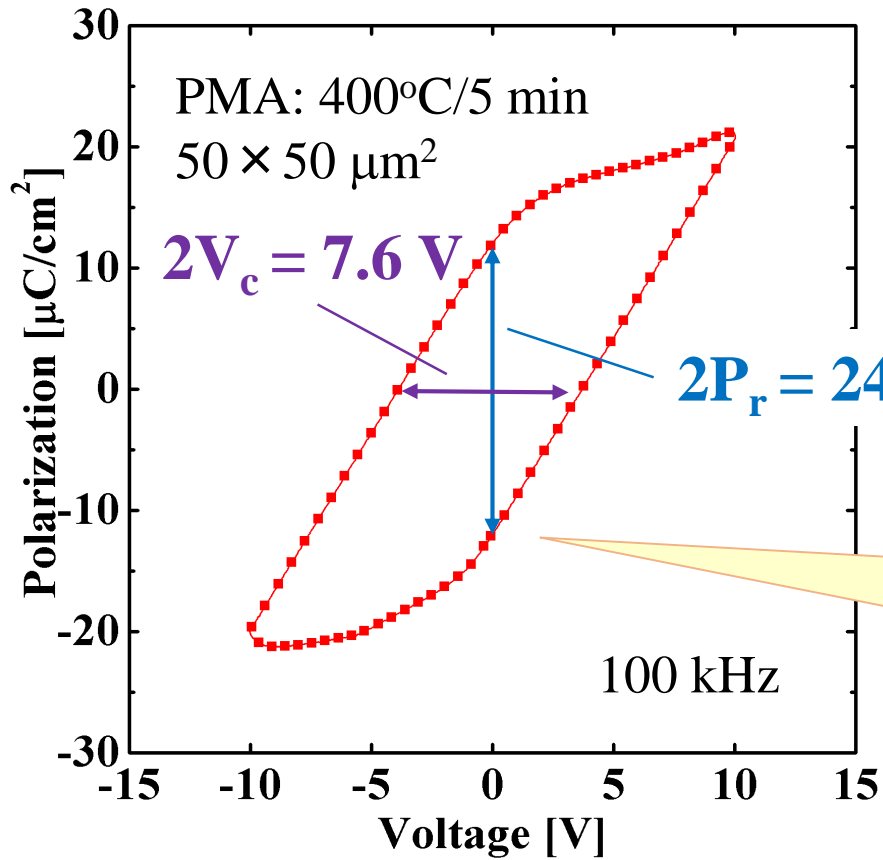
強誘電性発現の可能性

HfN_{1.15}は、400°C/5 minでアニールすると菱面体晶系で結晶化

[1] C. Hu *et. al*, Scripta Materialia 108, pp.141-146 (2015). [2] Z. Gu *et. al*, Acta Materialia 90.
[3] S. Ohmi *et al*, IEEE JEDS (2021). [under review]

HfN_x薄膜の分極-電圧特性

P-V特性



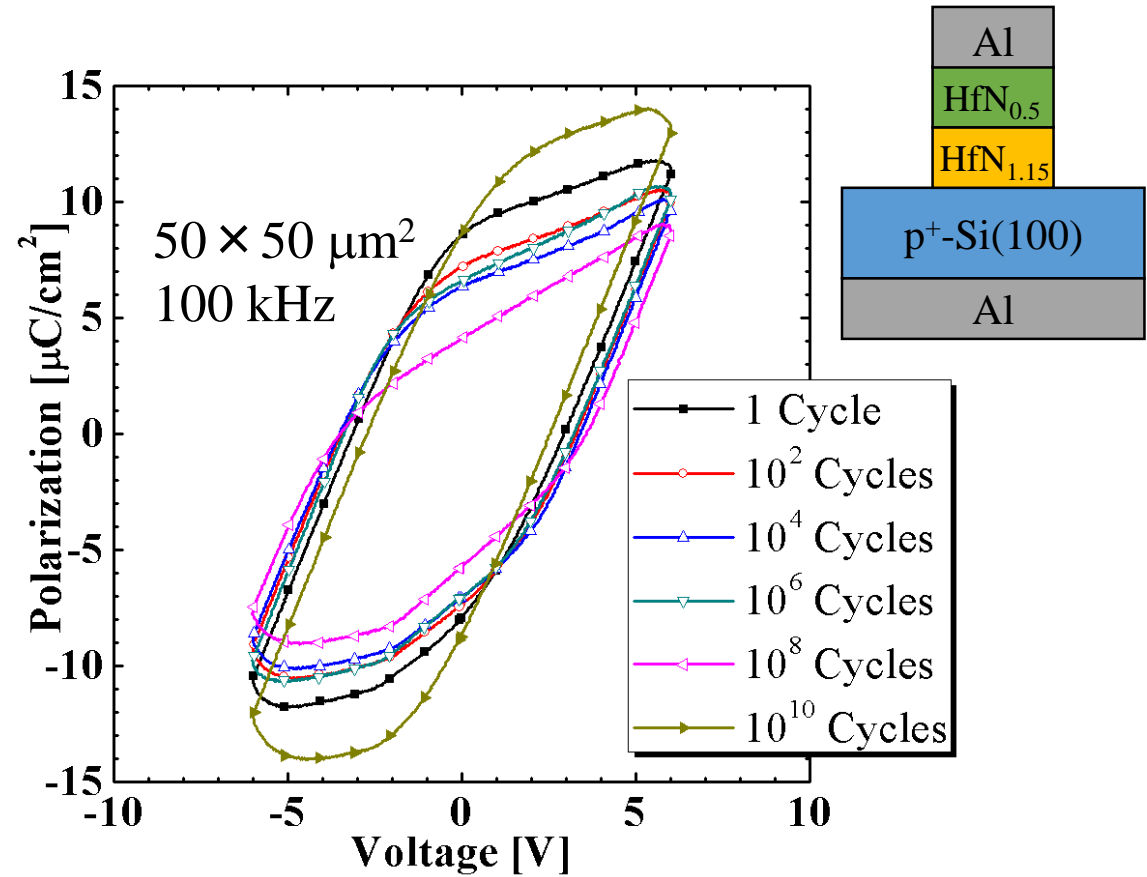
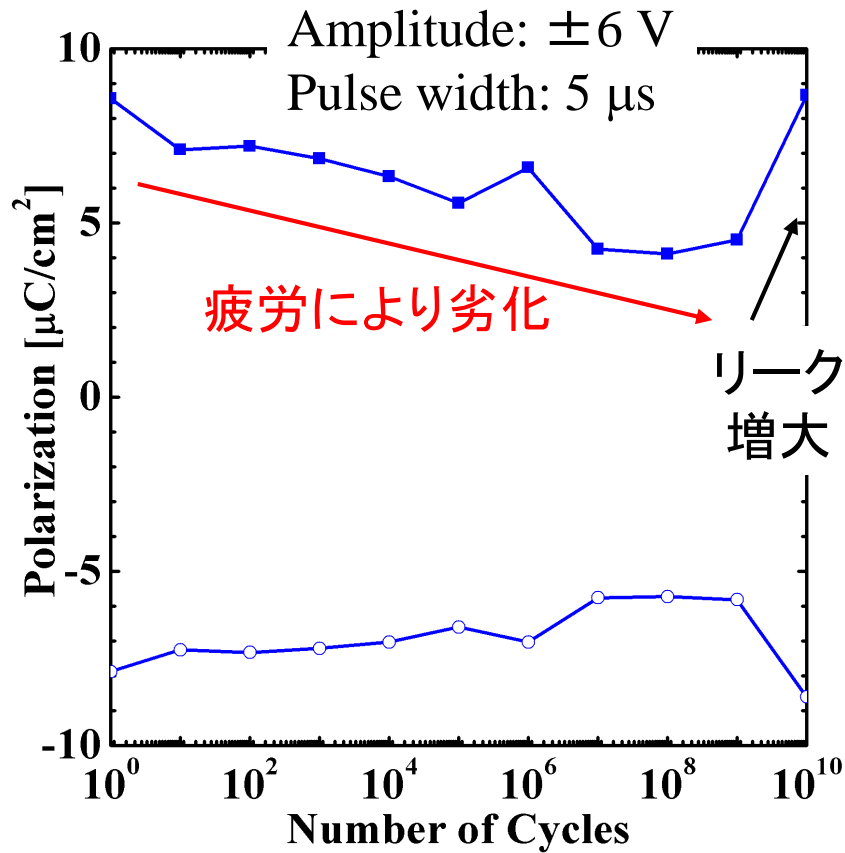
- 強誘電性のヒステリシス
- HfO₂より残留分極が大きい (HfO₂: 2P_r = 8.2 μC/cm²[7])

2P_r: 残留分極量
2V_c: 抗電圧

400°C/5 minでアニールしたHfN_{1.15}薄膜が強誘電性を発現

[1] S. Ohmi et al, IEEE JEDS (2021). [under review]

HfN_x薄膜の分極-電圧特性

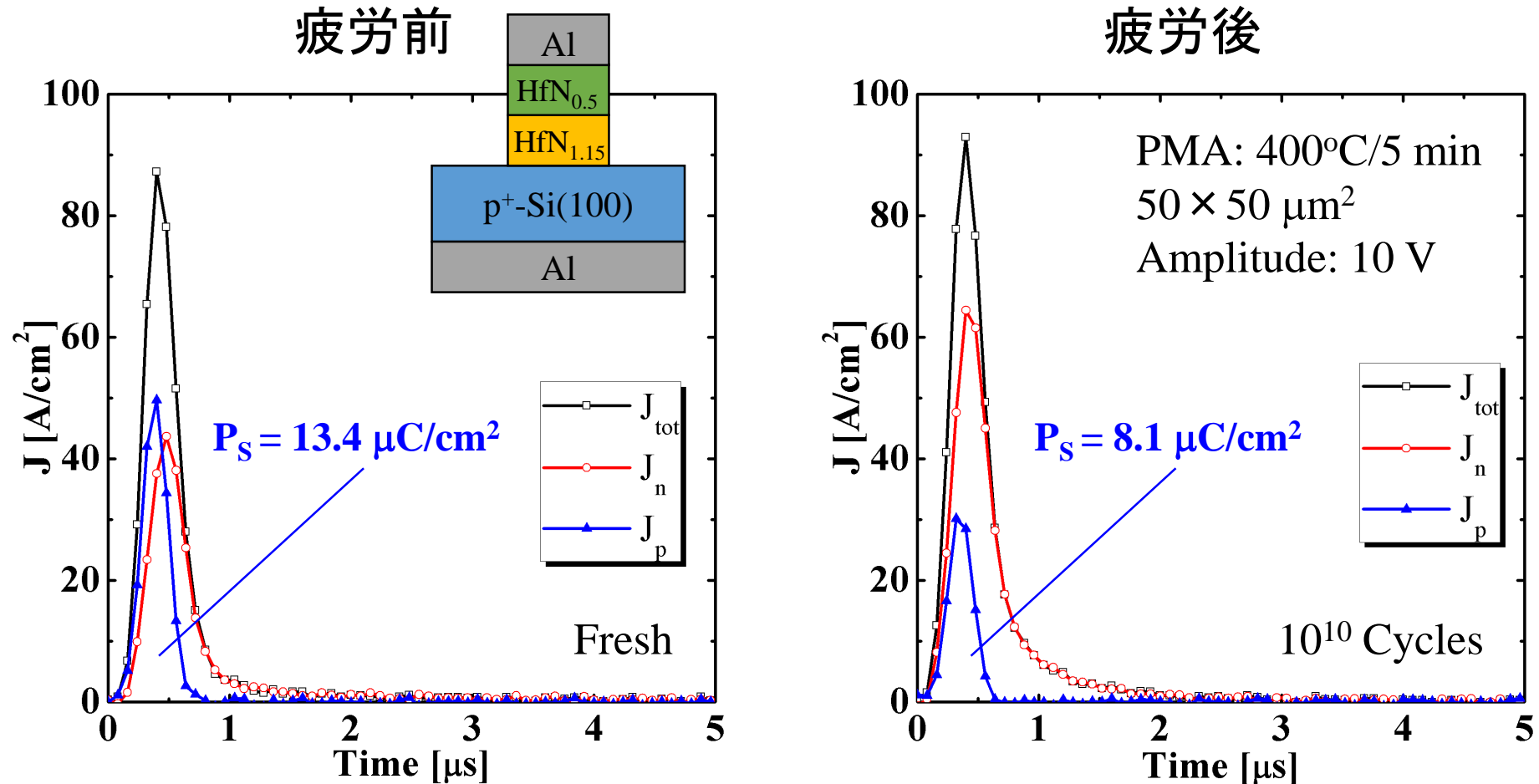


- 10⁹回のスイッチングへの耐性
- インプリント現象なし

[1] S. Ohmi et al, IEEE JEDS (2021). [under review]

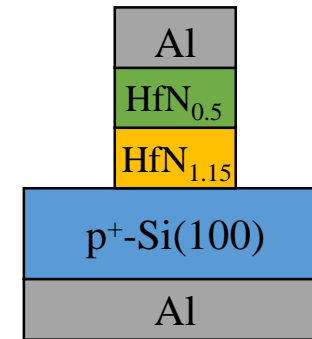
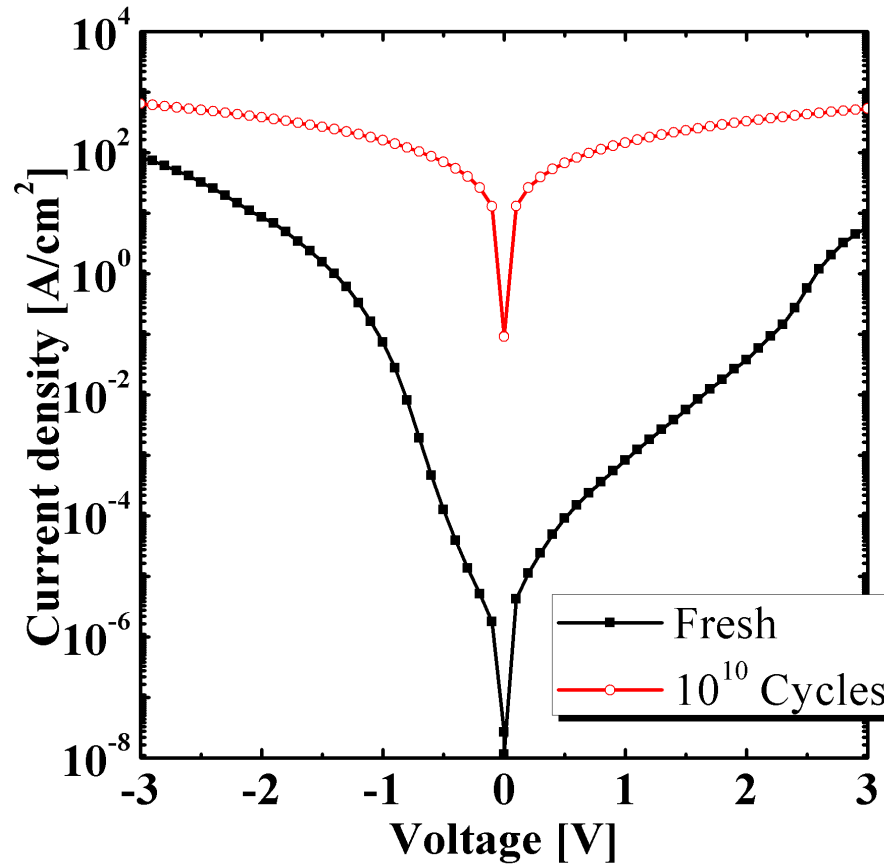
疲労特性評価前後のスイッチング電流

ダブルパルス測定



➤ 10⁹回パルス印加後に分極量低下

疲労特性評価前後のリーク電流



PMA: 400°C/5 min
50 × 50 μm²

➤ 10⁹回パルス印加後にリーク電流増大

[1] S. Ohmi et al, IEEE JEDS (2021). [under review]

強誘電性 $\text{HfN}_x(\text{Fe-HfN}_x)$ 薄膜の特徴

- Fe-HfO_2 の問題点であった、低誘電率界面層の形成を抑制でき、Si基板上への強誘電体薄膜の直接形成に成功した。
- 低誘電率界面層の形成を抑制できたため、保持特性などを向上することが可能となった。

想定される用途

- 保持特性、疲労特性を向上した1T型強誘電体メモリに適用することで高集積化、低消費電力化のメリットが大きいと考えられる。
- 達成された強誘電性に着目すると、人工知能回路用のアナログメモリへの応用に展開することも可能と思われる。

実用化に向けた課題

- 現在、膜厚10 nmでの強誘電性まで開発済み。しかし、10 nm以下への薄膜化が未解決である。また、抗電界が3.8 MV/cmと大きい点が課題である。
- 今後、薄膜化と結晶性の向上について実験データを取得し、強誘電体メモリを低電圧動作化していく場合の条件設定を行っていく。
- 実用化に向けて、しきい値電圧制御の精度を20 mVまで向上できるように技術を確立する必要もあり。

企業への期待

- 未解決の薄膜化と結晶性の向上については、スパッタ形成プロセスと熱処理プロセスにより克服できると考えている。
- デバイスの集積化、薄膜形成および評価技術を持つ、企業との共同研究を希望。
- また、不揮発性メモリを開発中の企業、新規薄膜材料分野への展開を考えている企業には、本技術の導入が有効と思われる。

本技術に関する知的財産権

- 発明の名称 : 強誘電性薄膜の形成方法、
それを備える半導体装置
- 出願番号 : 特願2021-039611
- 出願人 : 東京工業大学
- 発明者 : 大見俊一郎

産学連携の経歴

- 2015年-2017年 素材関連のA社と共同研究実施
- 2021年-2022年 装置関連のB社と共同研究実施

お問い合わせ先

東京工業大学
研究・産学連携本部

TEL 03-5734-2445

FAX 03-5734-2482

e-mail sangaku@sangaku.titech.ac.jp