

IoTシステム向き省電力高性能な FPGA回路構成技術

筑波大学 システム情報系 情報工学域
助教 三宮 秀次

2021年10月21日



筑波大学
University of Tsukuba

発明の背景

• IoTシステムの省電力化・高スループット化に向けて

- IoT(Internet-of-Things)システムの構成機器の要件:
限られた電力で長時間稼働を可能とする省電力化
高度な機能の実現を可能とする高スループット化

• 主流となっているクロック同期回路

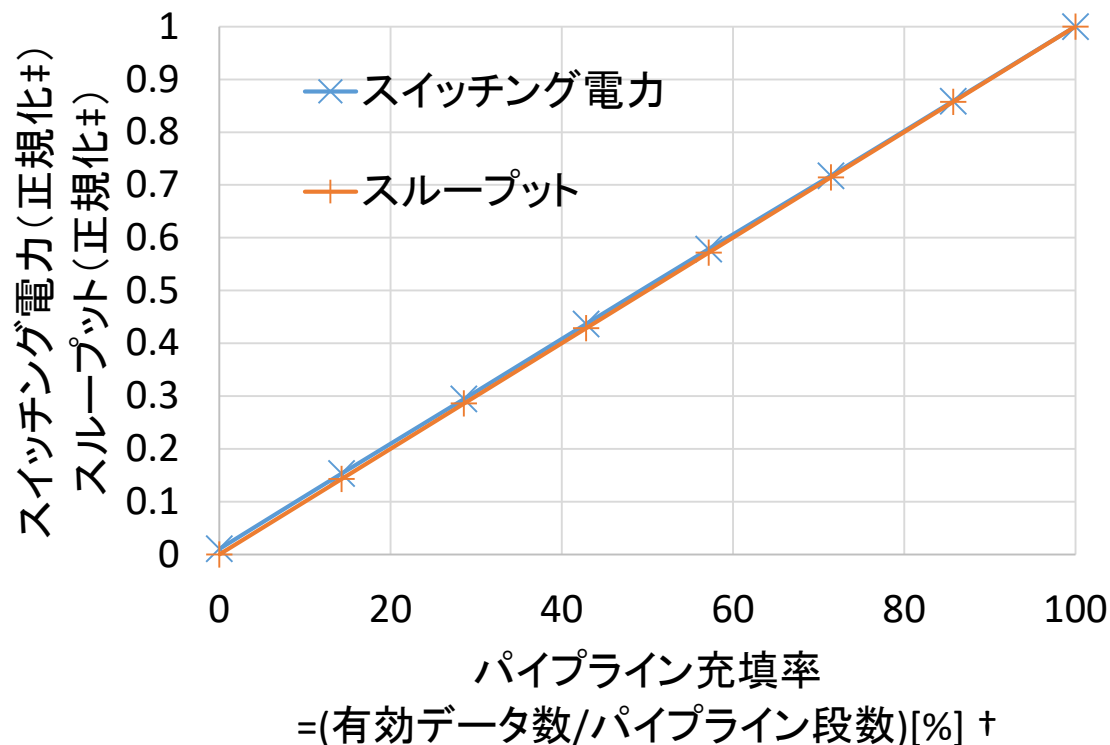
- 有効データの有無に関わらず、回路全体が一斉に駆動される。
- 消費電力削減には追加的な制御が必要
⇒電力浪費とスループット低下につながる。



必要最小限の消費電力で要求スループットを実現できる
回路アーキテクチャが重要

自己同期型パイプライン

- 隣接するパイプライン段間で局所的に有効データを転送
 - 有効データを処理中のパイプライン段(回路)のみ駆動



† 処理負荷を示すパイプライン充填率は設計目標値を100%として正規化

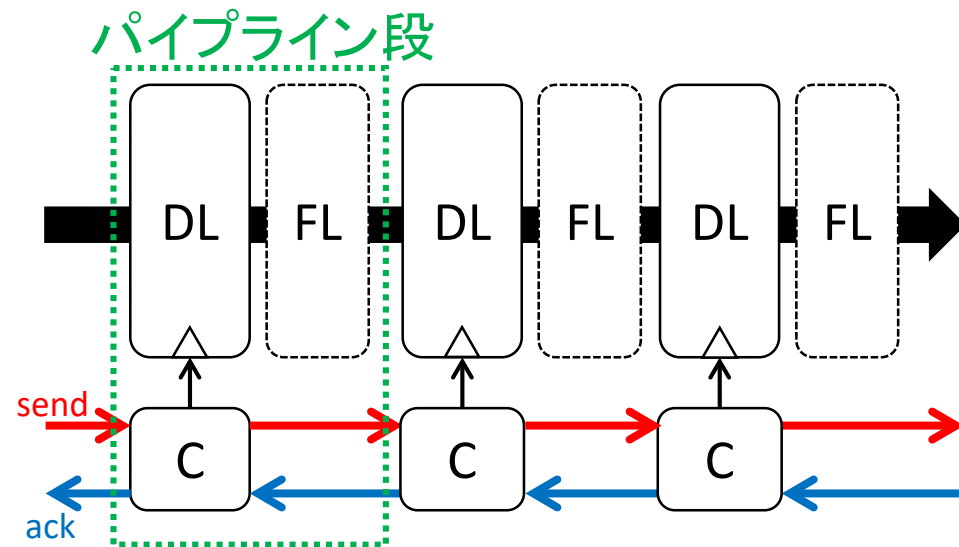
‡ パイプライン充填率100%におけるスイッチング電力とスループットをそれぞれ1として正規化

自己同期型パイプラインは、必要最小限の電力で
要求スループットを実現できる。

自己同期型パイプラインの基本構成

構成要素

- データラッチ (DL)
- 機能ロジック (FL)
- データ転送制御回路 (C)



データ転送

- 隣接するデータ転送制御回路間で

- 転送要求 (send) 信号
- 転送許可 (ack) 信号

を用いた局所的な信号授受(ハンドシェイク)により実現

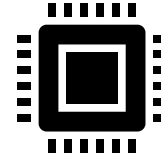
※Cの構成に関する新技術

ハンドシェイクにより、有効データのみが転送される。

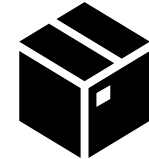
FPGAによる試作・製品開発

• FPGA(Field Programmable Gate Array)を活用するメリット

- 短期間・低コストでプロトタイピングが可能
- 最終生産物としても利用可能



試作



最終生産物

• FPGAとそのCADツール

- クロック同期回路の実装を指向して設計されている。
⇒標準的な回路構成と設計手順では、自己同期型パイプラインの実装が難しい。
- データ転送制御回路の小型化が困難であり、結果的にデータ転送にかかる時間が短縮できず、スループットの向上が困難であった。

自己同期型パイプラインをFPGA上に
効率的に実現できる回路構成(法)＝新技術を発明



新技術の目的・特徴

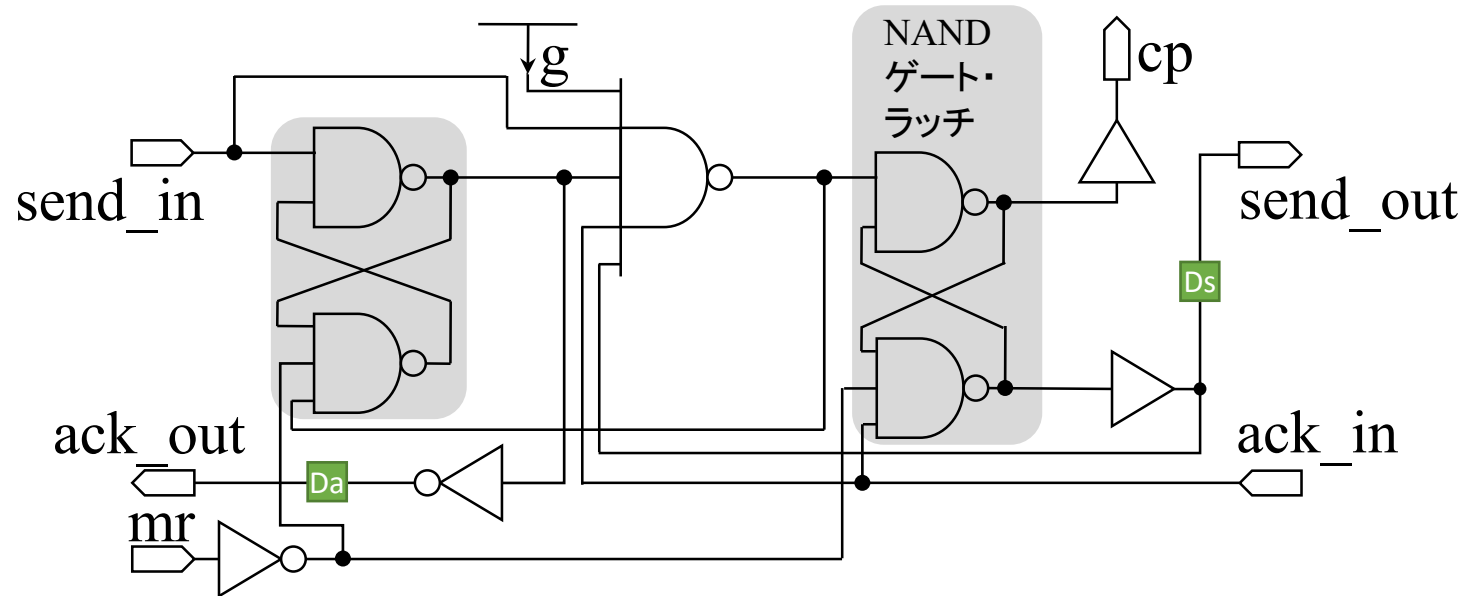
• 新技術の目的

- 自己同期型パイプラインのFPGA実現において、**スループット（単位時間当たりのデータ処理量）の向上**を目的としている。

• 新技術の特徴

- FPGA上で、データ転送制御回路を小型化して、**データ転送にかかる時間を大幅に削減（約40%削減）する回路構成**により、データ転送制御回路を従来構成の約50%の規模で実現し、これによって、自己同期型パイプラインのスループットを最大で約2.2倍に向上できる。さらに、自己同期型パイプラインの応用例の一つである**データ駆動プロセッサのスループットを最大で約1.7倍に向上**できる。

従来のデータ転送制御回路C



Dx Delay

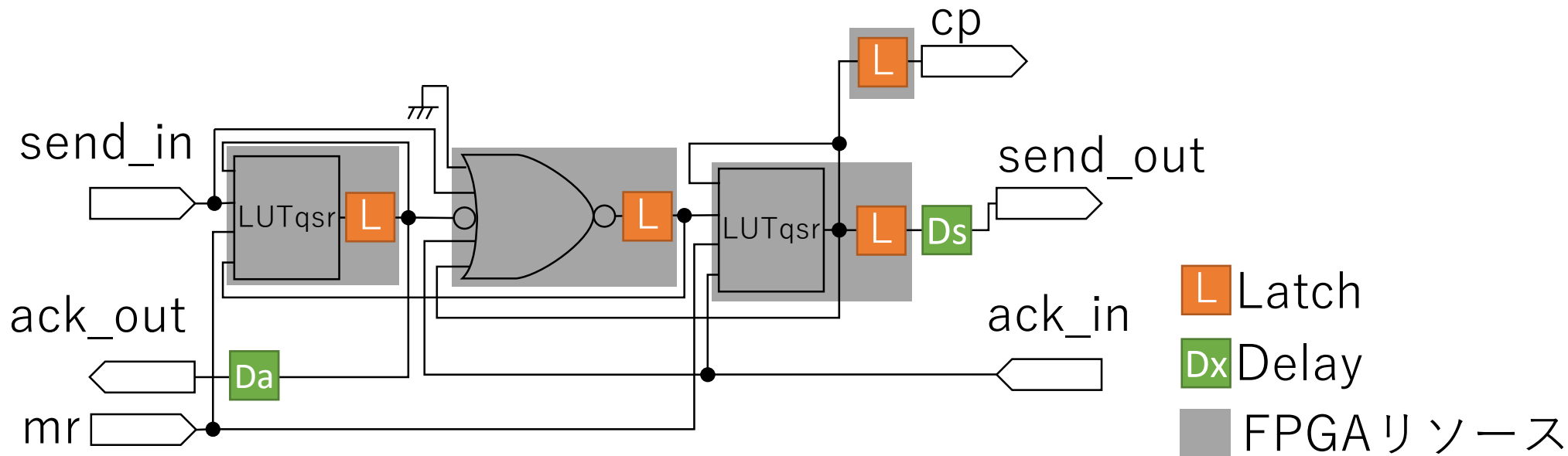
• LSI実装を前提とした回路構成

- cp信号は正論理で、ハンドシェイク信号は負論理で動作する。
- NANDゲート・ラッチ
 - CADツールの最適化工程で縮退され得る。
 - 最少でも2つのLUT※を占める。
- FPGA回路では、任意のパスのタイミング情報が取得できない。⇒タイミング検証が困難

※LUT (Look-Up Table)

- FPGA上の回路構成素子
- 任意の組合せ論理を実現可能

新技術：FPGA 向きデータ転送制御回路C'

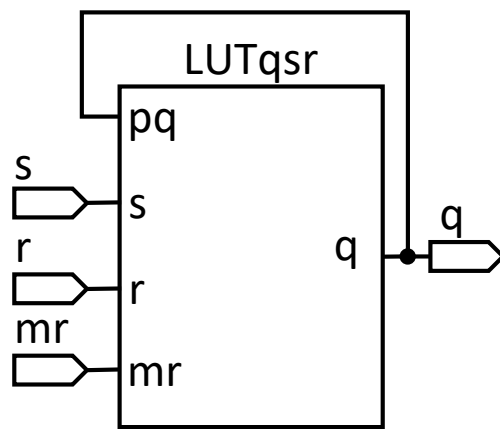


- 内部状態の保持に必要となるラッチ(QSR)を、LUTを明示的に活用して構成⇒縮退を回避するとともに小規模化を実現
- 加えて、論理に影響しないラッチ(図中L)を配置⇒タイミングを把握可能に

回路の縮退回避、回路規模の削減(データ転送時間の短縮)、
タイミング情報の把握を実現した。

ラッチ (QSR)

- 疑似的なSR-FFをLUTにより実現



(a) Circuit configuration.

s	r	pq	mr	q
0	0	0	0	0
0	0	1	0	1
0	1	0	0	0
0	1	1	0	0
1	0	0	0	1
1	0	1	0	1
1	1	0	0	0
1	1	1	0	1
X	X	X	1	0

X: Don't-care.

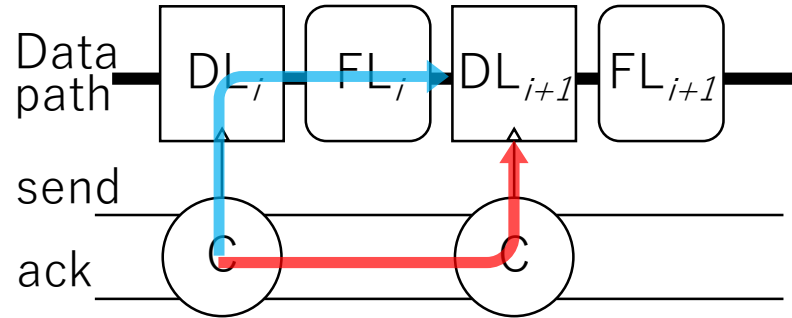
(b) Truth table of LUTqsr.

• フィードバック構造による発振とその回避

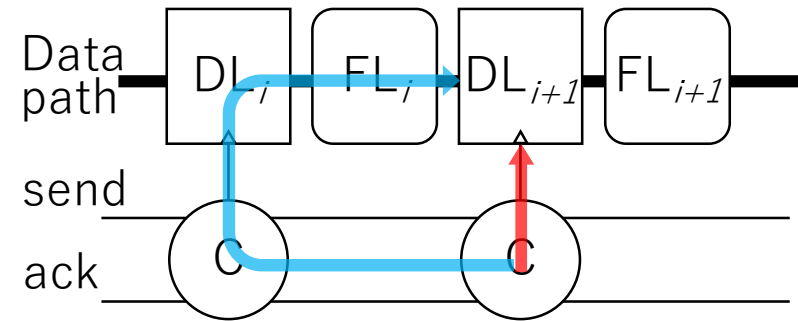
- 入力s,rのいずれかの変化により出力qが変化するとき、出力qがpqに到達する前に、入力(s,rのいずれか)が再度変化した場合に発振が生じ得る。
- ハンドシェイクにおいて、出力qがpqに到達する時間は、遅延(DsやDaなど)でカバーされる。
⇒自己同期型パイプラインにおいては、発振が生じない。

タイミング制約

• セットアップ・ホールド時間の保証



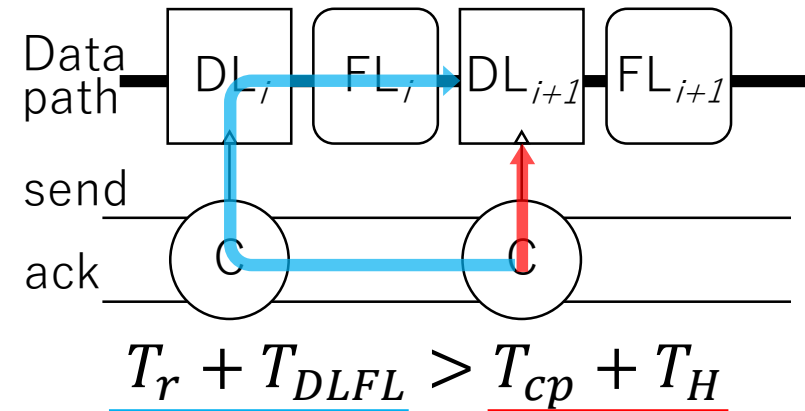
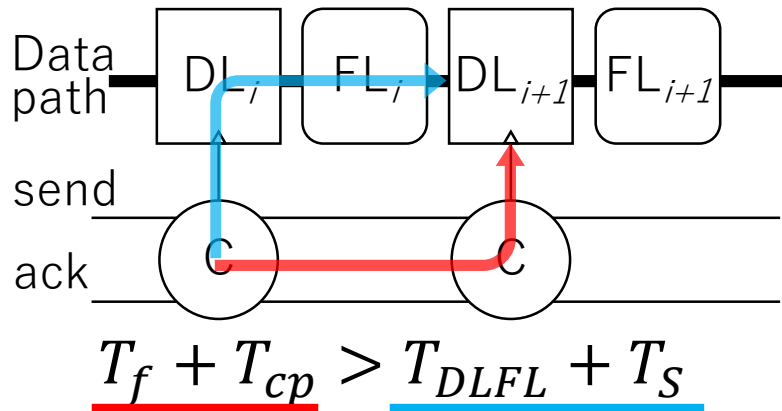
DL_{i+1} にデータが到着し、セットアップ時間が経過した後、cpが到達しなければならない。



DL_{i+1} のホールド時間が経過する前に、データが変化してはならない。

タイミング検証には、各パス上の信号伝搬時間の取得が必要

タイミング制約(詳細)

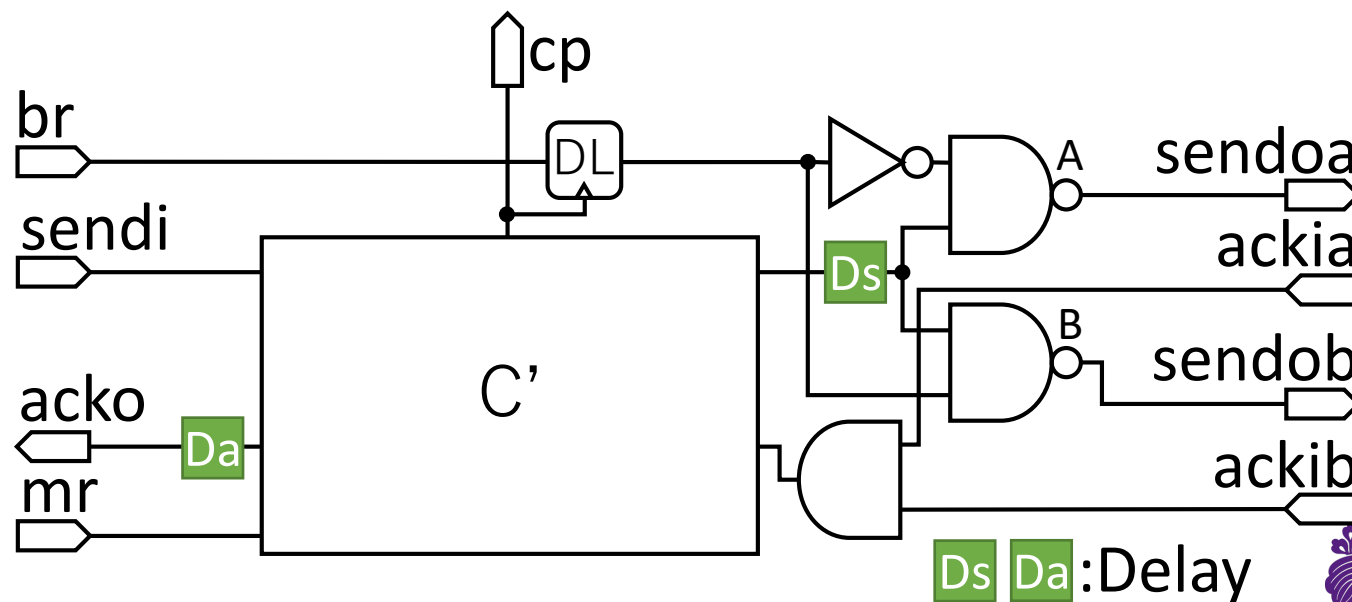


- T_f : ハンドシェイクが成立してから
次の段でハンドシェイクが成立するまでの時間
- T_{cp} : ハンドシェイクが成立してからDLにcpが届くまでの時間
- T_{DLFL} : ハンドシェイクが成立してから
次のDLにデータが届くまでの時間
- T_r : ハンドシェイクが成立してから
次のハンドシェイクが開始可能になるまでの時間
- T_S : DLのセットアップ時間
- T_H : DLのホールド時間

論理に影響しないラッチ(L)により、タイミング検証に必要な信号伝搬時間情報を取得可能

機能付きC'の高スループット化

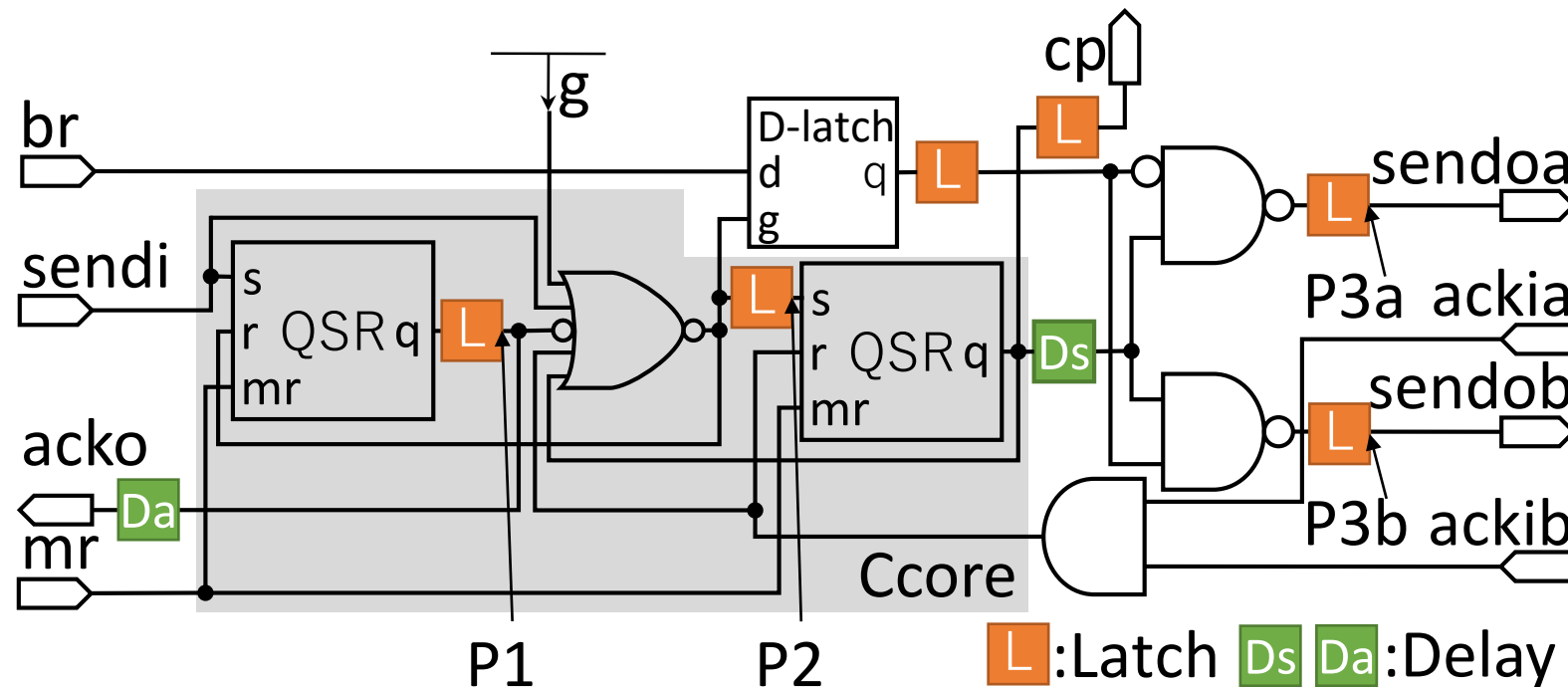
- プロセッサなどを構成する環状パイプラインの実現には、分流、合流、複製、消去といった機能を実現するデータ転送が欠かせない。
- 従来構成例：分流機能付きデータ転送制御回路
 - 分岐信号(br)がラッチされるまで待つための遅延(Ds)が必要
 - 1回のハンドシェイクにおいて、信号がDsを2回通過する。
 - Dsの増加は、データ転送時間を大きく増加させる。



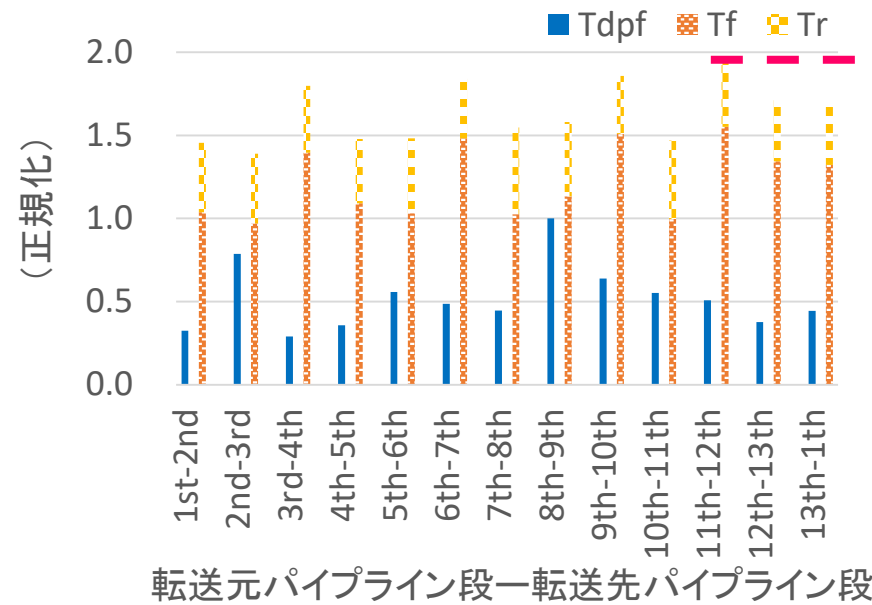
新技術：機能信号の早期ラッチ

• 例：分流機能付きデータ転送制御回路

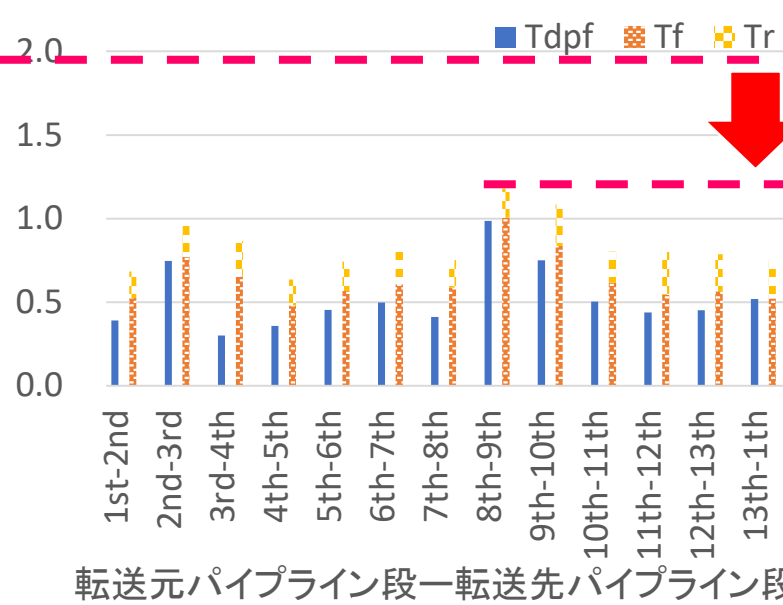
- Dラッチを用いて、分流信号brを、従来のcpではなく、内部信号をトリガとして早期にラッチ
⇒環状パイプラインにおけるボトルネックを排除



新技術によるスループット向上



従来構成の信号伝搬時間



提案構成の信号伝搬時間

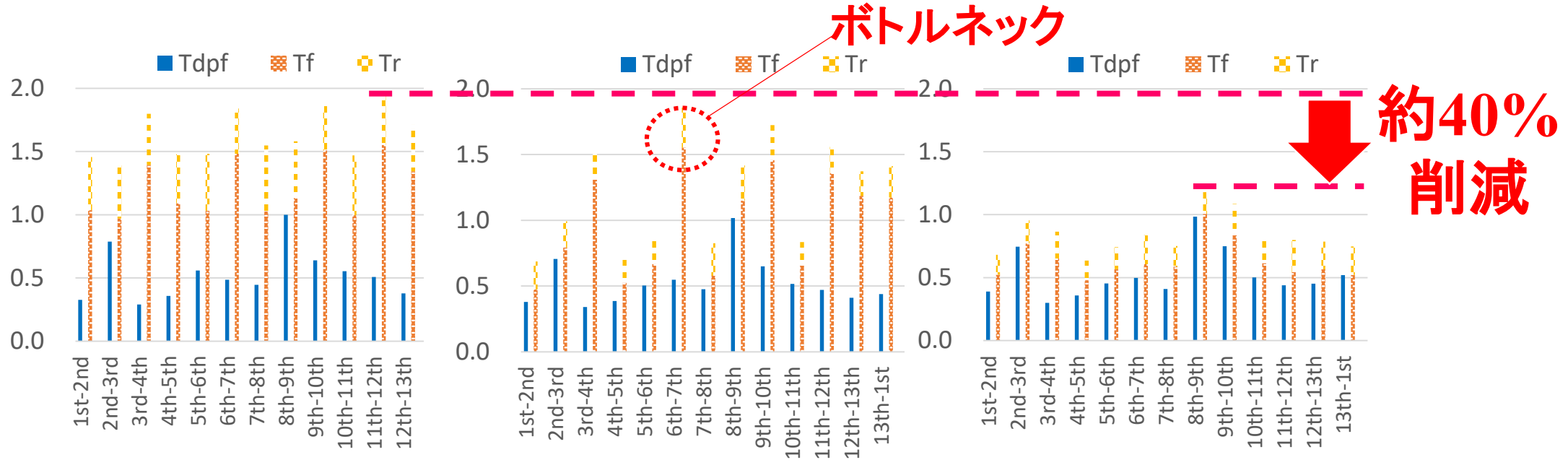
データ転送時間
**約40%
削減**

- データ駆動プロセッサをCyclone IV FPGA上に実現し、各パイプライン段における信号伝搬時間を評価
- 従来構成のTfの最大値を1として正規化
 - Tf, Tr: データ転送制御時間
 - Tdpf: 回路構成により決まるTfの下限値

- 従来構成: TfがTdpfを大きく上回る。
- 提案構成: TfがTdpfをわずかに上回る。

スループットが約66%向上(約1.7倍)

補足：早期ラッチの効果



従来構成

新技術(機能信号の
早期ラッチなし)

新技術(機能信号の
早期ラッチあり)

- 従来構成→新技術(機能信号の早期ラッチなし)
 - スループットは向上するが、機能付きデータ転送制御がボトルネック
- 機能信号の早期ラッチなし→機能信号の早期ラッチあり
 - ボトルネックが解消

先行技術(非同期回路のFPGA実現)

- 非同期パイプライン回路
 - マラーCエレメント(Muller's C element)を構成要素とする。
- 非同期パイプライン回路をFPGA実装する手法[先行1]
 - ディレクティブを付与することで論理合成・最適化を制限する。
 - 自己同期型パイプラインの動作様式とは異なる。⇒適用できない
- 自己同期型パイプラインと同じ動作様式(東データ方式)を取る回路をFPGA実装する手法[先行2]
 - データ転送を実現する回路構成が異なる。⇒適用できない。
 - Intel社製FPGAのみを対象としている。

新技術: Intel社とXilinx社のFPGAで自己同期型パイプラインを実現

[先行1] M. Tranchero, et al “Implementation of Self-Timed Circuits onto FPGAs Using Commercial Tools,” Proc. DSD, pp.373—380, Jan. 2008.

[先行2] J. Furushima, et al. “Design of an Asynchronous Processor with Bundled-data Implementation on a Commercial Field Programmable Gate Array,” Informatica, Vol. 40, pp.399—408, Nov. 2016.

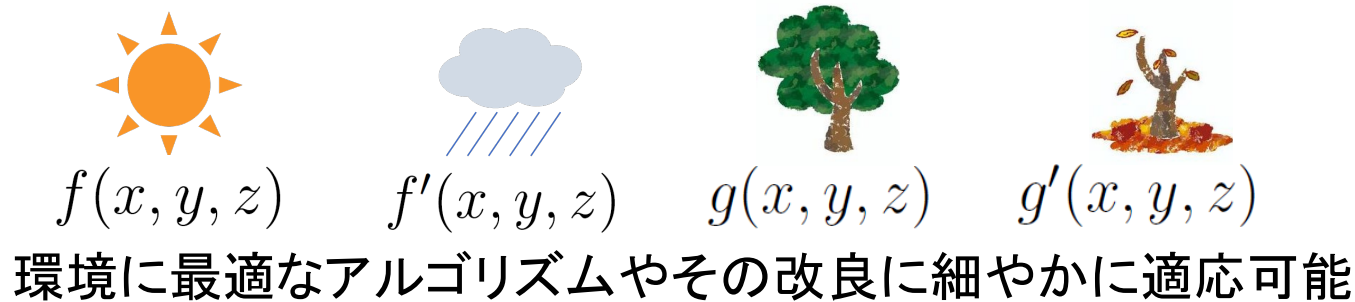
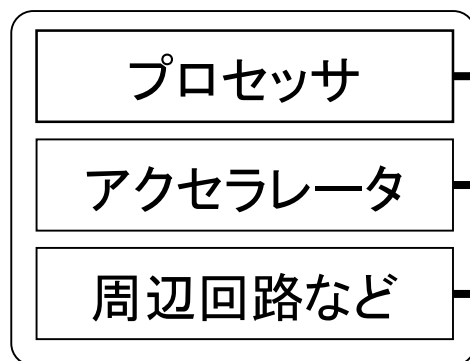
想定される用途

- あらゆるパイプライン回路のFPGA実現

- 自己同期型データ駆動プロセッサ
- その他プロセッサ、専用処理エンジン、etc.

- 回路水準で細やかに環境に適応可能なIoTシステム

FPGA実現された
IoTシステム構成機器



個々の環境変化に応じて最適なサービスを提供

実用化に向けた課題

- FPGAのCADツールは同期回路の実現を指向しているため、そのままでは、自己同期型パイプライン回路の設計自動化が難しい。
 - ☺タイミング制約の定式化と、それに基づくタイミング検証までは自動化の目途が付いている。
 - ☹仕様定義からコンフィグレーションデータ生成までの一連の設計をいかに自動化/半自動化するかが課題
- 自己同期型パイプライン回路の普及には、容易に入手できる**専用の評価ボード**が欠かせない。
- 具体的な**応用システム**での活用実績

企業への期待

- FPGA設計ツールに関する技術を持つ企業との共同研究/共同開発による、自己同期型パイプライン回路設計ツールの実現
- FPGA搭載基板の設計開発ノウハウを有する企業との共同研究/共同開発による自己同期型パイプライン回路向き評価ボードの製品化
- IoT機器に関する技術を持つ企業との共同研究/共同開発による応用システム/回路の製品化

本技術に関する知的財産権

- 発明の名称 : 転送制御素子およびネットワークキングシステム
- 出願番号 : 特願2021-108479
- 出願人 : 国立大学法人筑波大学
- 発明者 : 三宮秀次、吉川千里、西川博昭

お問い合わせ先

筑波大学 国際産学連携本部
技術移転マネージャー 後藤 秀利

T E L 029-859-1497

F A X 029-859-1693

e-mail goto.hidetoshi.fw@un.tsukuba.ac.jp