

低オン抵抗を実現する 新規ダイヤモンドMOSFET構造



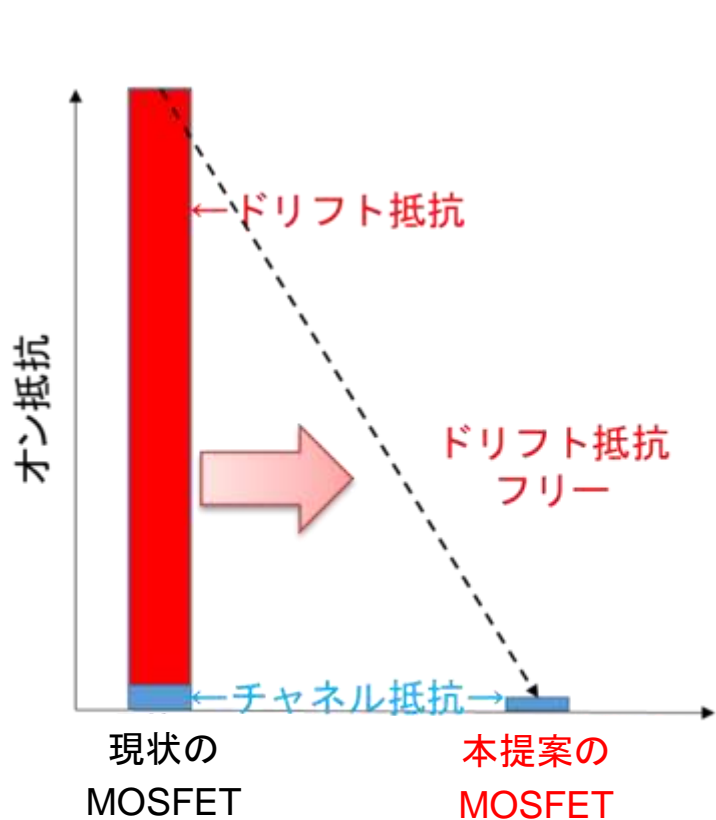
金沢大学 ナノマテリアル研究所
パワーデバイス開発グループ

准教授 松本 翼

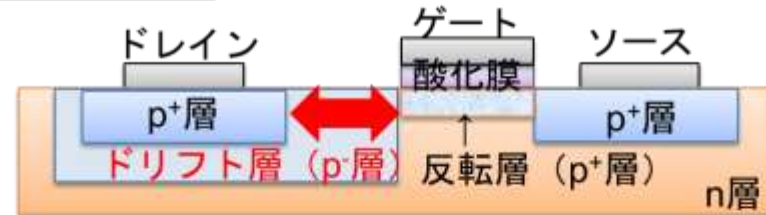
NanoMaRi

2022年8月18日

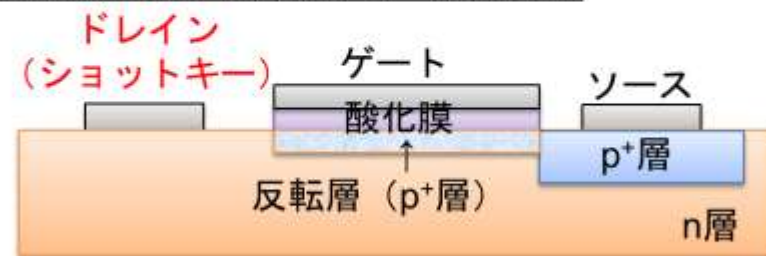
本技術の特徴



現状のMOSFET



提案するドリフト抵抗フリーMOSFET



- ・従来のドリフト層がない
- ・ドレイン電極がショットキー接触

高いオン抵抗の要因であるドリフト層そのものがない
新規デバイス構造 → デバイスの高性能化

紹介内容

✓ 背景：

カーボンニュートラルに向けた半導体デバイスの高性能化

課題：

オン抵抗と耐圧のトレードオフ、深い不純物準位

解決方法：

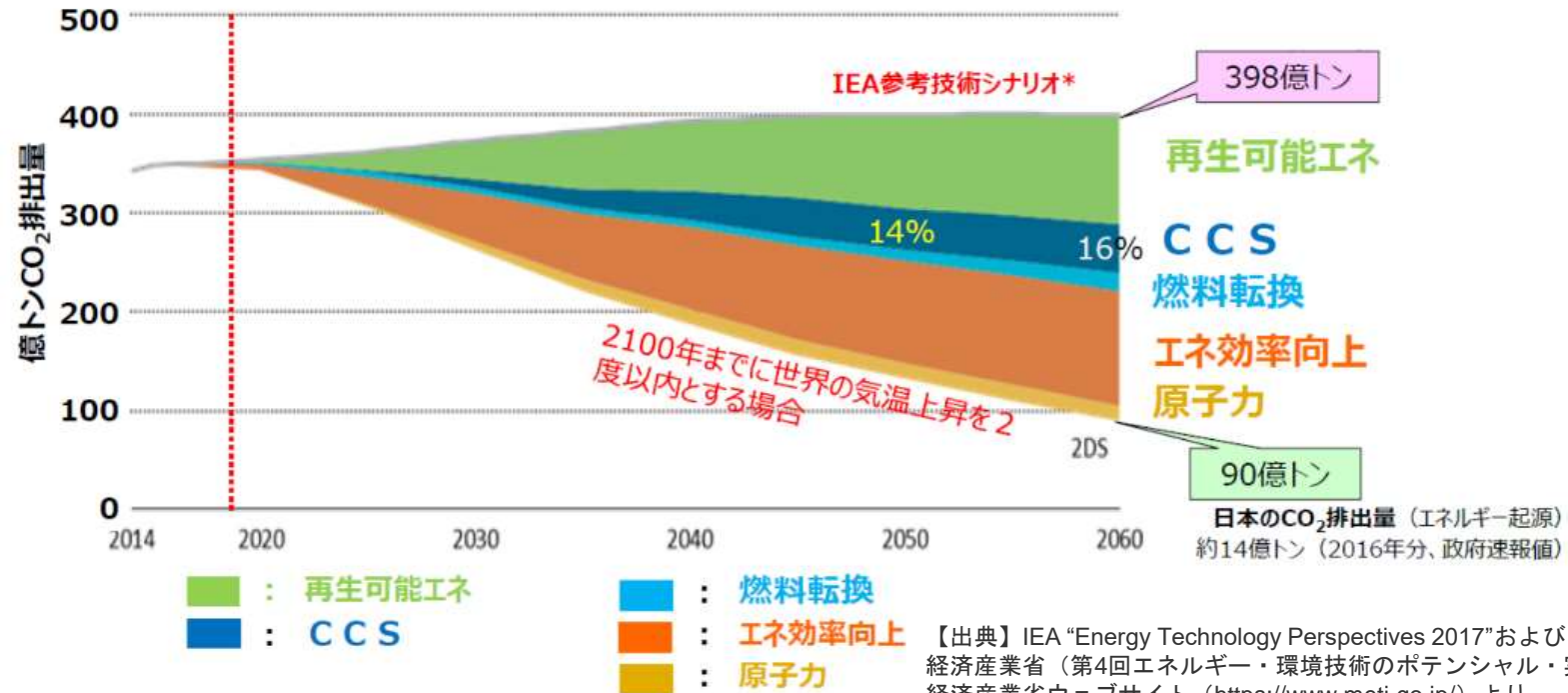
ドリフト層フリーの新しいデバイス構造

結果紹介：

電気的特性

今後の展望

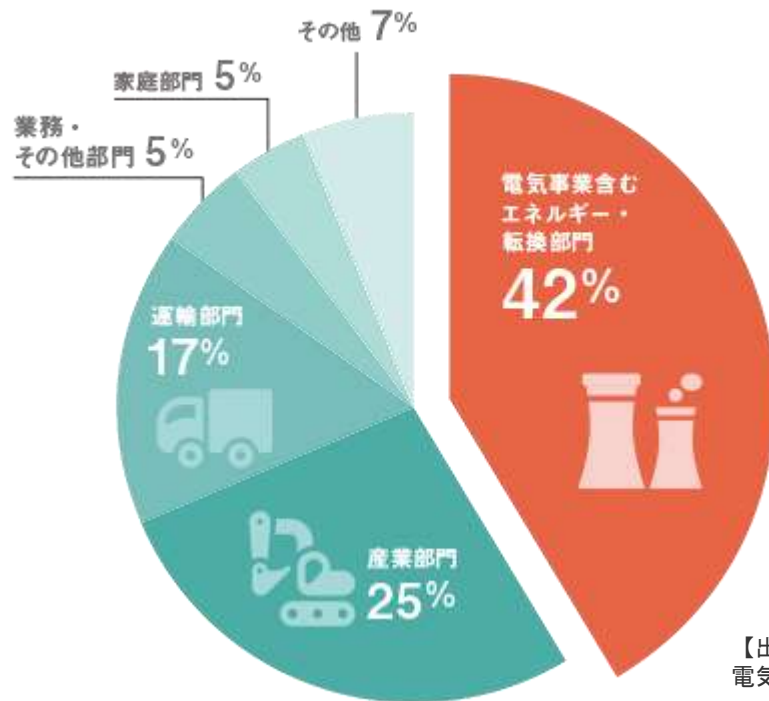
カーボンニュートラル実現に向けて



*パリ協定に基づくCO₂排出の抑制とエネルギー効率の改善に向けた各国の現在の削減目標を考慮

エネルギー効率向上が求められる技術の一つ

CO₂排出量に占める電力の割合



【出典】環境省報道発表資料（平成30年4月24日付）
電気事業連合会ウェブサイト（<https://www.fepec.or.jp/>）より

使いやすい電力の利用が増加傾向
電気エネルギー利用、電力変換の高効率化が重要

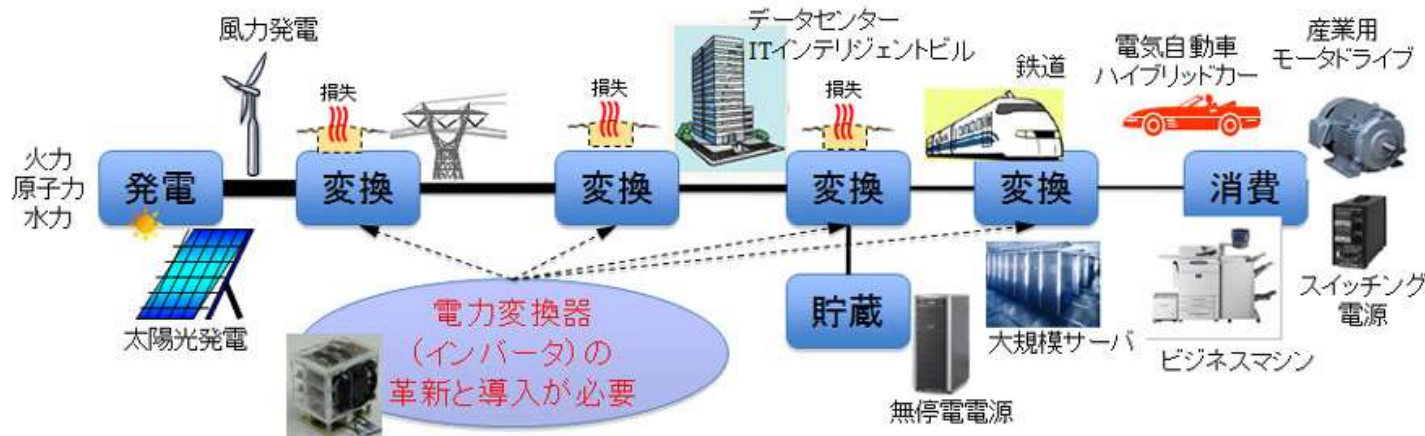
電力変換の効率と課題

Google航空写真より



我が家の例
太陽光パネルで発電された直流数Vを
パソコン（電力変換器）で交流100Vに変換
変換効率94%

【出典】産業技術総合研究所
先進パワーエレクトロニクス研究センター
ウェブサイト (<https://unit.aist.go.jp/adperc/>) より



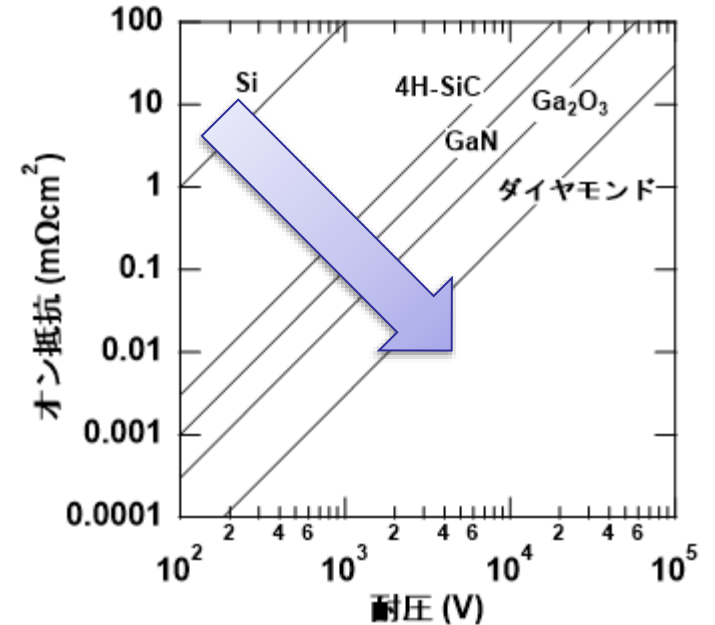
変換効率94%でも4回変換されると電力は78%
1%でも0.1%でも高めることがパワーエレに要求

これまでのパワーデバイスの発展

	ダイヤモンド	β -Ga ₂ O ₃	GaN	4H-SiC	Si
バンドギャップ E_g [eV]	5.5	4.8	3.4	3.0	1.1
比誘電率 ϵ_r	5.7	10	9.5	9.7	11.9
熱伝導率 σ_T [W/cmK]	20	0.2	1.3	4.9	1.5
電子の移動度 μ_e [cm ² /Vs]	7,300	300	900	1,000	1,500
正孔の移動度 μ_h [cm ² /Vs]	6,300	-	400	120	450
絶縁破壊電界 E_b [MV/cm]	10	8	2.6	3.5	0.3
パワーデバイス性能指数 $\epsilon_r \mu_e E_b^3$ (対Si)	86,000	3,200	310	860	1
高周波素子の材料指数 $\mu_e E_b E_g^{1/2}$ (対Si)	360	11	9	13	1

【参考】 I. Akimoto, et al., Appl. Phys. Lett. 105, 032102 (2014).
SiC素子の基礎と応用、荒井和雄ら、オーム社（2003）より

東脇, NanotechJapan Bulletin Vol. 8, No. 2, 2015



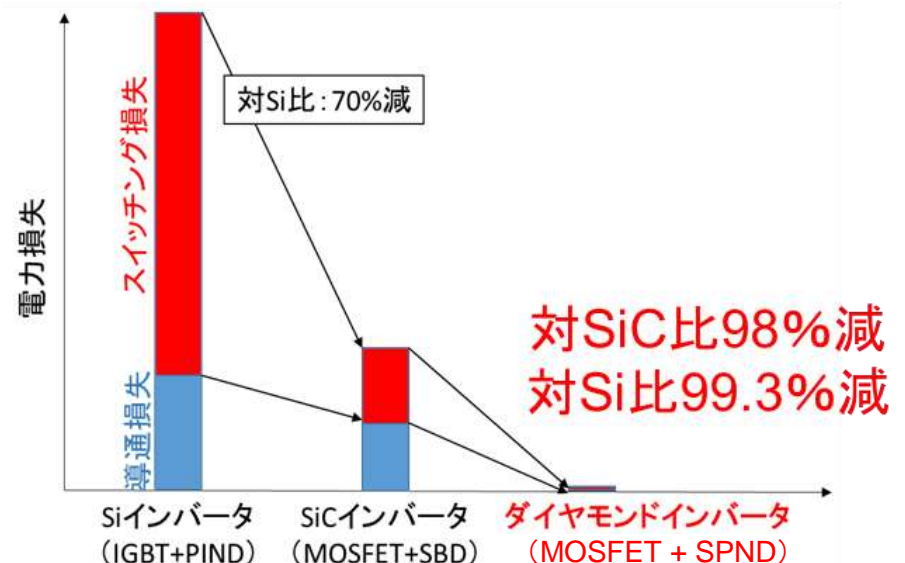
性能指数の優れる材料に置き換えることで、
性能(オン抵抗と耐压)を向上

ダイヤモンドは延長線上なのか？

【参考】I. Akimoto, et al., Appl. Phys. Lett. 105, 032102 (2014).
SiC素子の基礎と応用、荒井和雄ら、オーム社（2003）より

	ダイヤモンド	4H-SiC	Si
パワーデバイス性能指数 $\epsilon_r \mu_e E_b^3$ (対Si)	86,000	860	1
高周波素子の材料指数 $\mu_e E_b E_g^{1/2}$ (対Si)	360	13	1

導通損失が対SiC比で100分の1
スイッチング損失が同27分の1



※「パワーエレクトロニクスインバータ基盤技術開発」
(2006年度～2008年度)の事後評価公開資料

行きつく先は究極のダイヤモンドパワーデバイス
→ 二つの重要課題を解決する必要あり

紹介内容

✓ 背景：

カーボンニュートラルに向けた半導体デバイスの高性能化

✓ 課題：

オン抵抗と耐圧のトレードオフ、深い不純物準位

解決方法：

ドリフト層フリーの新しいデバイス構造

結果紹介：

電気的特性

今後の展望

従来技術と問題点①トレードオフ

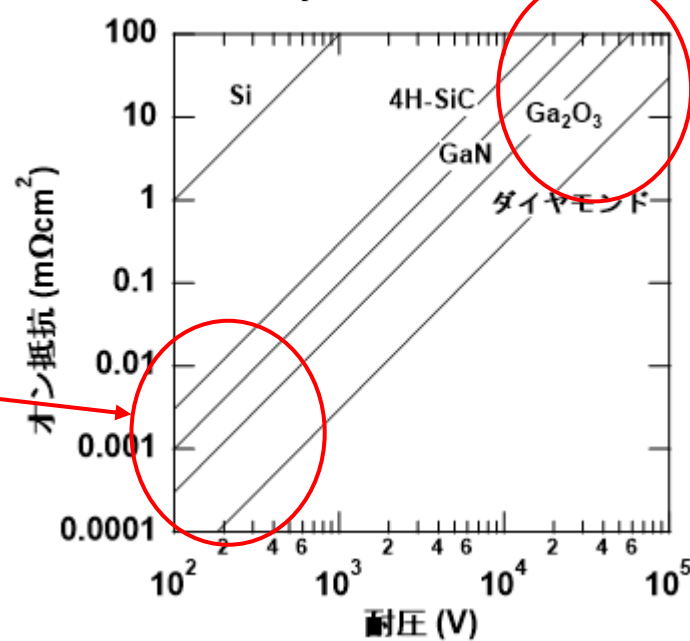
ショットキーバリアダイオード:SBD(ユニポーラデバイス)

薄いドリフト層



- 低いオン抵抗
- × 低い耐圧

東脇, NanotechJapan Bulletin Vol. 8, No. 2, 2015



厚いドリフト層

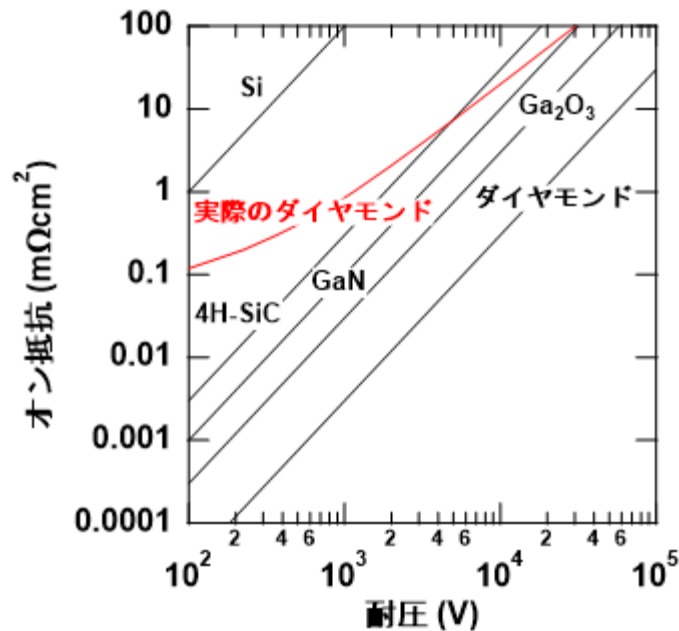


- × 高いオン抵抗
- 高い耐圧

従来のユニポーラデバイス構造では、
ドリフト層の抵抗がオン抵抗を制限

従来技術と問題点②深い不純物準位

東脇, NanotechJapan Bulletin Vol. 8, No. 2, 2015



不純物準位深さ E_D/E_A (meV)				
ダイヤモンド	β -Ga ₂ O ₃	GaN	4H-SiC	Si
570/370	20/-	25/150	70/200	45/45

$$\text{抵抗率 } \rho = \frac{1}{qn\mu}$$

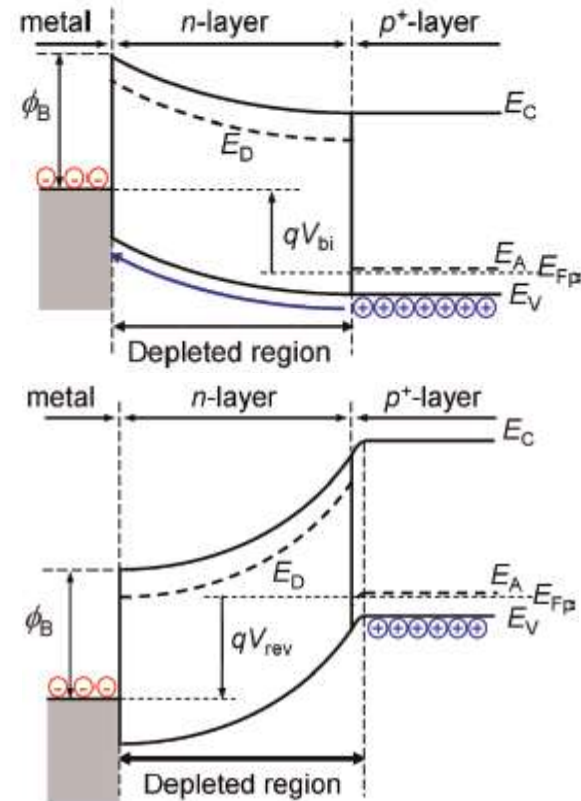
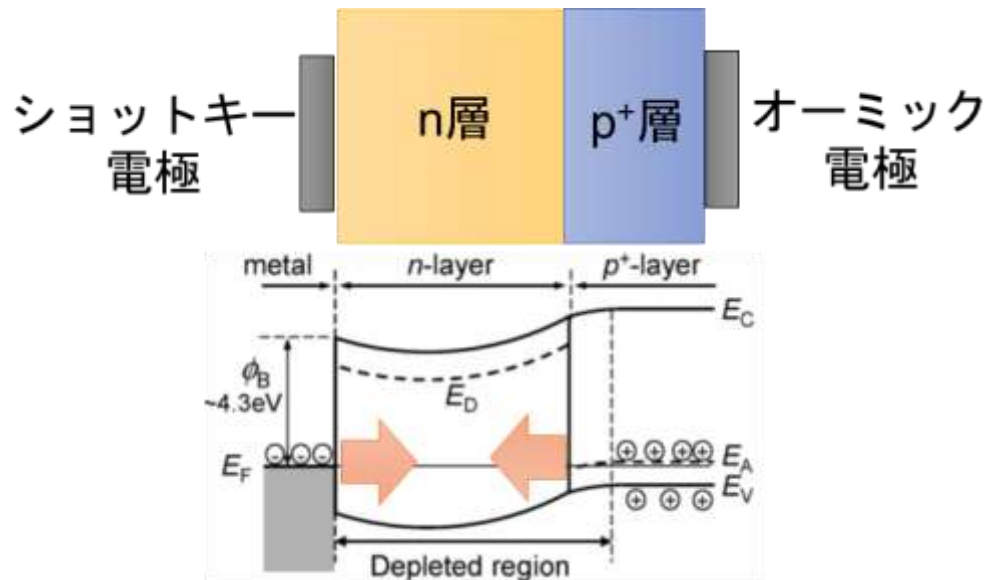
q : 電子電荷
 n : キャリア密度
 μ : 移動度

室温ですべてのキャリアが活性化されないために、
ダイヤモンドではオン抵抗が著しく制限

注目した技術①SPND

※T. Makino et al., pssA 207, No. 9 (2010) 2105.

Schottky-pnダイオード (SPND)



我々も窒素ドーピング膜で本デバイスを実現

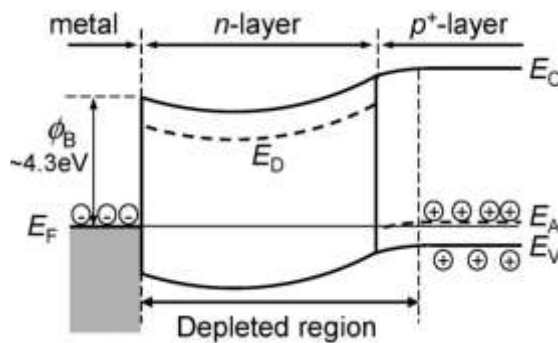
T. Matsumoto et al., DRM, Vol.75, pp.152-154 (2017).

ポイントは耐圧層として設けた完全空乏化層
順方向で抵抗にならない(トレードオフの打開)

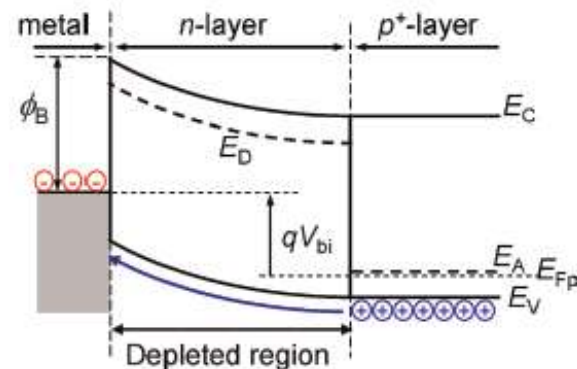
従来のユニポーラデバイスとの違い

※T. Makino et al., pssA 207, No. 9 (2010) 2105.

Schottky-pnダイオード

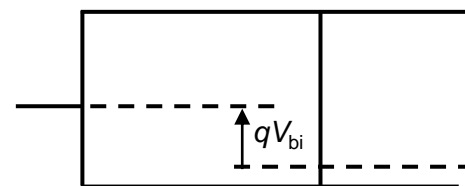
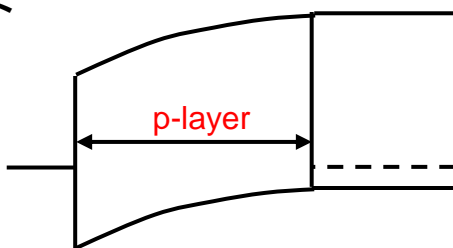


熱平衡状態



オン状態

ショットキーバリアダイオード

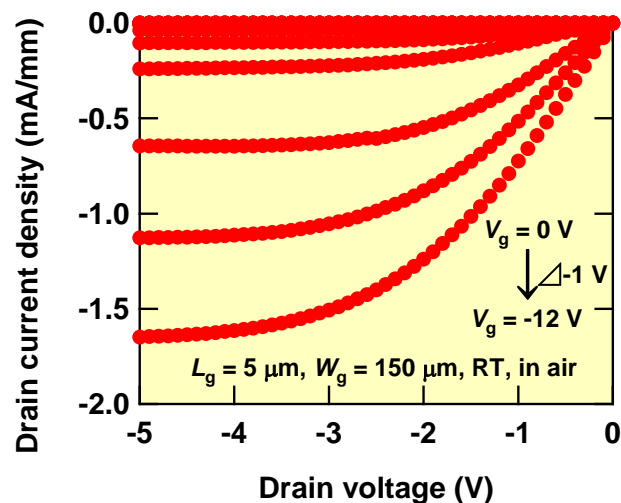
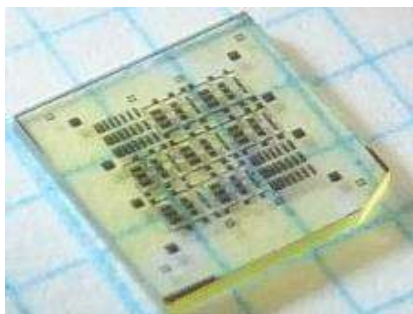


オン状態において、SPNDはn型ショットキー接合から伸びる空乏層でホールが流れやすいバンド構造

→ ドリフト抵抗フリーを実現

注目した技術②反転層MOSFET

T. Matsumoto et al., Sci. Rep. 31585 (2016).



世界初となる反転層チャネルダイヤモンドMOSFETの実証

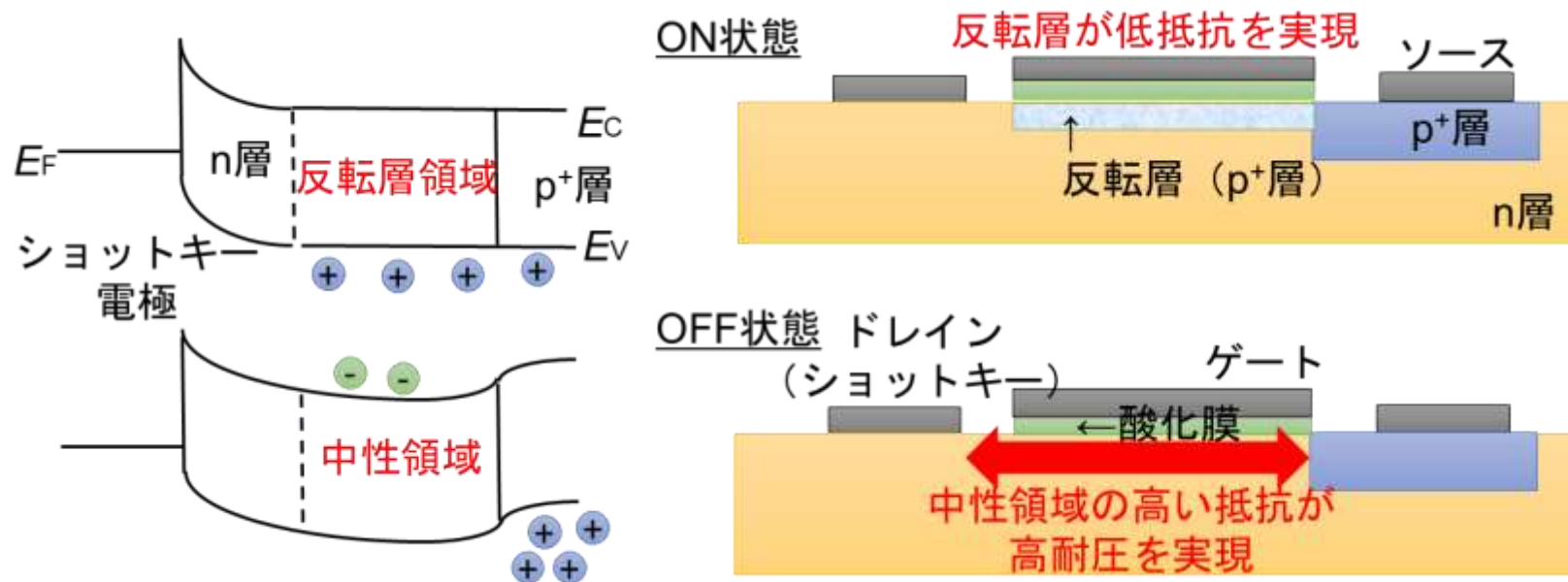
深い不純物準位によらない低抵抗チャネル

→ SPNDとMOSFETを組み合わせた新規構造の提案

紹介内容

- ✓ 背景：
カーボンニュートラルに向けた半導体デバイスの高性能化
- ✓ 課題：
オン抵抗と耐圧のトレードオフ、深い不純物準位
- ✓ **解決方法：**
ドリフト層フリーの新しいデバイス構造
- 結果紹介：
電気的特性
- 今後の展望

新技術の特徴：動作原理



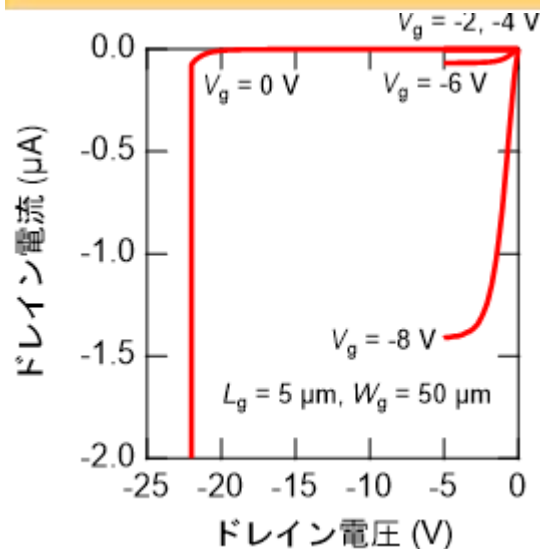
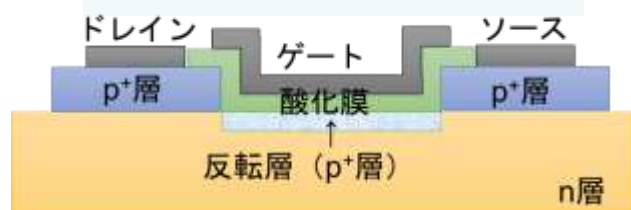
n型ダイヤモンドの深い不純物準位(高い抵抗)を活用
SPNDと反転層を組み合わせることで低オン抵抗を実現

紹介内容

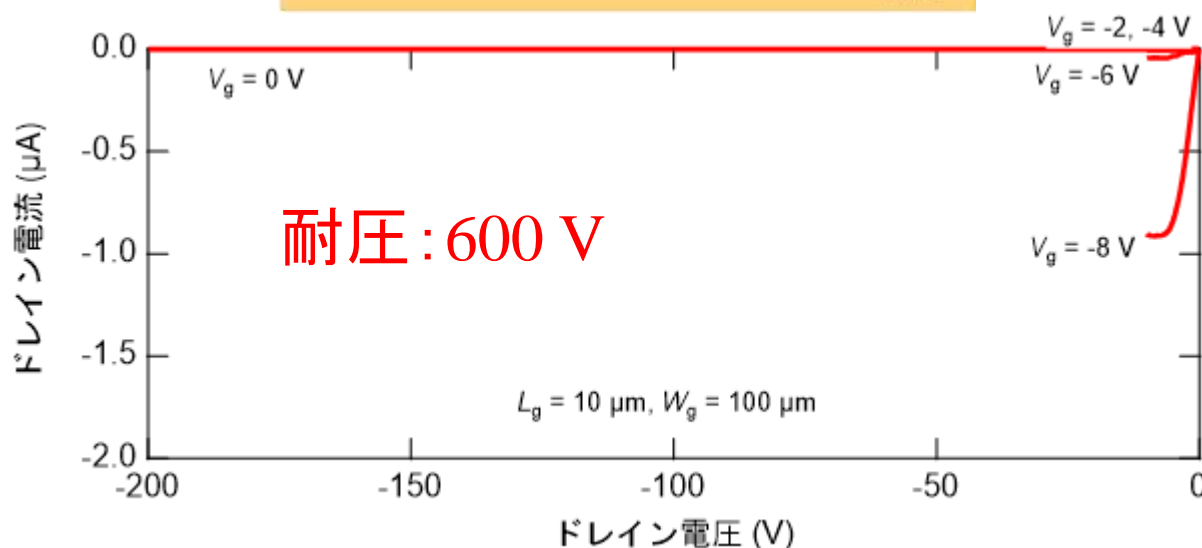
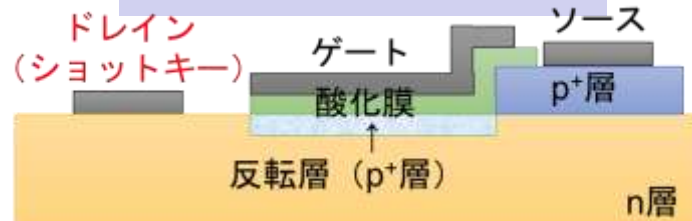
- ✓ 背景：
カーボンニュートラルに向けた半導体デバイスの高性能化
- ✓ 課題：
オン抵抗と耐圧のトレードオフ、深い不純物準位
- ✓ 解決方法：
ドリフト層フリーの新しいデバイス構造
- ✓ **結果紹介：**
電気的特性
今後の展望

新技術の特徴・従来技術との比較

従来技術の構造



新技術の構造



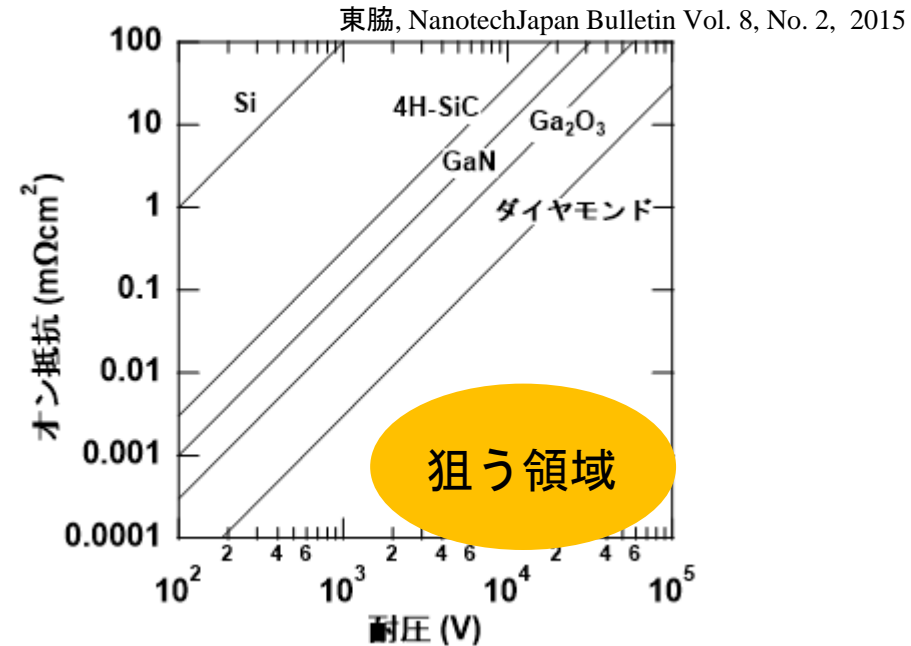
よりシンプルな構造にも関わらず、
同程度のオン抵抗、10倍以上の耐圧を実現

紹介内容

- ✓ 背景：
カーボンニュートラルに向けた半導体デバイスの高性能化
- ✓ 課題：
オン抵抗と耐圧のトレードオフ、深い不純物準位
- ✓ 解決方法：
ドリフト層フリーの新しいデバイス構造
- ✓ 結果紹介：
電気的特性
- ✓ **今後の展望**

想定される用途

- 中耐圧～高耐圧領域の
パワーデバイス
- ユニポーラ動作であるため、高周波をともなう
パワーデバイス
- 他のワイドギャップ半導体材料 Ga_2O_3 等にも応用可



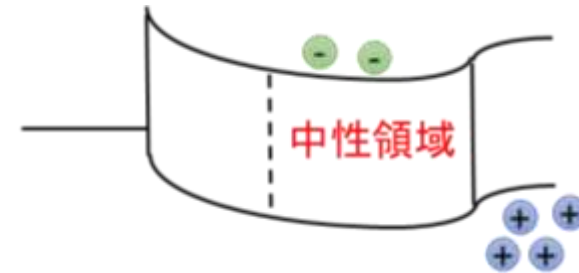
実用化に向けた課題

- オン抵抗を決めると考えられるチャネル移動度の向上が未達。必要な技術(デバイス加工技術、表面処理技術)は揃いつつある。

- 耐圧の向上。

- ドレイン電圧の低減。

(ソース - ドレイン間に障壁)

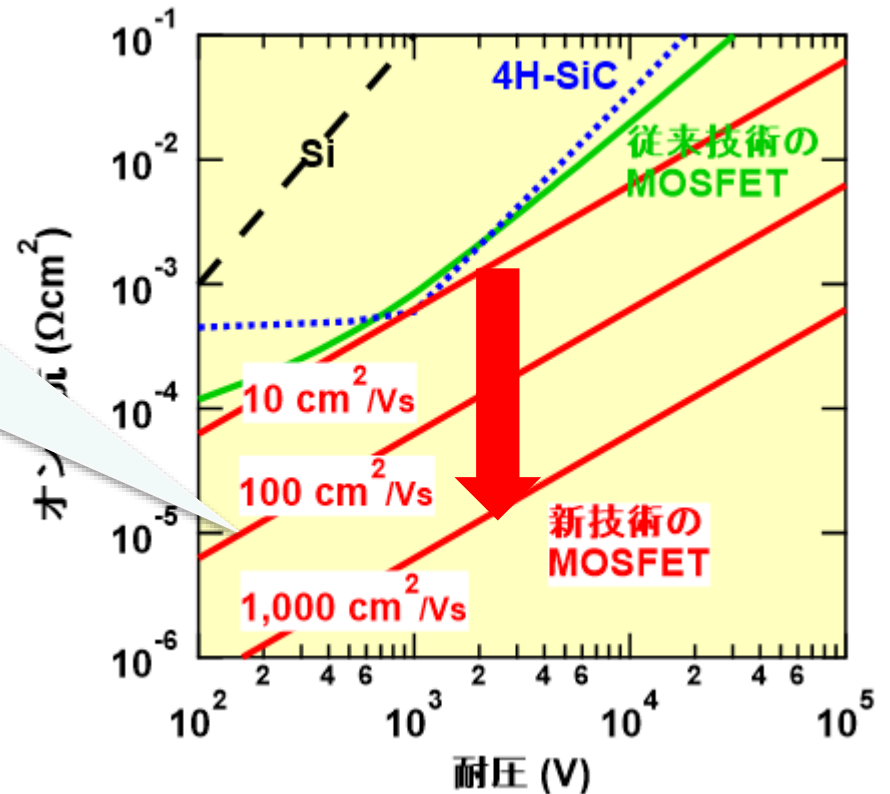
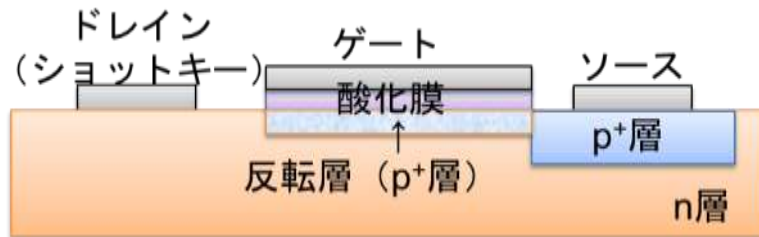


- ウェハコスト。世界トップレベルの高速成長技術や独自のNi基板を用いたヘテロエピタキシャル成長技術を開発中。

オン抵抗の限界 (単純なチャネル抵抗)

以下の条件を考慮

- ・キャリア面密度 10^{12} cm^{-2}
- ・絶縁破壊電界 10 MV/cm
- ・ソース深さ 100 nm
- ・ソース深さ \times ゲート幅を面積



オン抵抗はチャネル抵抗で制限

チャネル移動度向上が鍵

デバイス加工技術：埋込層の形成

原子的平坦面形成

穴形成

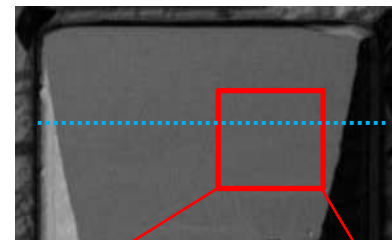
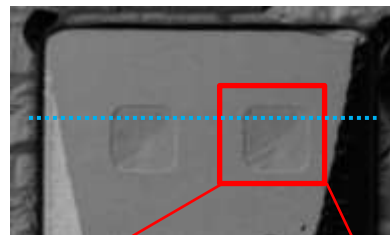
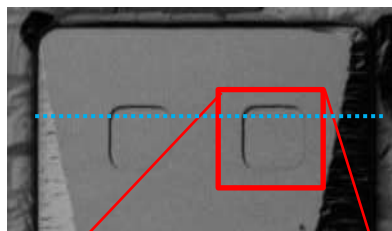
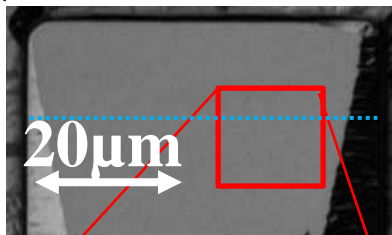
成長1回目

成長2回目

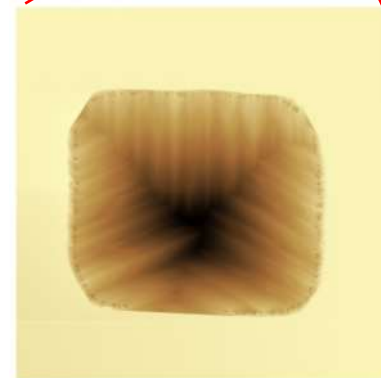
ポンチ絵



LM像



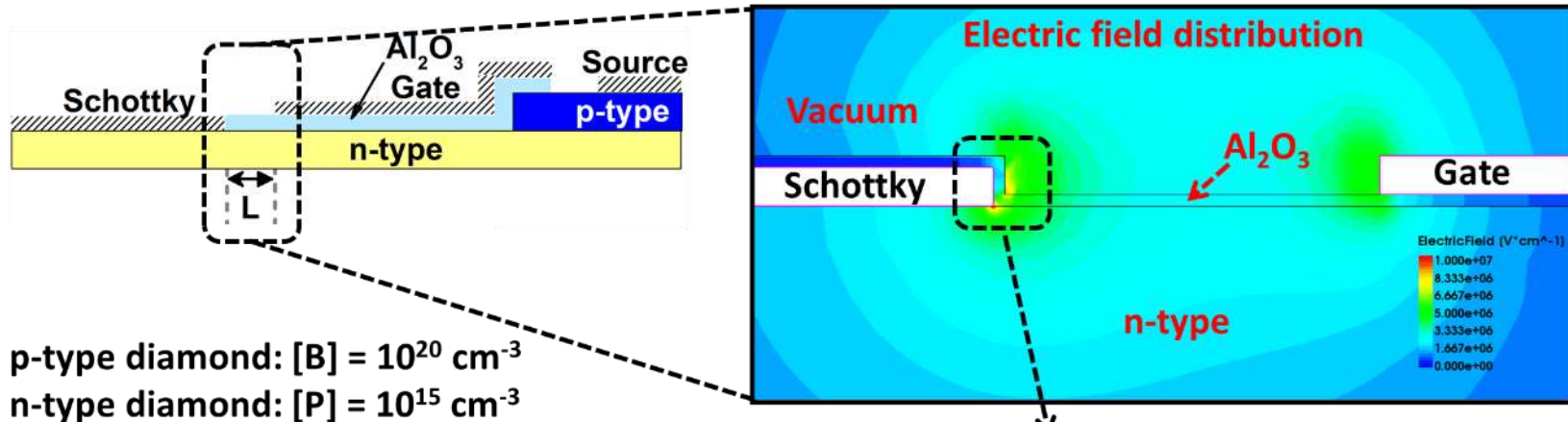
AFM像



イオン注入に代わるマスクレスの埋込技術

耐圧の向上

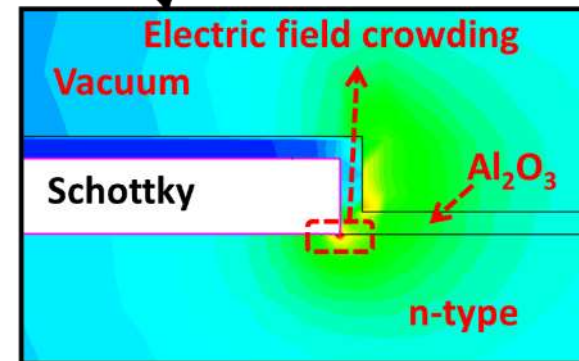
※筑波大学Traore先生協力



Electrical crowding at Schottky contact corners

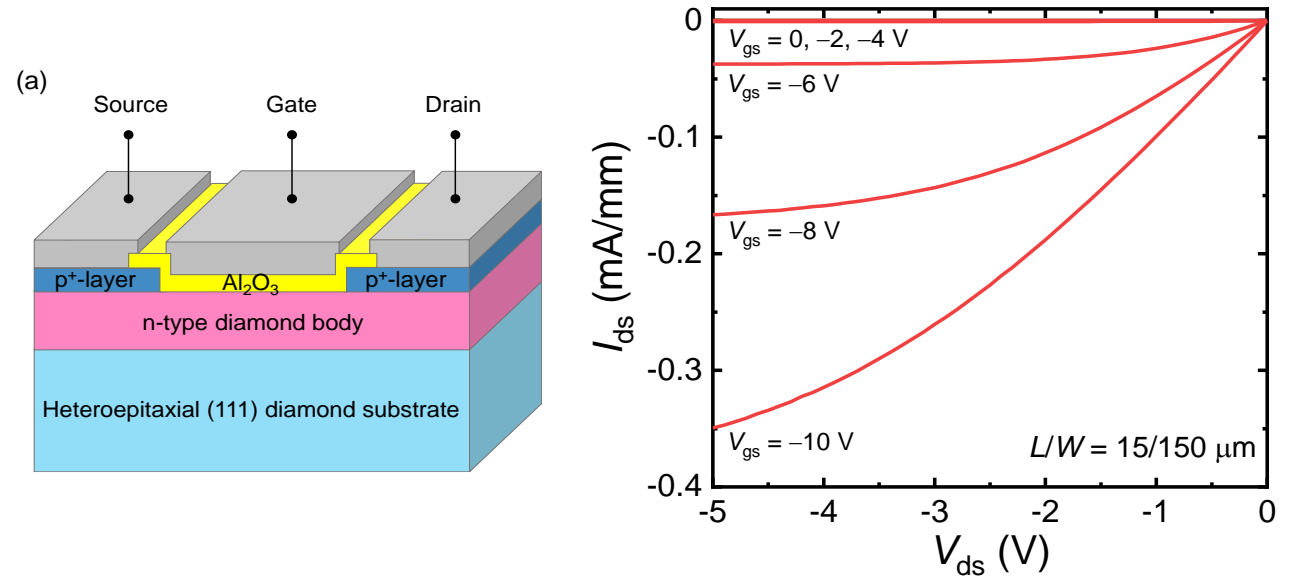
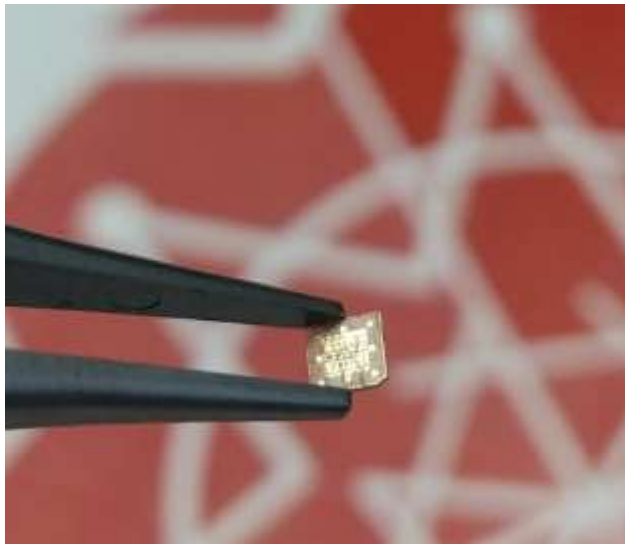
Estimated breakdown voltage:

- 330 V for "L gap" = 1 μm ;
- 440 V for "L gap" = 2 μm ;



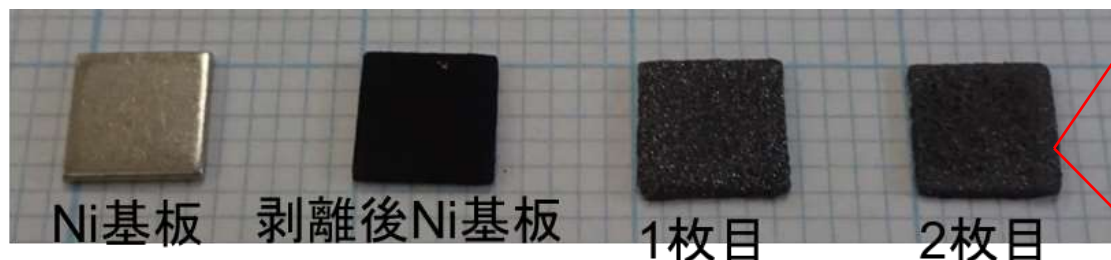
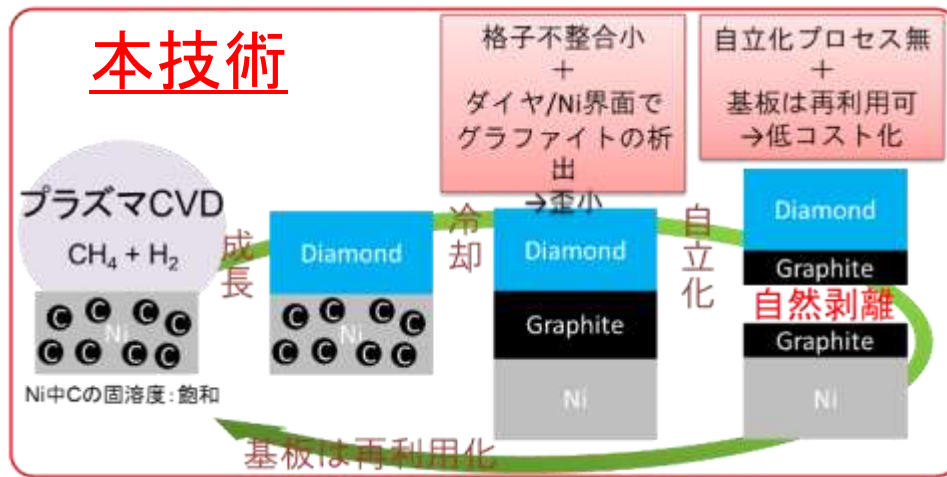
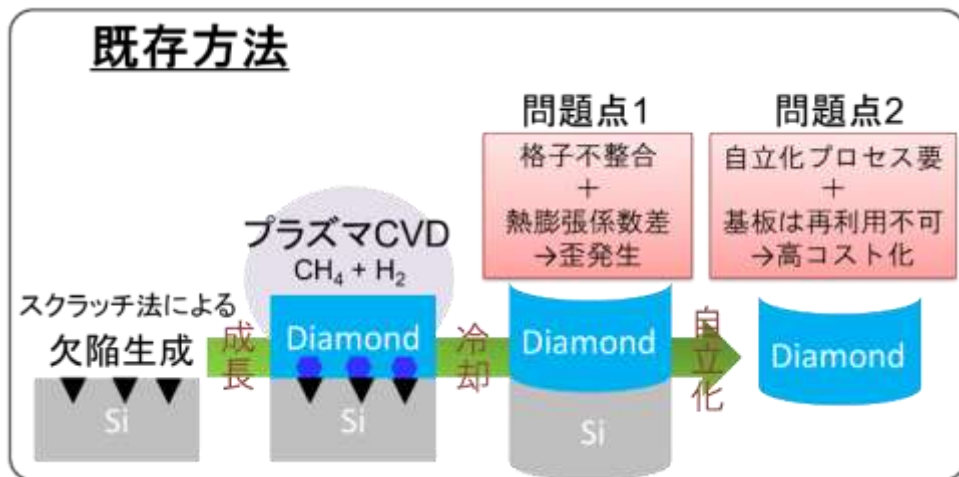
ドレイン電極（ショットキー接触）端で電界集中
改良した構造（効果あり）、縦型構造にチャレンジ中

Si上へテロエピタキシャル成長技術

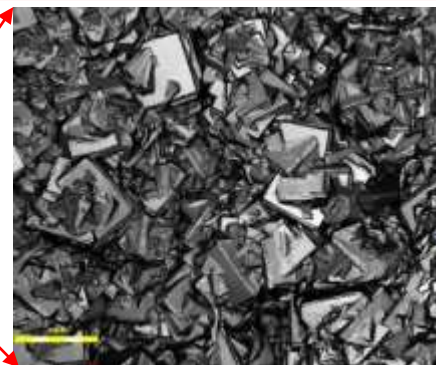


Si上に作製したテロエピタキシャルダイヤモンドでも
反転層MOSFETの動作実証に成功

Ni上へテロエピタキシャル成長技術



剥離したダイヤモンド自立膜



Ni上で多結晶ダイヤモンドの自立膜を実現
自立化プロセスフリーのため、低コスト化の鍵

企業への期待

- 半導体デバイス関連の技術（ウェハ、デバイスプロセス、パッケージング等）を持つ、企業との共同研究を希望。
- また、ダイヤモンドには電子放出や深紫外線発光、量子スピンといったユニークな特徴もあるため、新しい視点を持つ企業も歓迎。

本技術に関する知的財産権

- 発明の名称 : 半導体装置
- 出願番号 : PCT/JP2021/015212
- 出願人 : 産総研、金沢大学
- 発明者 : 加藤宙光、小倉政彦、
牧野俊晴、山崎聡、松本翼、
徳田規夫、猪熊孝夫

お問い合わせ先

有限会社金沢大学ティール・エル・オー

TEL 076-264-6115

FAX 076-234-4018

e-mail info@kutlo.co.jp