

強誘電体薄膜アナログメモリキャパシタを用いた ニューロモーフィックシステム

龍谷大学

先端理工学部 電子情報通信課程

教授 木村 睦

2024年2月29日

研究の背景

- 人工知能の普及に起因する莫大な電力消費が予測
- 2050年には全発電量の60%となり、世界的なエネルギー問題



- 超小型化・超高効率計算を実現する脳を模倣した『ニューロモーフィックシステム』の研究開発
- 上記システム構築のキーデバイスとなる『アナログメモキャパシタ』の研究開発

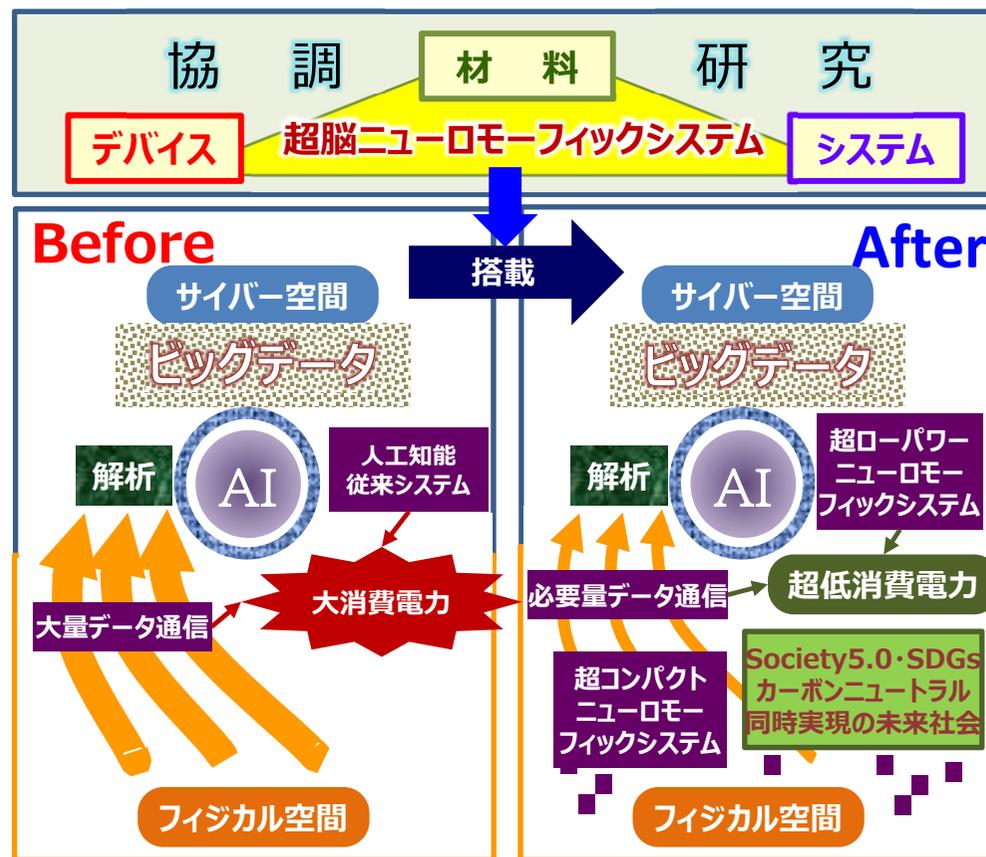
新技術の効果

データトラフィック増
サーバー(AI)電力増

電力予測値 ¹⁾		
現在	2030年	2050年
24PWh	42PWh	5,000PWh



データのメタ化、
低消費電力システム導入で、
消費電力を『**1/1,000**』へ



新技術システムの概念図

1) JST LCS, 低炭素社会の実現に向けた技術および経済・社会の定量的シナリオに基づくイノベーション政策立案のための提案書, 技術普及編, 情報化社会の進展がエネルギー消費に与える影響 (Vol.1) -IT機器の消費電力の現状と将来予測-, <https://www.jst.go.jp/lcs/proposals/fy2018-pp-15.html>, 2018年

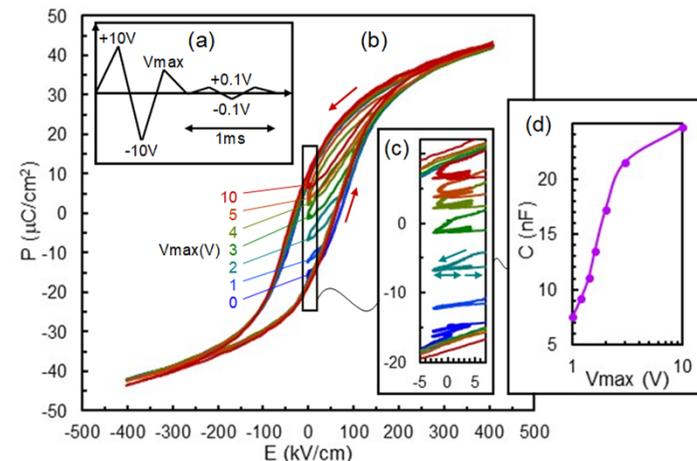
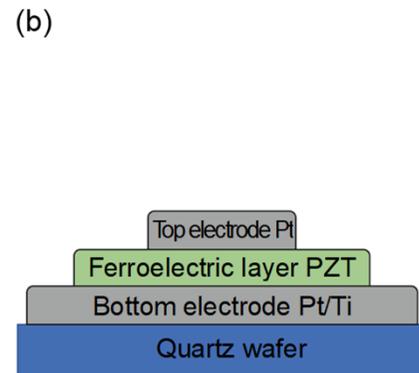
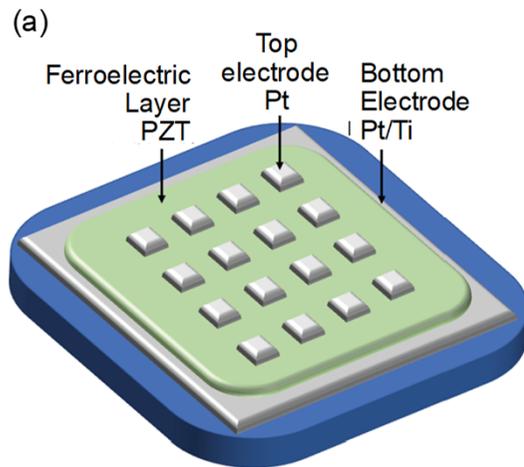
これまでの研究成果

- ① 強誘電体薄膜アナログメモリキャパシタ
- ② コンピューティングアーキテクチャ
- ③ ニューロモーフィックシステム

これまでの研究成果

①強誘電体薄膜アナログメモリキャパシタ

- ・ 強誘電体薄膜アナログメモリキャパシタを作製
- ・ 強誘電体層が上下電極間に挟まれたシンプルな構造
- ・ 課題：動作原理の検証・Dレンジ改善・繰返特性の評価・保持特性の評価

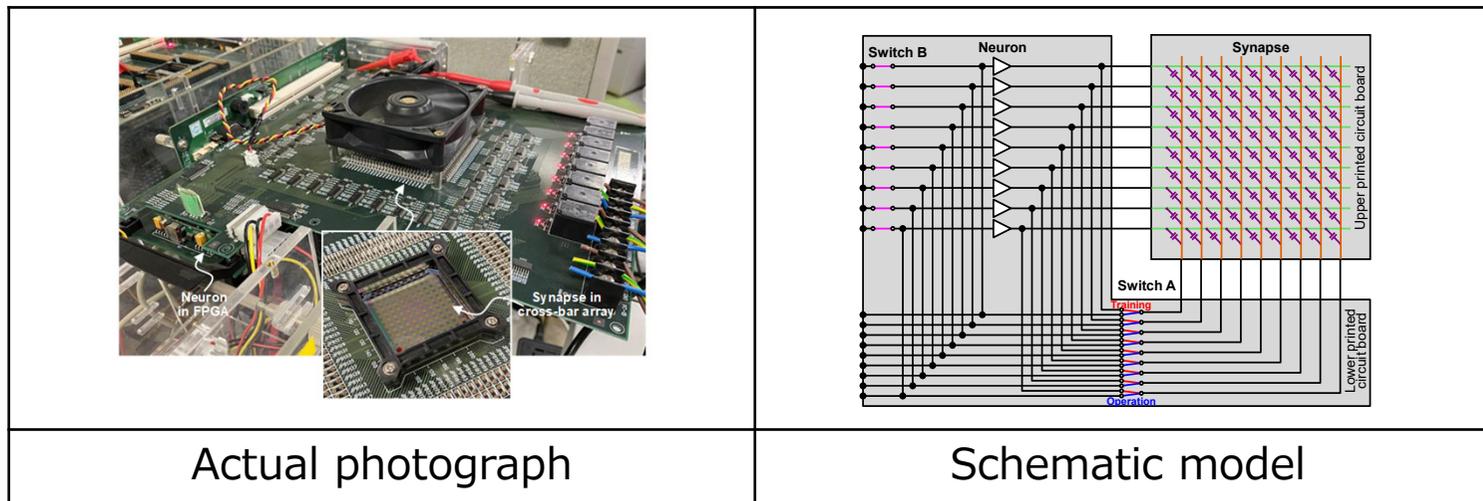


Analog Memcapacitor by Ferroelectric Capacitor.

これまでの研究成果

②コンピューティングアーキテクチャ

- メムキャパシタ(可変容量素子)を用い、
定常電流が無く、過渡電流も減、消費電力が大幅減
- 従来のシナプス素子の結合強度の制御回路不要、
メムキャパシタだけで学習が可能

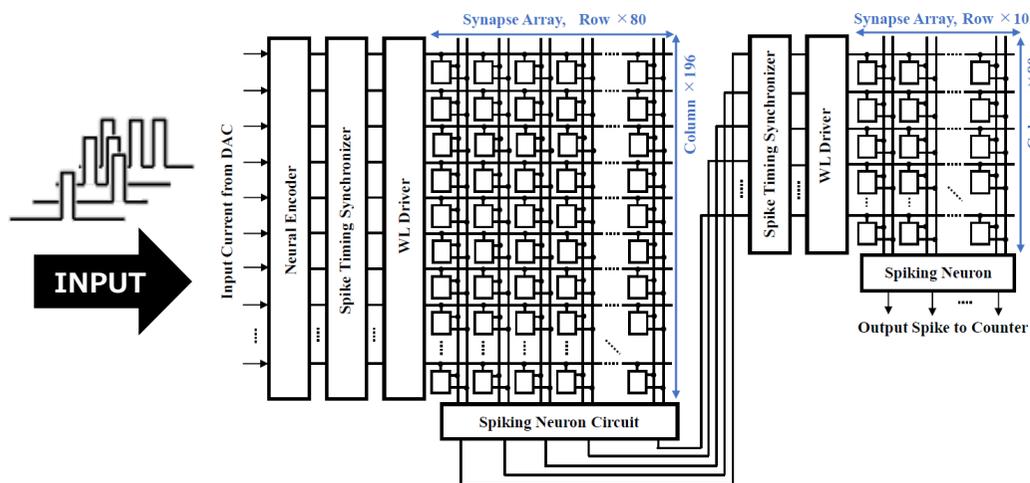


Neuromorphic System using Memcapacitors.

これまでの研究成果

③ニューロモーフィックシステム

- スパイキングニューラルネットワークは、高速化と低消費電力化を実現する計算アルゴリズム
- アナログ実装でデジタル実装よりも低消費電力
- 回路の非線形性をニューロン素子のモデルに組込、シナプス強度を回路パラメータに変換する学習方法



Memcapacitive Spiking Neural Network.

【結果】

消費電力：33.9 nJ/推論

精度：97%

※Python等の学習・HSPICEでのシミュレーション
180 nmプロセス使用

競合技術、従来技術とその問題点

- メムデバイスの競合技術が、「メモリスタ」
低消費電力に向け「メムキャパシタ」を採用
- 「メムキャパシタ」課題解決に向け研究開発中

特 長	メモリスタ	メムキャパシタ
長 所	アナログ特性が十分	瞬間的に電圧が送られ 低消費電力に有利
	コンダクタンスのダイナミック レンジの確保が容易	
短 所	定常電流が流れ 低消費電力に不利	アナログ特性が未開発
		キャパシタンスのダイナミック レンジの確保が困難

今後の研究で解決する課題

新技術の特徴・従来技術との比較

- 「新人工知能システム」「データ通信量減」で、消費電力の削減効果は『**1/1,000**』程度を実現

	脳 (人間)	人工知能の 従来システム	ニューロモルフィックシステム				強誘電体薄膜 アナログメモリキャパシタ 本提案 (概念実証)
			ニューロモルフィックシステムの 従来システム・シリコン半導体・デジタル				
			Watson (IBM)	TrueNorth (IBM)	Loihi (Intel)	Akida (BrainChip)	
発表時期	20 万年前	2010 年	2014 年	2017 年	2019 年	2030 年	
エレメント数 (1 チップ)	ニューロン	1×10^{10}	1.5×10^{13} (Memory)	1×10^6	1×10^5	1×10^6	1×10^{10}
	シナプス	1×10^{14}		3×10^8	1×10^8	1×10^{10}	1×10^{14}
サイズ(脳の相当の規模)	2 l	冷蔵庫 100 台	3×10^5 Chip	1×10^6 Chip	1×10^4 Chip	1 Chip = 5×5 cm	
消費電力(シナプスあたり)	200 fW	-	900 pW	300 pW	不明	200 fW	
消費電力(脳の相当の規模)	20 W	850 kW	90 kW	30 kW	不明	20 W	

新技術の特徴・従来技術との比較 目標と実施構想

- ① 強誘電体材料・薄膜作製プロセスの探索
 - A) 強誘電体材料の選択と薄膜作成プロセスの探求
 - B) メムキャパシタを連続成膜・一体形成
- ② アナログメムキャパシタ特性の実現
- ③ コンピューティングアーキテクチャの構築
 - C) アナログメムキャパシタ特性のモデリング

新技術の実施構想

①強誘電体材料・薄膜作製プロセスの探索

- 目標：強誘電体材料 誘電率=100程度
作製プロセス ルール=30nm程度
膜厚=20nm程度
積層数=100程度
- 解決策：薄膜作成プロセスの検討
スパッタ成膜法・ゾルゲル成膜法・ミストCVD成膜法等

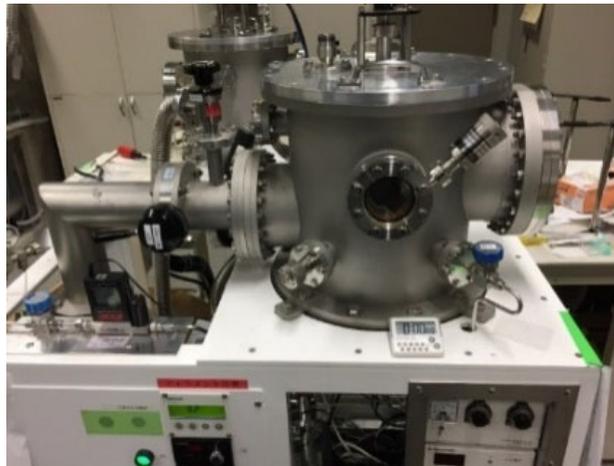
		実験実証	概念実証
強誘電体材料	誘電率	100	
薄膜作製プロセス	パターンルール	ラボレベル	30nm
	膜厚	20nm	
	積層数	積層数	100

新技術の実施構想

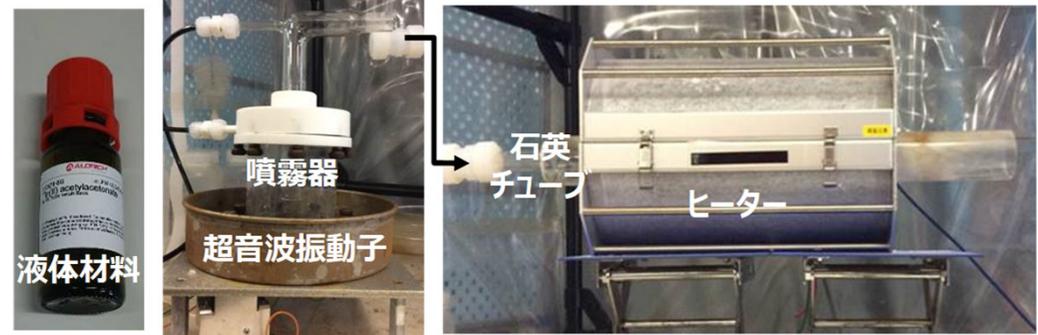
①強誘電体材料・薄膜作製プロセスの探索

A) 強誘電体材料の選択と薄膜作成プロセスの探求

- 材料候補：「Pb-Zr-Ti-O」「Bi-La-Ti-O」「Hf-Zr-O」等
- プロセス：下層へのダメージを避けるため「低温化」
一般的な半導体製造装置で実現可能



スパッタ成膜装置



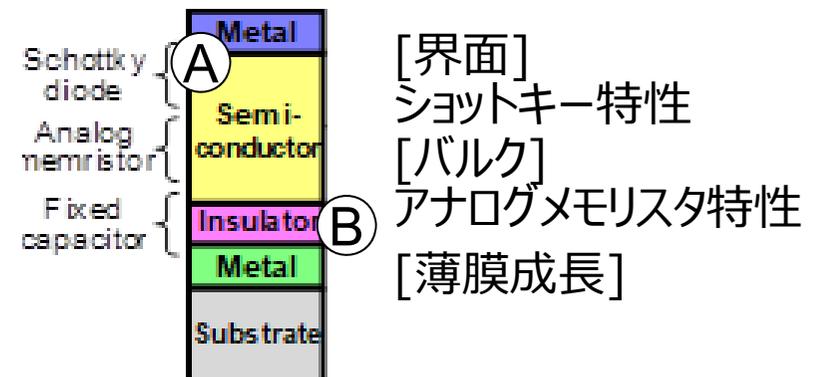
ミストCVD成膜装置

新技術の実施構想

①強誘電体材料・薄膜作製プロセスの探索

B) メムキャパシタを連続成膜・一体形成

- メモリスタ、キャパシタとショットキーダイオードの集積デバイスを連続成膜、一体形成積層型の集積回路作製
- 低ダメージプロセスで
 - 固定キャパシタ
 - アナログメモリ
 - ショットキーダイオード
 の順番で形成し、一体化を実現



A	アモルファス 金属酸化物 半導体	スパッタ ミストCVD	連続成膜 一体形成 集積回路
B	通常絶縁体 High-k 材料	スパッタ ミストCVD 陽極酸化	

動的メムキャパシタの構成・一体形成

新技術の実施構想

①強誘電体材料・薄膜作製プロセスの探索 B) メムキャパシタを連続成膜・一体形成

- 動作原理の詳細解析を行い、所望の特性の獲得・改善
 - アナログメモリスタ特性：
AOS※バルクのフィラメントモデル・酸素空孔ドリフトモデルの構築
 - ショットキー特性：界面のバンドエンジニアリングやバンド構造等の解析
 - 連続成膜・一体形成・集積回路の具現化のため製造プロセスも研究



ショットキーダイオード&メモリスタ&キャパシタ集積デバイスの連続成膜・一体形成と材料・物理の研究

新技術の実施構想

②アナログメモリキャパシタ特性の実現

- 目標：ダイナミックレンジ=10程度
特性バラツキ=10%程度
繰返特性=10³回程度
保持特性=10³時間程度
- 解決策：特性の動作原理解明と詳細評価

新技術の実施構想

③コンピューティングアーキテクチャの構築

- 目標：論理・回路シミュレーション(Sim)でアプリケーションなどへの応用を検証

論理・回路Sim = 線形性・加算性確認

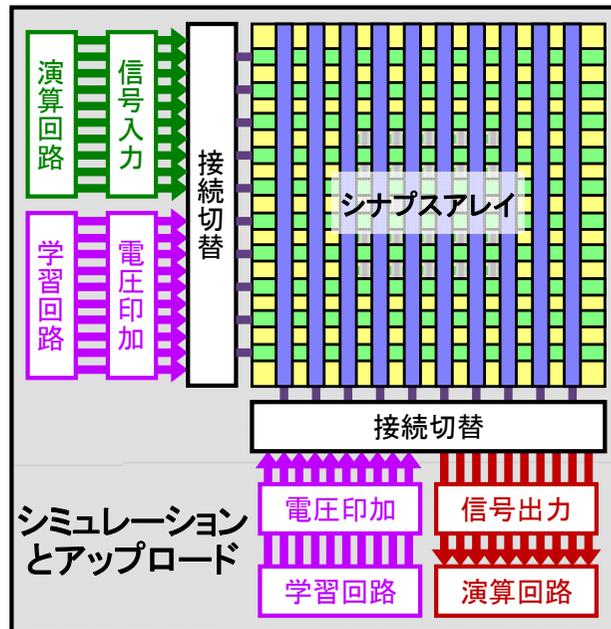
MNISTやCIFARなど = 90%以上の認識精度を確認

→ 過去の研究で他のアプリケーションへ応用確認済

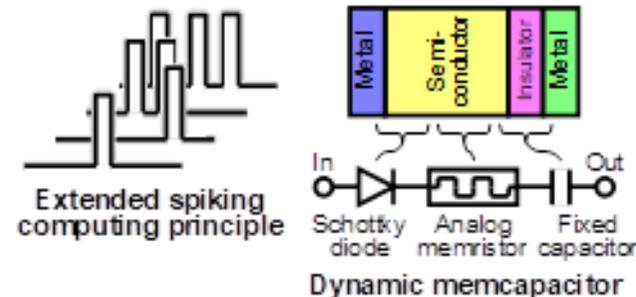
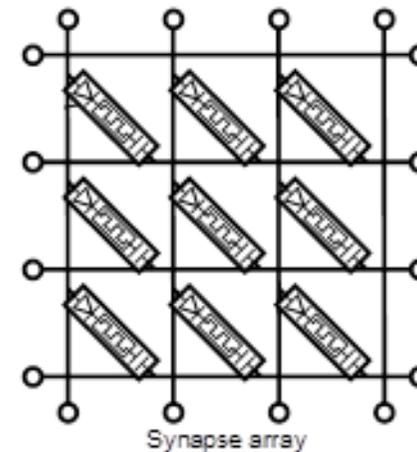
新技術の実施構想

③コンピューティングアーキテクチャの構築

- 拡張スパイクング計算は、ハードウェアシミュレーションで定量評価



超脳ニューロモーフィックシステム学習法



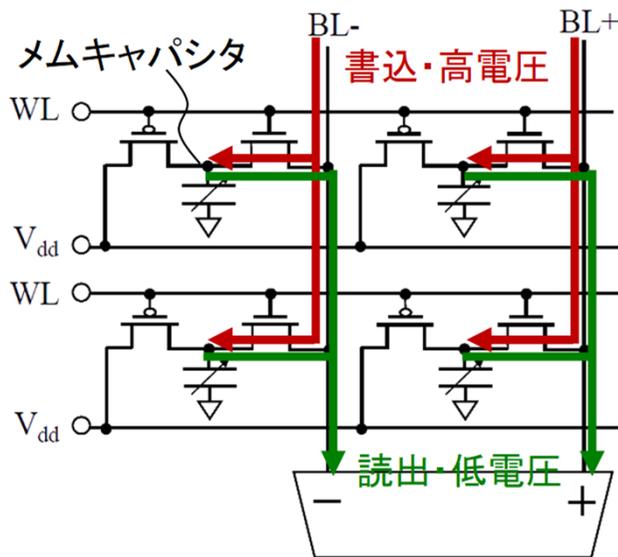
超脳スパイクングニューロモーフィックシステム

新技術の実施構想

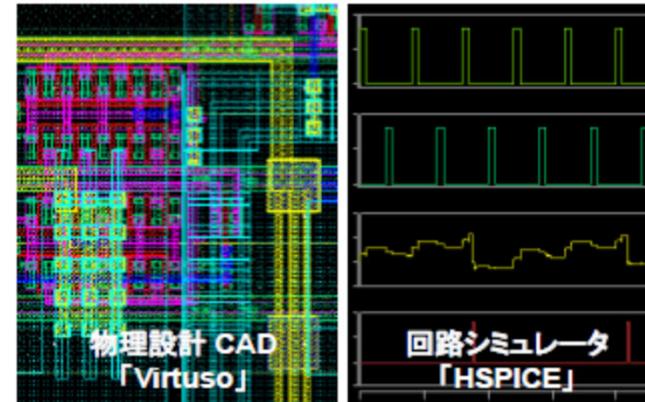
③コンピューティングアーキテクチャの構築 C) アナログメモキャパシタ特性のモデリング

- 解決策：アナログメモキャパシタ特性モデリング

論理Sim = Python・PyTorch } に組み込み、線形成・加算性の確認
回路Sim = HSPICE



アナログメモキャパシタへの
書込動作・読出動作



回路設計・回路シミュレータ

想定される用途

- 本技術の特徴である「超低消費電力」を生かし、**人工知能システム**（クラウド側、エッジ側）
特に、**エッジ側のIoTデバイスへの搭載を期待**
- 具体的には、下記のような危機に搭載
製造機器データから現場で判断、メタ化して発信
通信の困難な場面での自律型ロボットの制御 etc.

実用化に向けた課題

- 現在、『①強誘電体薄膜アナログメモリキャパシタ』についてサンプル作製まで開発済み。
- しかし、動作原理の検証とDレンジ改善の点が未実施である。今後、繰返特性や保持特性について評価データを取得し、動作原理を解明し、特性ばらつき改善を行っていく。
- 実用化に向け、アナログメモリキャパシタのモデリングを行い、ロジック部や周辺I/Oとの一体化を図る。
- 加えて実際にMNISTやCIFARなど具体的な手法で100%に近い認識精度を確認してゆく。

企業への期待

- 半導体の材料・デバイス技術をお持ちの企業様との共同研究を希望。
- また、ニューロシステムを開発中の企業様、低消費電力コンピューティングシステムへ興味をお持ちの企業様には、本技術の導入が有効と思われる。

本技術に関する知的財産権

- 発明の名称：積和回路およびその積和回路を備えたニューラルネットワーク
 - 出願番号：特願2022-085622
 - 公開番号：特開2023-173393
- 出願人：龍谷大学
- 発明者：木村 睦

産学連携の経歴

- 2019年-2024年 JSPS科研費 基盤研究(C)に採択
- 2022年-2025年 JST国際科学技術協力基盤整備事業
「日本－台湾研究交流」に採択
- 2022年-2023年 株式会社村田製作所様
「強誘電体ゲート使用MEMキャパシタ」
共同での研究

お問い合わせ先

龍谷大学

龍谷エクステンションセンター

産学連携コーディネーター 田代 信一

T E L 077-543-7743

F A X 077-543-7771

e-mail rec@ad.ryukoku.ac.jp