



ごく僅かな電力で継続的に駆動する パルス駆動型CPU

東京工業大学 科学技術創成研究院
未来産業技術研究所 助教 横式 康史

2023年 11月28日

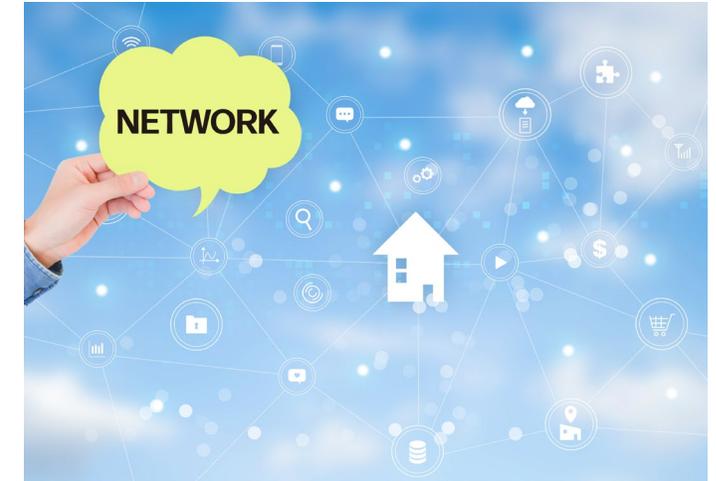
- 研究背景・研究の目的・特許の用途
- パルス駆動型CPUの仕組み
- 特許に関連するこれまでの研究
- 特許に関連する補足事項

- 研究背景・研究の目的・特許の用途
- パルス駆動型CPUの仕組み
- 特許に関連するこれまでの研究
- 特許に関連する補足事項

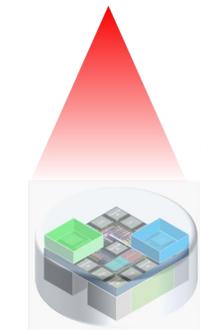
Society5.0

仮想空間と現実空間を高度に融合させたシステムにより、経済発展と社会的課題の解決を両立する、人間中心の社会

- デジタルとアナログの融合のニーズ
- IoT技術の利用
- 脱炭素社会に向けた取り組みとしてのエネルギーハーベスティング



太陽光

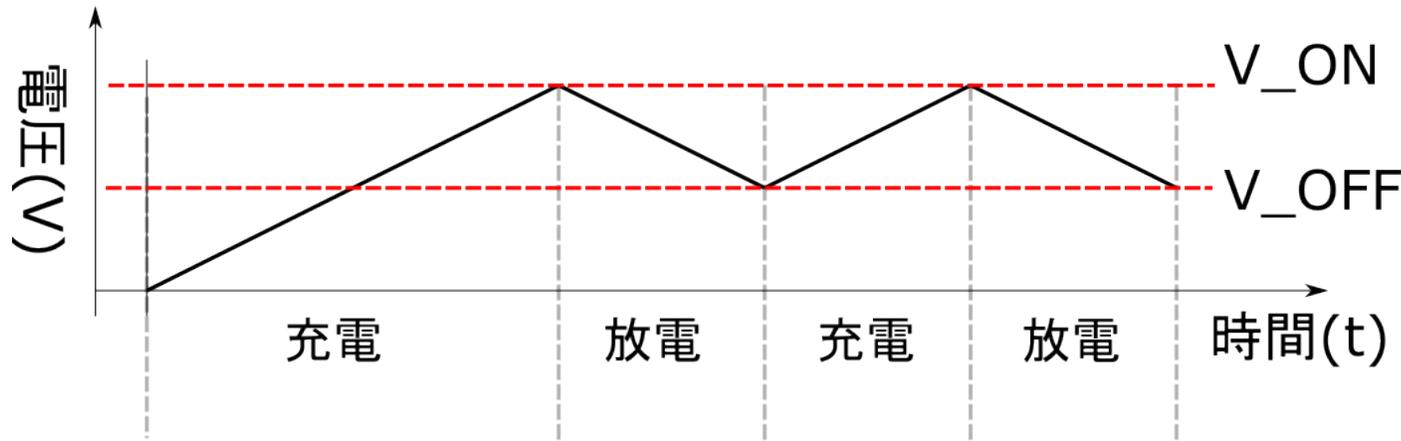
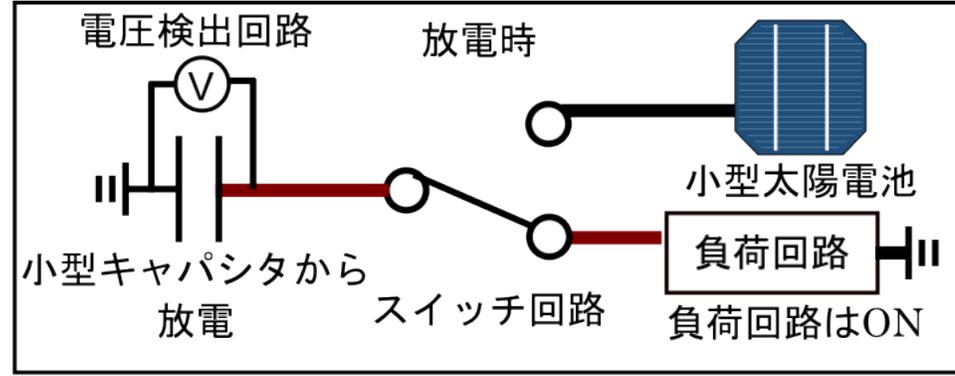
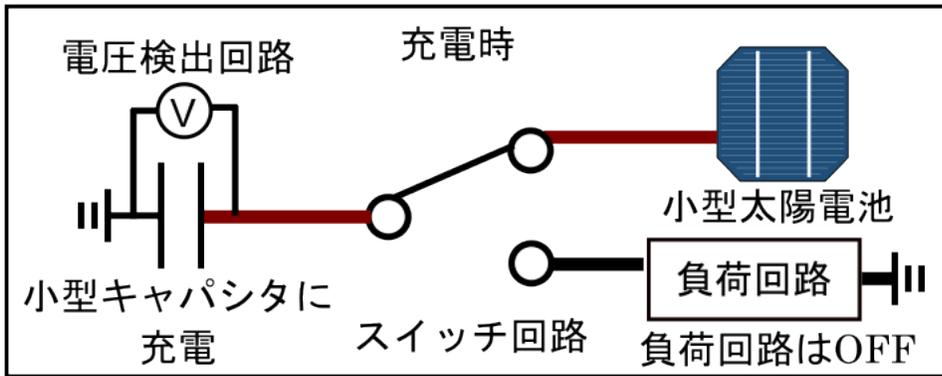


無線通信



IOTノード

IoT化を進めることのできる、
環境に優しい・新規デバイス創出の必要性



充電と放電を
繰り返すことで
負荷回路を
間欠駆動する

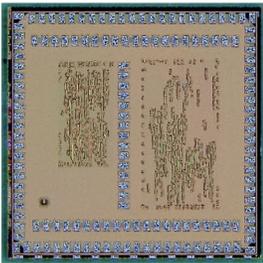
小型太陽電池と電圧検出・スイッチ回路を組み合わせることで、
充電・放電を行い、間欠的にデバイスを駆動させる技術

- 研究背景・研究の目的・特許の用途
- パルス駆動型CPUの仕組み
- 特許に関連するこれまでの研究
- 特許に関連する補足事項

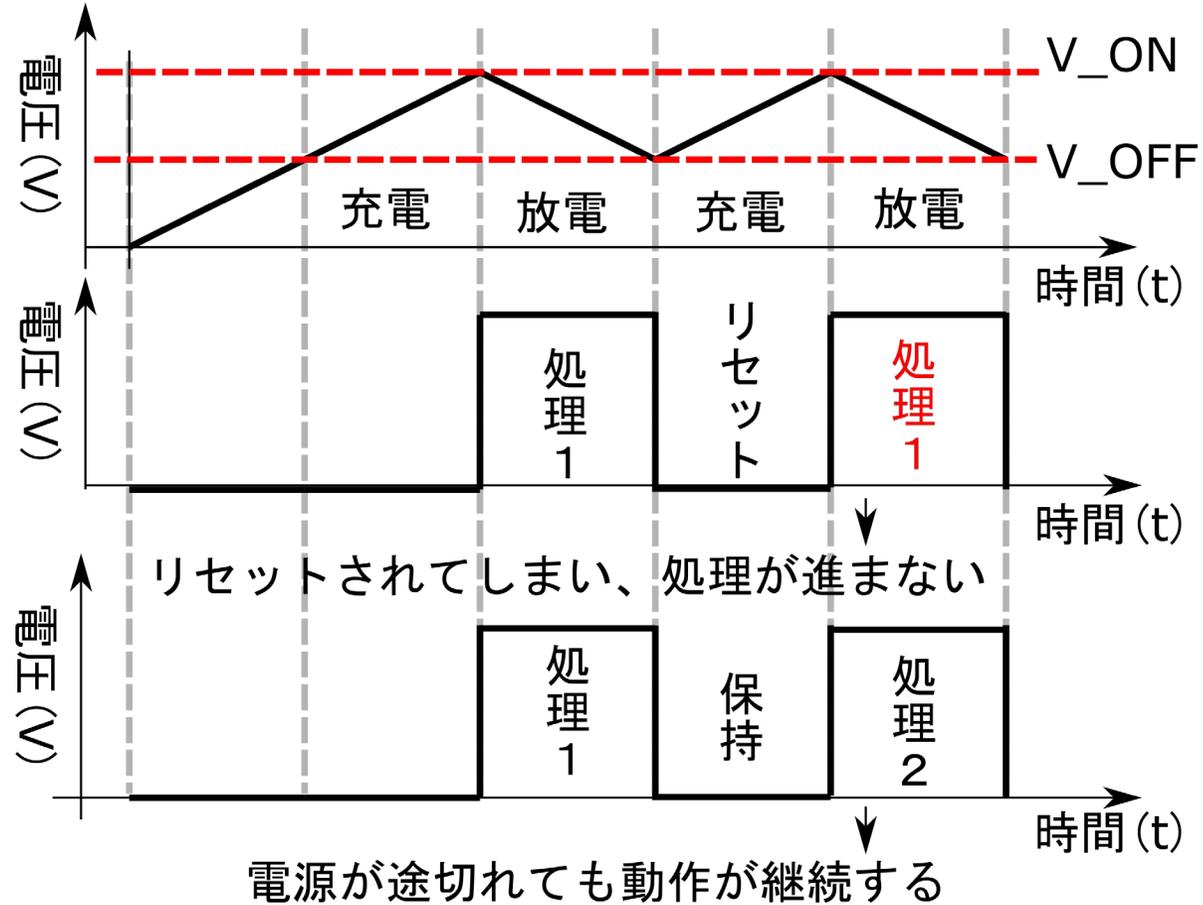
パルス駆動型CPUとは



一般のCPU



パルス駆動型CPU

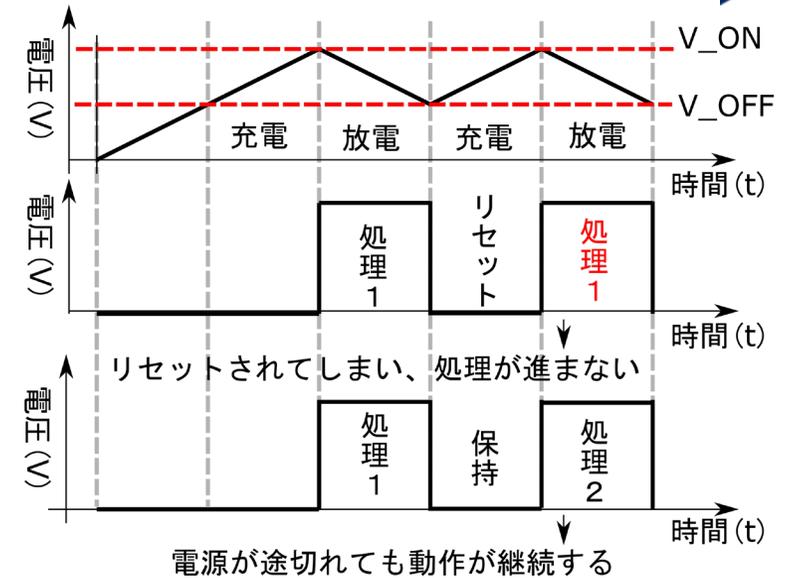
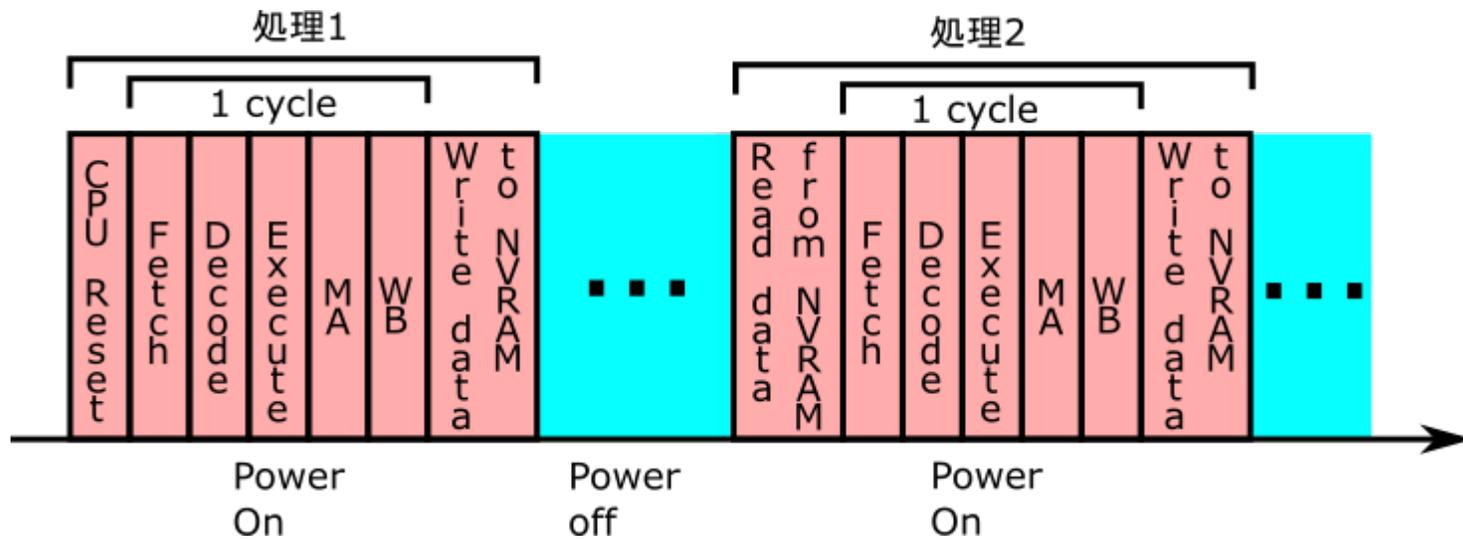


パルス駆動型CPUとは、間欠的な電力供給でも処理がリセットされず、継続するCPU

- 一般のCPUは、揮発性のメモリを用いて内部の処理を行う
- 電源がオフになるとリセットされてしまう理由は、揮発性のメモリのデータが消えてしまうため
- 多くのレジスタは一時的な計算に用いられるので、CPUの動作を区切って、動作に最低限必要なレジスタの値のみを**タイミングの良いときに**不揮発性メモリに保存すれば、電源がオフになってもデータが消えずにCPUを動作させ続けることができる

CPU動作に最低限必要なレジスタの値のみを不揮発性メモリに保存することで、電源オフ後にも動作に必要なデータを読み出すことができる

必要な情報を保存する仕組み

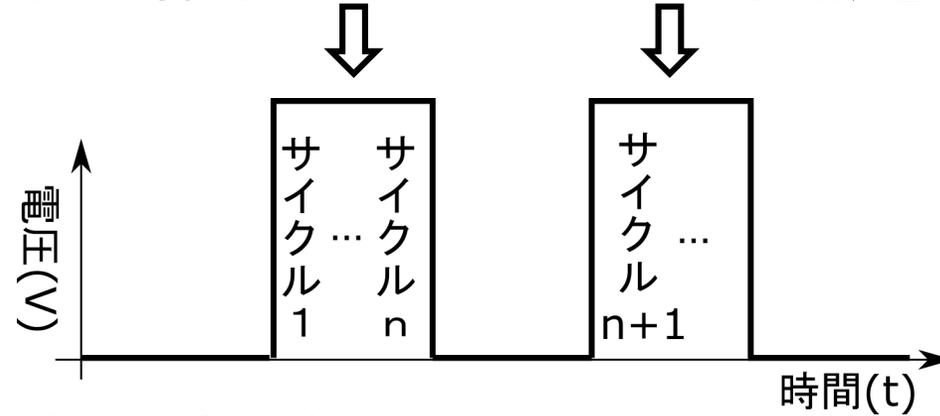


- CPUはFetch, Decode, Execute, Memory Access (MA), Write Back (WB)を1 cycleとして、それを繰り返す
- CPUがWriteback動作を行ったあと、必要な情報のみを不揮発性メモリに保存する
- 次回以降のサイクルでは不揮発性メモリから1サイクル動作に必要な情報を必要に応じて読み出す

サイクル数の制御

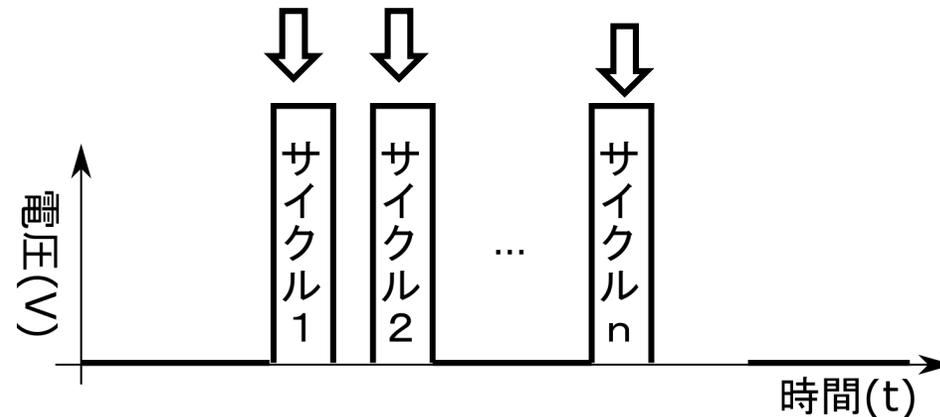
この間は不揮発性メモリへアクセスする回数を減らして高速化

供給可能な
電力大



毎回不揮発性メモリにアクセス

供給可能な
電力小



1サイクルごとだけではなく、供給可能な電力に応じて実行するサイクル数を制御することも可能

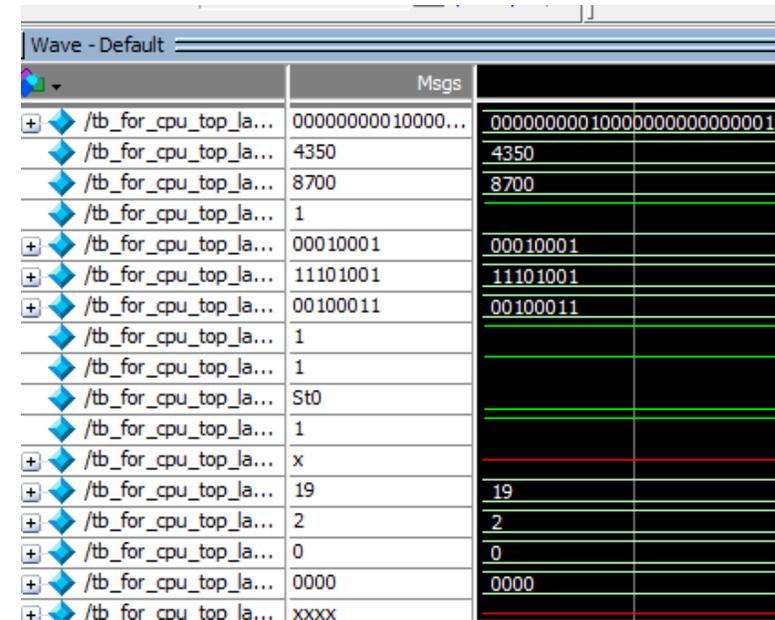
- 研究背景・研究の目的・特許の用途
- パルス駆動型CPUの仕組み
- 特許に関連するこれまでの研究
- 特許に関連する補足事項

HDL(Hardware Description Language)はデジタル回路を記述するための言語。近年ではC++などの身近な言語からHDLに変換を行う高位合成 (High-level synthesis) やMatlabからHDLに変換するツールがあり、プログラミング経験者、シミュレーション経験者も取り組める土台が出来上がっている。

```

always @(posedge clk) begin
  if(!rst) begin
    cnt <= 8'd0;
    timing_flg <= 1'b0;
  end
  else begin
    case (r_state)
      w_START:
        begin
          cnt <= 8'd0;
          timing_flg <= 1'b
        end
      SEND_DATA:
        begin
          if (cnt == 8'd
    
```

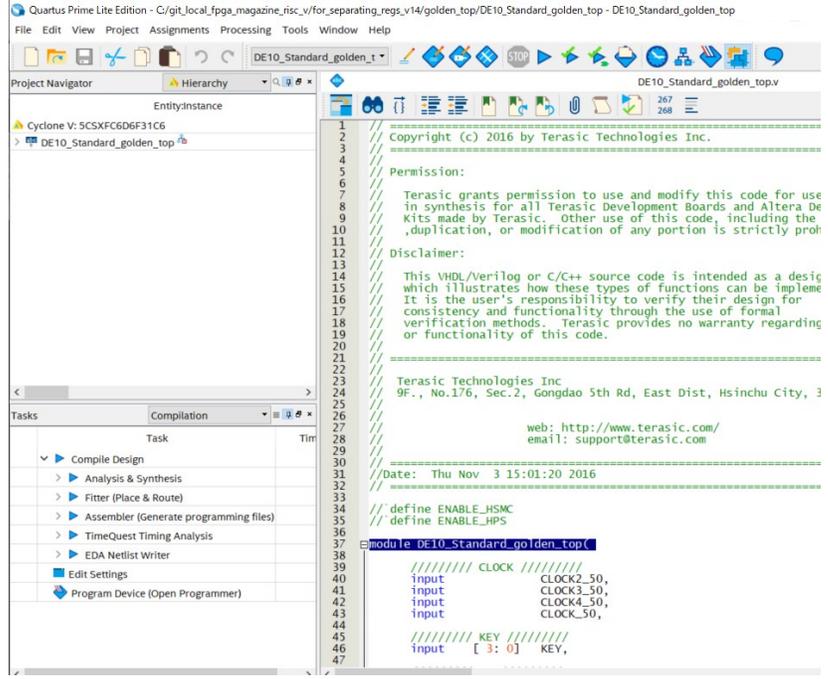
Verilogのコード。C言語に似ているので、比較的習得し易いが、思った通りの回路が生成されない場合があるのが難しい。



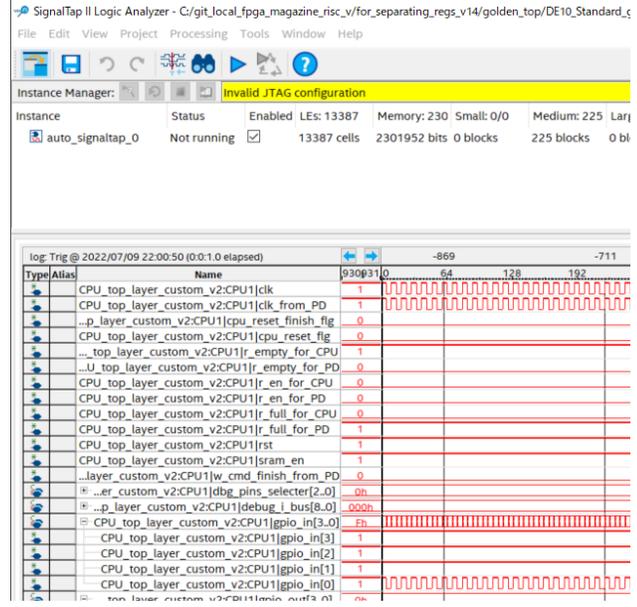
Msgs	0000000010000...
/tb_for_cpu_top_la...	0000000010000...
/tb_for_cpu_top_la...	4350
/tb_for_cpu_top_la...	8700
/tb_for_cpu_top_la...	1
/tb_for_cpu_top_la...	00010001
/tb_for_cpu_top_la...	11101001
/tb_for_cpu_top_la...	00100011
/tb_for_cpu_top_la...	1
/tb_for_cpu_top_la...	1
/tb_for_cpu_top_la...	St0
/tb_for_cpu_top_la...	1
/tb_for_cpu_top_la...	x
/tb_for_cpu_top_la...	19
/tb_for_cpu_top_la...	2
/tb_for_cpu_top_la...	0
/tb_for_cpu_top_la...	0000
/tb for cpu top la...	xxxx

テストベンチというテスト用コードを別途記述することで、コードのチェックを高速に行うことができる

FPGAによる回路の検証



Development Software
(Quartus Prime)



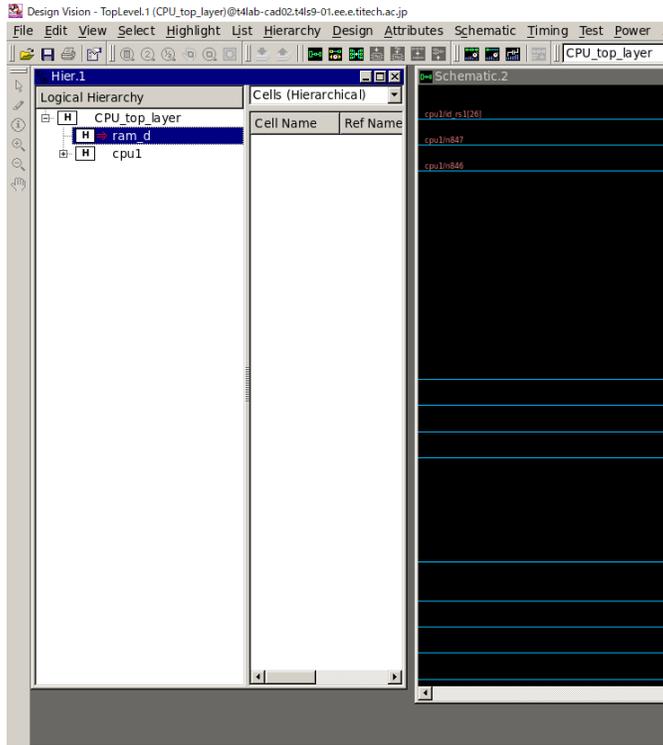
Integrated Logic Analyzer
(Signal Tap II)



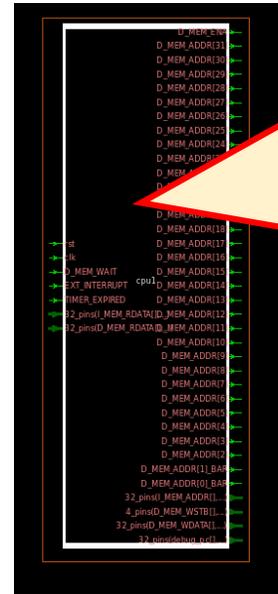
DE10-Standard

数万円ぐらいだが、もっと安価なものもある。
高速動作させる必要がある場合は数十万円以上のものもある。

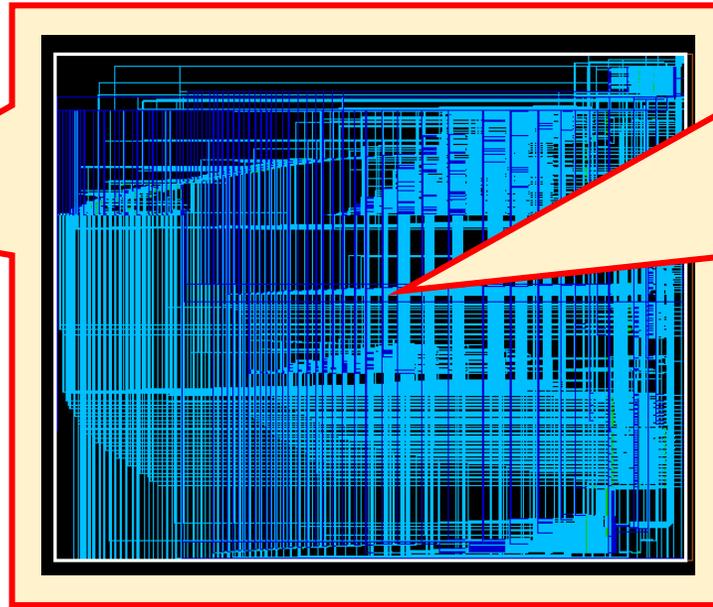
記述したコードからデジタル回路を生成し、ボードの中で動作させ、回路の検証を行える



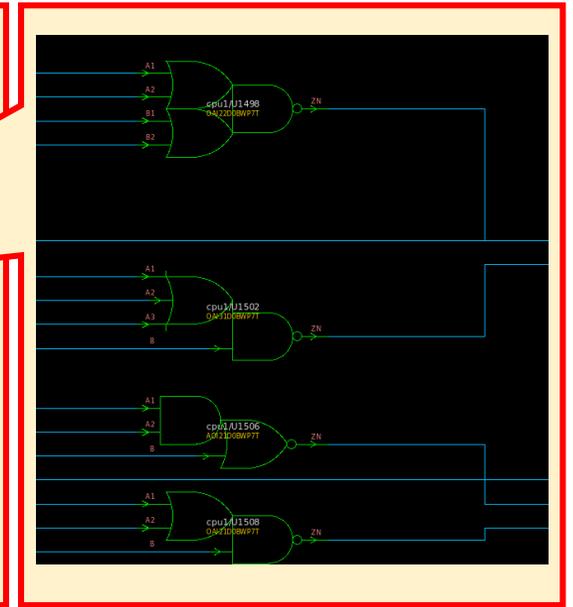
論理合成ツールのGUI



回路の一番上のレイヤ
(階層構造になっている)

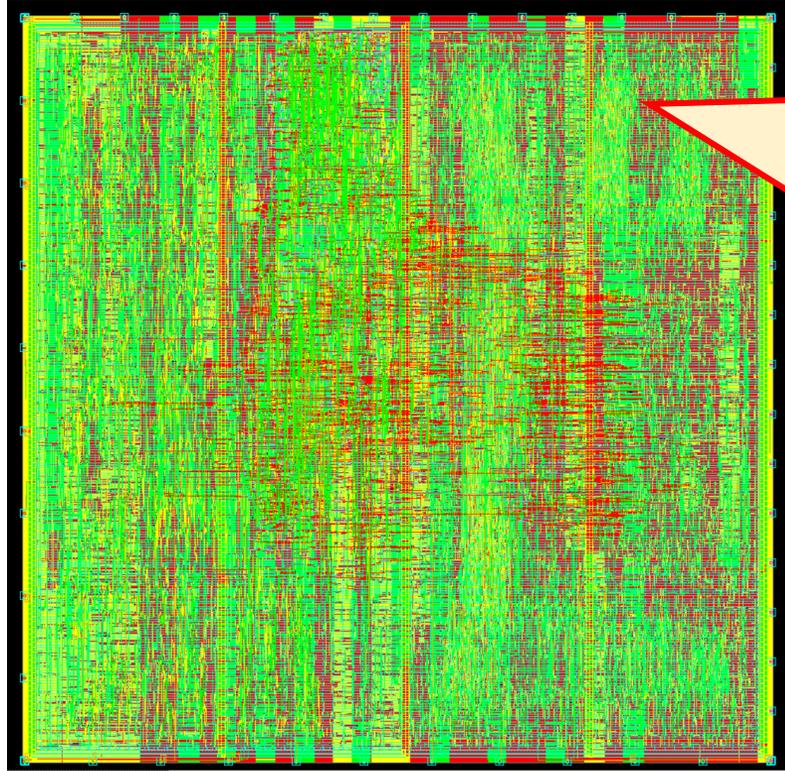


論理合成後のCPU

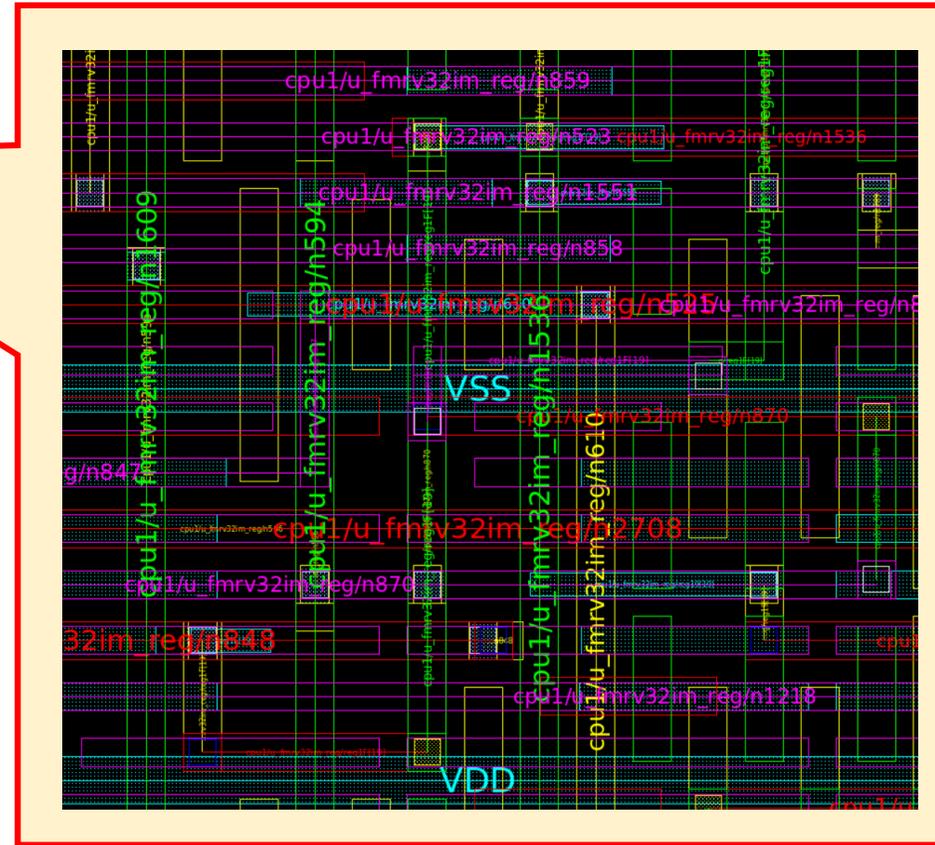


このように基本素子が組み合わさって回路が構成されている

論理合成により、FF, NANDゲートなどの基本素子の接続情報(ネットリスト)を生成する

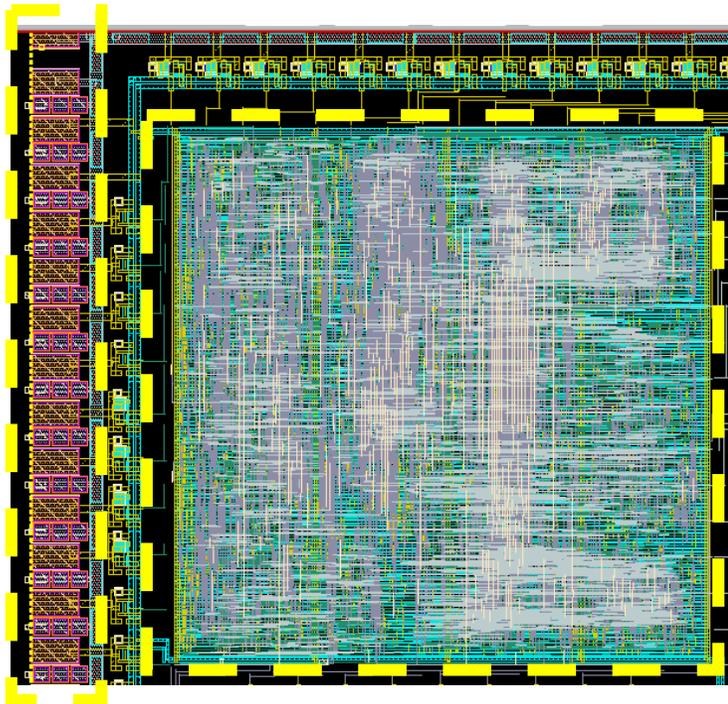


配置配線後のレイアウト

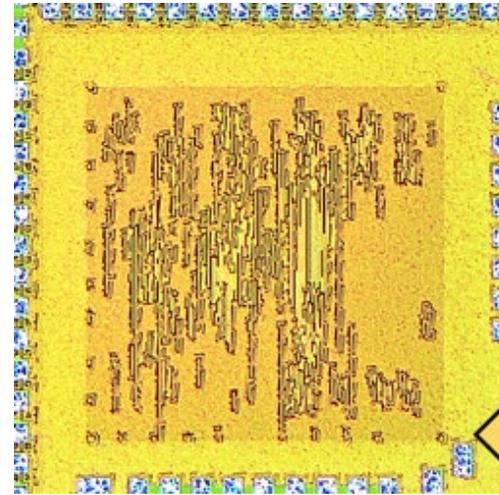


人力の配線では困難な高密度の配線が自動で生成される

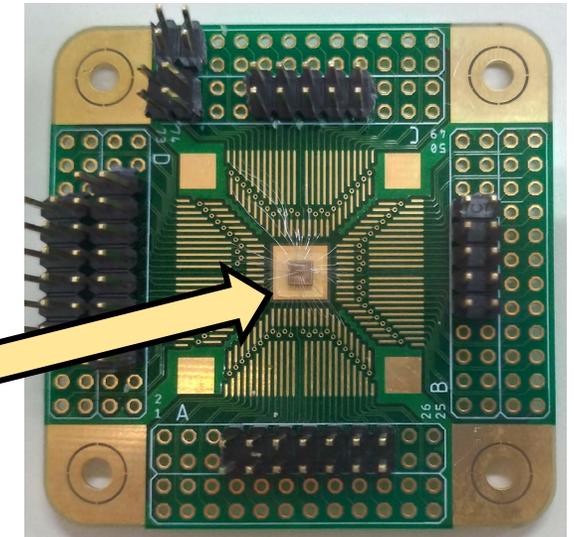
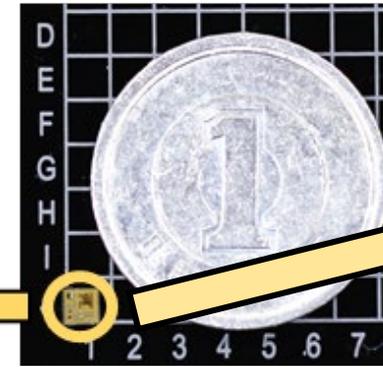
チップ設計ルールなどのチップ製造に必要な条件を満たすようにネットリストからレイアウトを自動生成



PAD, デジタル バッファ回路
デジタル回路

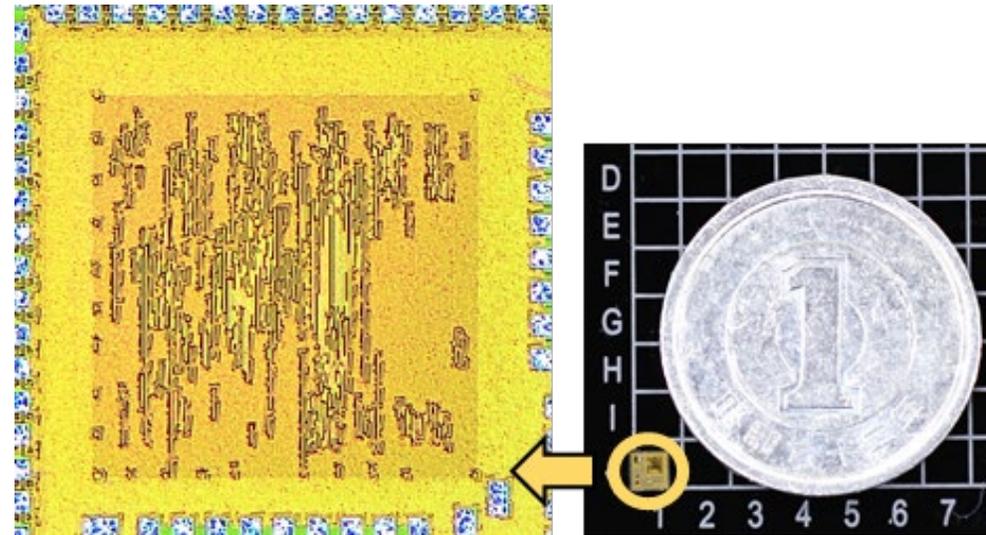
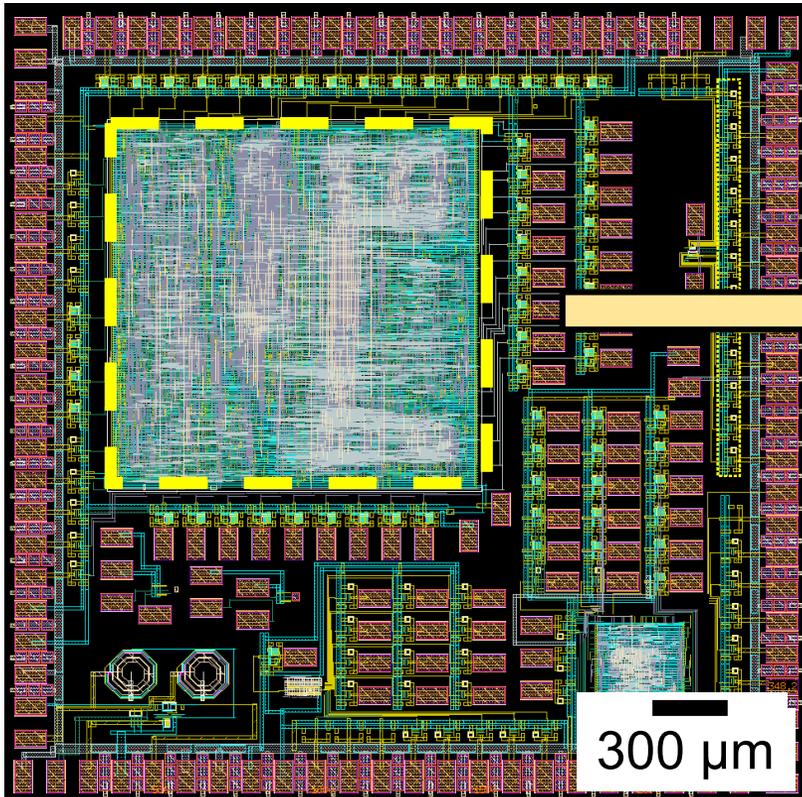


製作したチップ (2.5 mm角)



チップ評価の様子

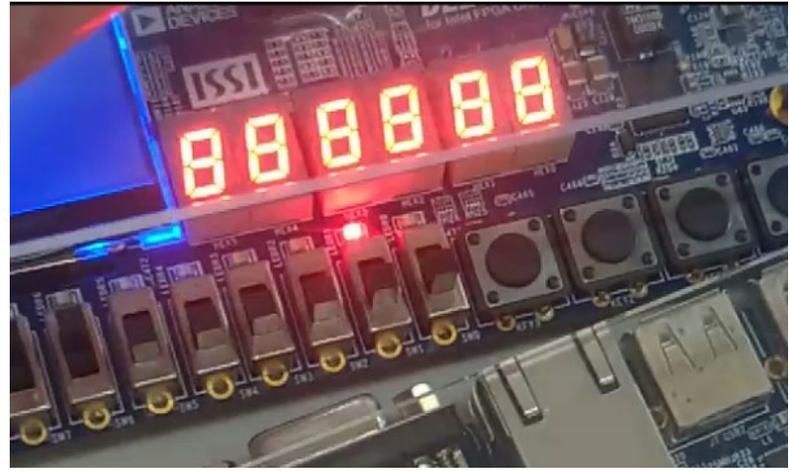
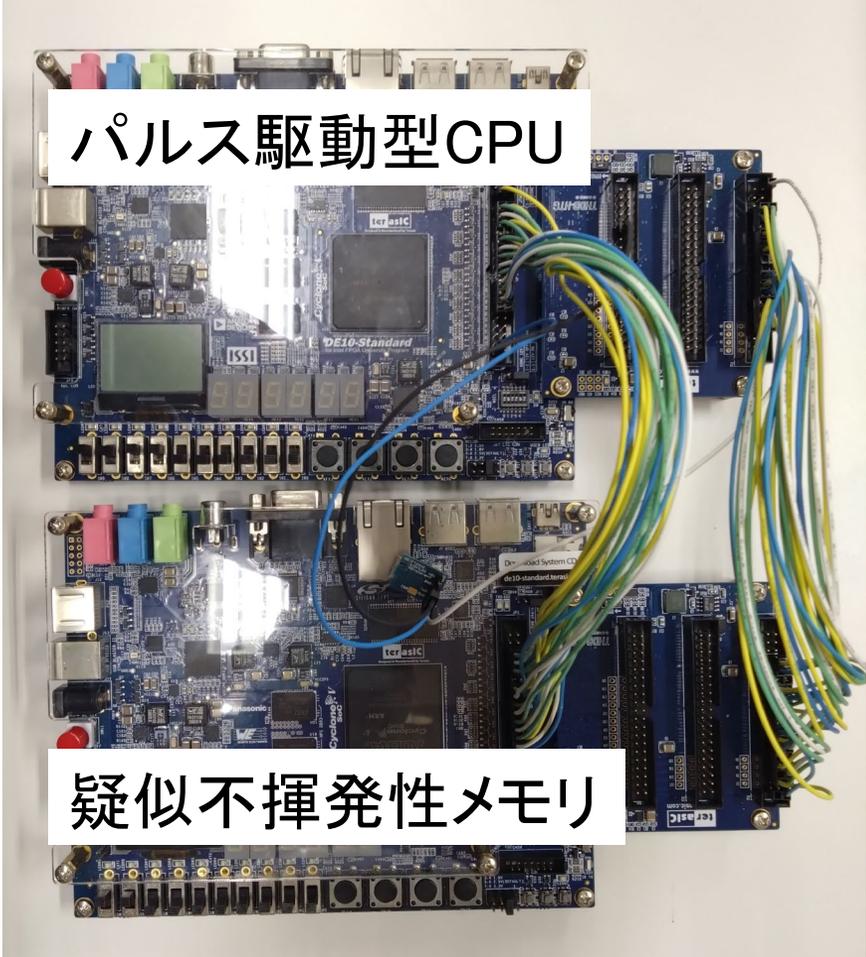
デジタル回路のレイアウトにバッファなどの回路を追加して最終的なレイアウトを作製し、外部ファウンドリでチップを製造する



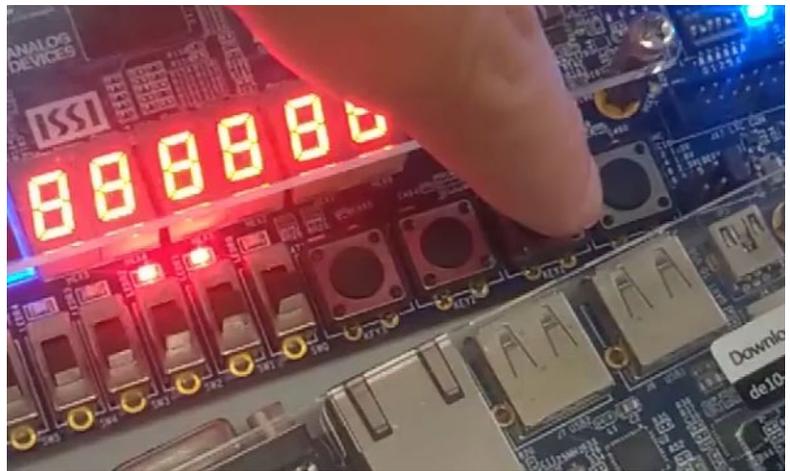
周波数: 10MHz
アーキテクチャ: RISC-V RV32I
サイズ :1140 um x 1140 um
駆動電圧 : 1.8 V
消費電力: 2.6 mW (10MHz 駆動時)

RISC-Vアーキテクチャに基づいてVerilogコードからチップを試作し、動作することを確認した

FPGAを用いたパルス駆動型CPUの実証



回路のみをリセット(電源オフ時の動作と類似)
→プログラムが継続して実行する



CPU初期化信号でリセットさせた様子

空ループ部のコード等価の命令
RISC-V RV32I用のコンパイラを使用

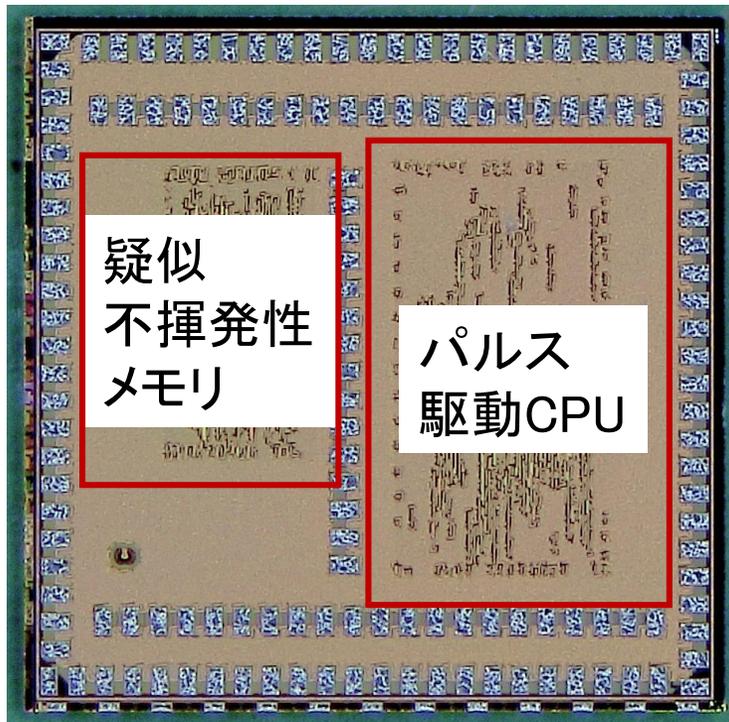
アドレス	インストラクション	実行する命令
292	fec42783	lw
296	00178793	addi
300	fef42623	sw
304	fec42703	lw
308	3e700793	li
312	fee7d6e3	bge

```
//GPIOのアドレスを指定
#define GPIO_OUT (0x8000)
...

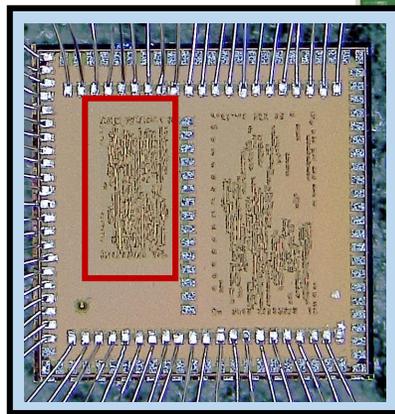
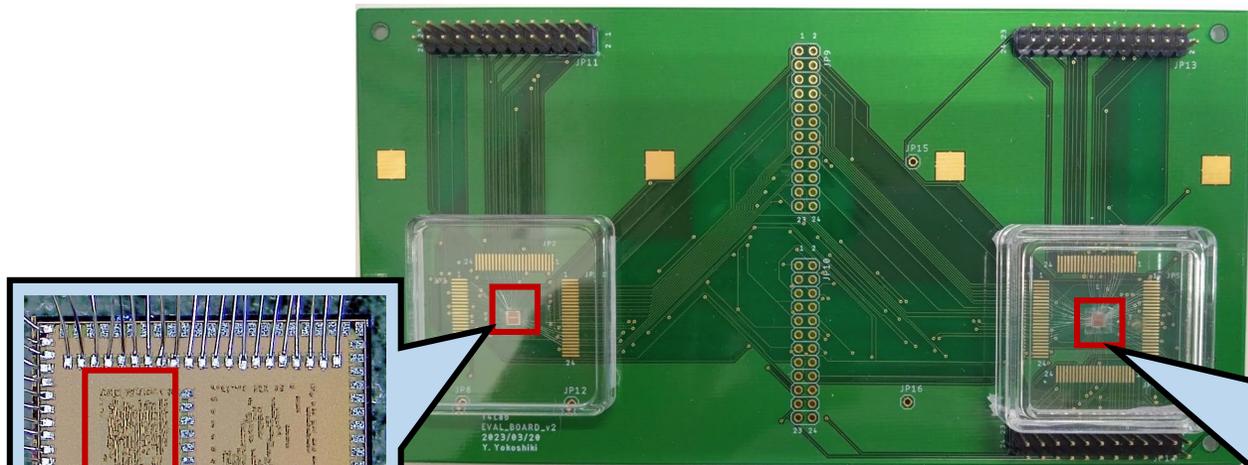
while(1){
//加算した値を出力
*(volatile int*)(GPIO_OUT) = led;
//空ループで待機
for(i=0;i<1000;i++);
//1ずつ加算
++led;
//4ビット全てが点灯したら0にする
if (led == 0x10) led = 0;
}
```

パルス駆動型CPUは特殊な命令を用いないため、RISC-V向けのプログラムをそのまま流用することができる

間欠駆動の実証



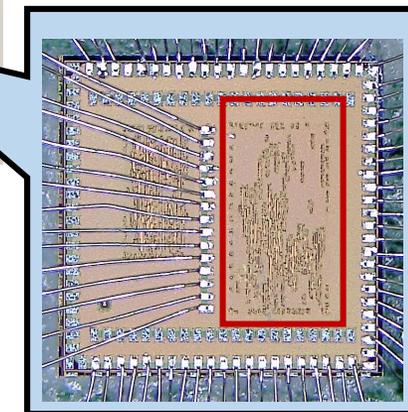
2-poly 6-metal 0.18 um
標準CMOSプロセスで製作



疑似不揮発性メモリのみ
ワイヤボンディング

駆動周波数: 5MHz

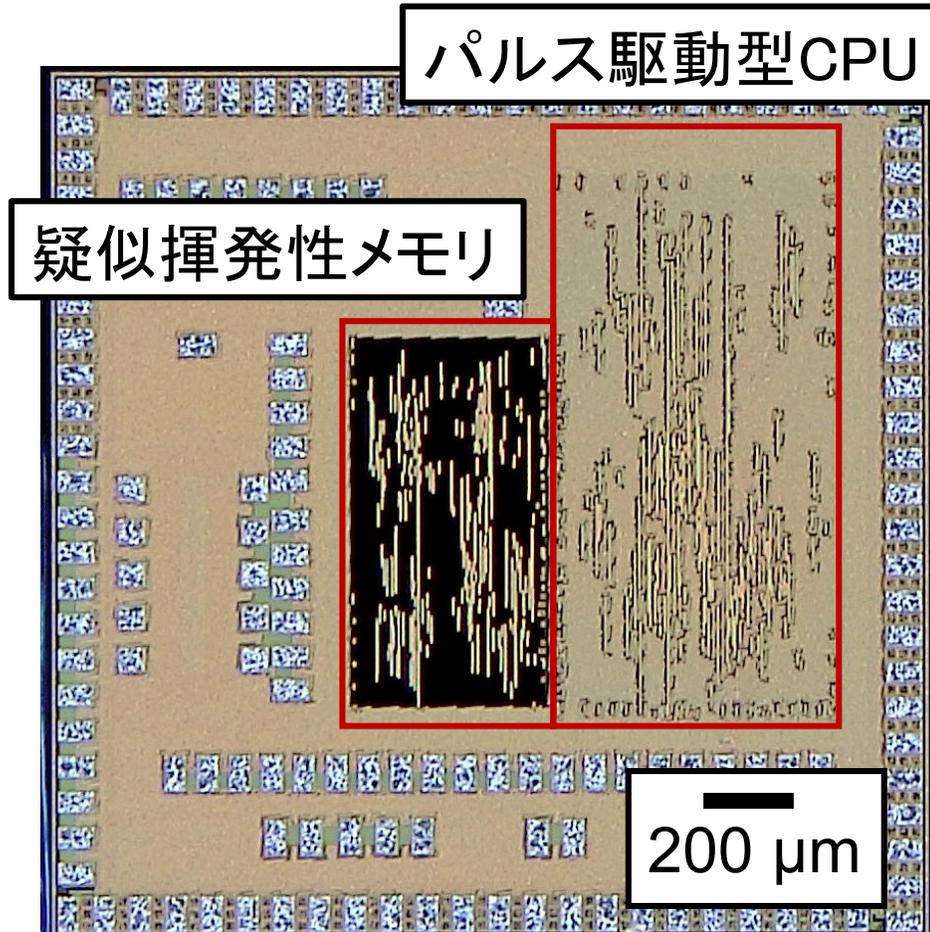
製作した評価用基板で2回路
を接続して評価



パルス駆動型CPUのみ
ワイヤボンディング

駆動周波数: 4MHz

製作したチップの電源に66.67 usのパルス電圧を印加し、
間欠駆動動作ができることを確認

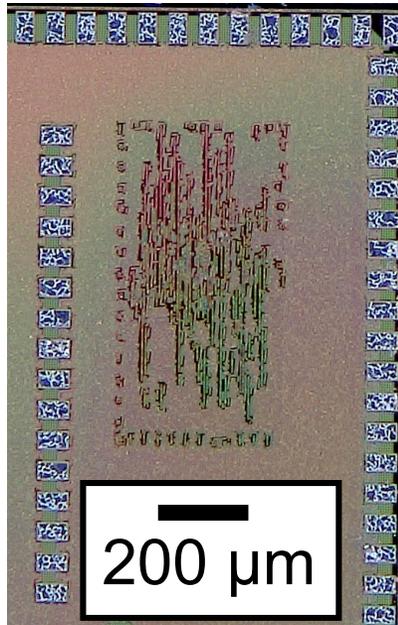


外部のテストボードを必要とせず、内部で配線し、動作できるか検証するための回路を製作
→必要面積はチップの半分程度

内部のレジスタが32個のRV32Iから16個のRV32Eに変更し、キャッシュフラグの書き込み・読み込み回数も削減

実証済みチップより低消費電力性を高めたため、一回あたりの駆動に必要なエネルギーはより少なくなると見込まれる

外部の不揮発性メモリIC
と組み合わせて動作する
パルス駆動型CPU



- 内部の揮発性メモリを使わず、外部の不揮発性メモリICを使用して動作するパルス駆動型のRISC-V
- PADから外部ICにワイヤボンディングで接続して動作させて動作させる
- 実行プログラムや、プログラム変数用のメモリも外部ICに移動したため、回路規模はかなりコンパクトになった

外部ICとの通信のための余分なバッファなどが入っているため、理想的な状況と比較すると消費電力の無駄が大きいですが、より現実的な動作を確認できる

- 研究背景・研究の目的・特許の用途
- パルス駆動型CPUの仕組み
- 特許に関連するこれまでの研究
- 特許に関連する補足事項

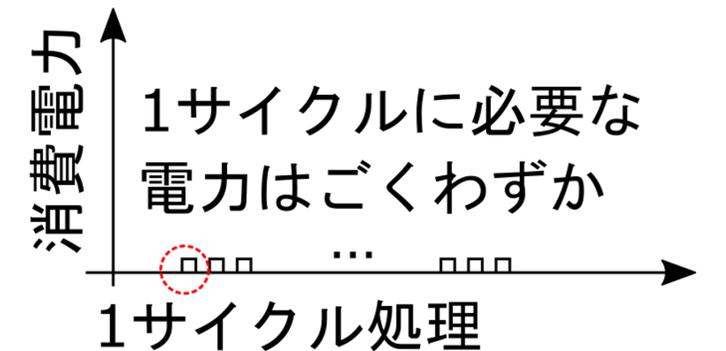
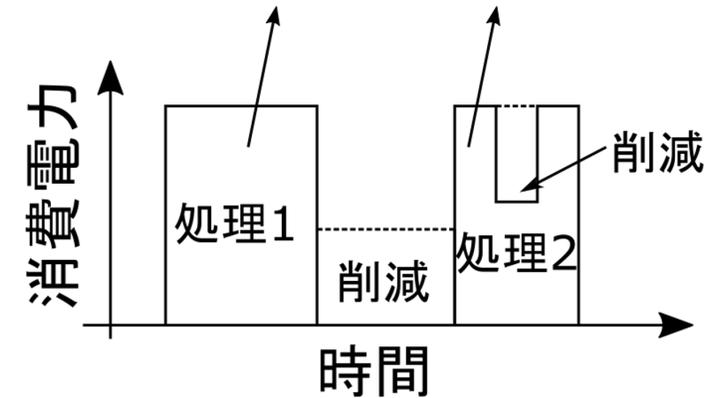
- 現在、特許が実際に動作することを確認（RISC-V CPUでパルス毎の駆動が可能なところまで開発済み）。しかし、不揮発性メモリを**同一チップ上に実装**するという点が未解決である。
- 今後は回路での検討（標準CMOSプロセスで使用可能な不揮発性メモリ）、もしくは利用可能なIPを探すことでデバイス全体の小型化を目指す。

NEDO：ノーマリーオフコンピューティング基盤技術開発
事業期間：平成23年～平成27年 予算総額：25.87億円

規模の大きいコンピュータを含む様々なデバイスを
ターゲットとしたもので、
不揮発性メモリを使うことで消費電力の低減を狙ったもの

- ごく僅かなエネルギーで動作することで
超小型デバイスを作る、というコンセプトではない
- 命令1サイクルごとの駆動など極端な動作はできない
- 超小型デバイス向けの必要最小限の機能を持つ
CPUに焦点を絞った
- パルス駆動型CPUは命令1サイクルから動作可能

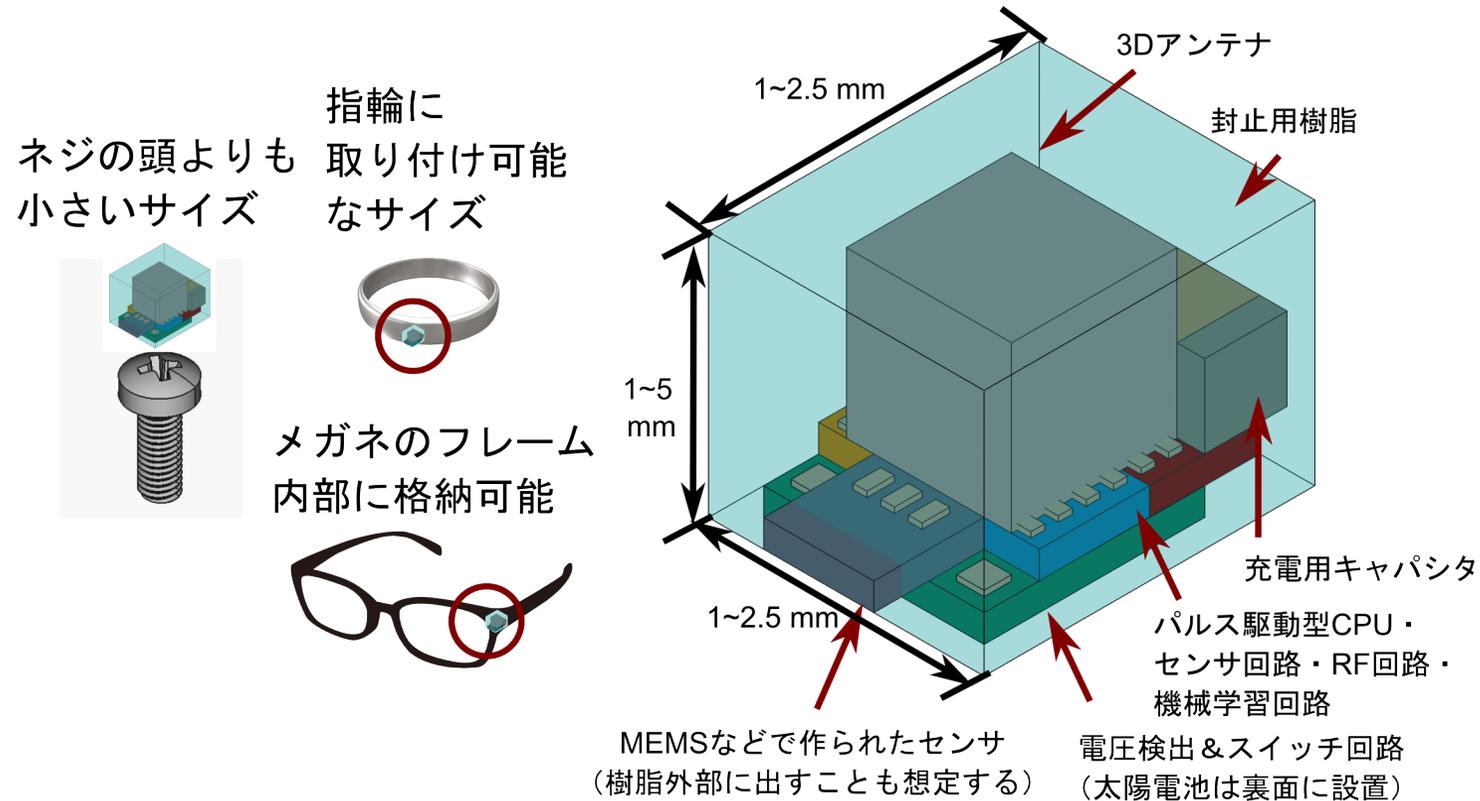
一般的には数百～数万サイクル

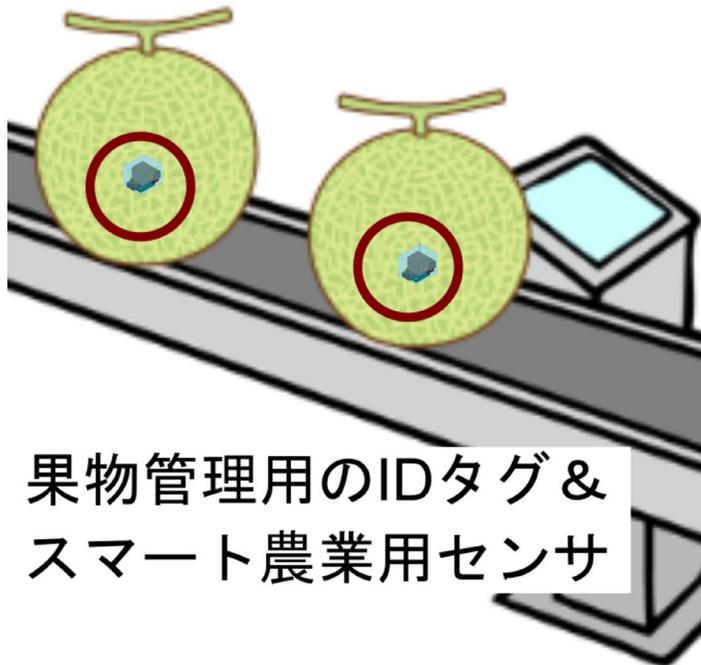


パルス駆動型CPUは命令1サイクルに必要な電力が供給できれば駆動できる

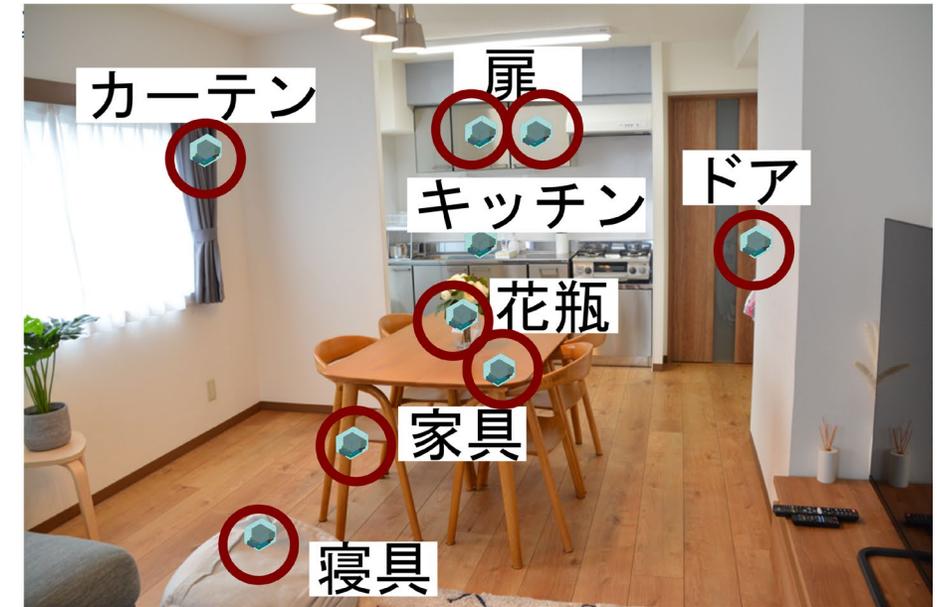
- 小型かつ間欠駆動するデバイスの制御に用いることで、微量なエネルギーを生み出すエナジーハーベスタをエネルギー源とする新規デバイスが創出可能
- 上記以外に、バッテリーを省くことで、デバイス全体を小型化することが期待される。
- また、達成された間欠駆動動作に着目すると、デバイスの消費電力低減の用途に展開することも可能と思われる。

- 数ミリ角のデバイス
- エナジーハーベスタでの駆動→間欠駆動、直接駆動どちらも想定





生育中に貼り付けて出荷時まで使用



全てのものをIoT化 → IoEの実現

研究成果を元にして、様々な企業との共同研究や、社会実装などを目指して社会へ貢献したい

- 未解決の不揮発性メモリ実装については、可能であればReRAM、FeRAM（FRAM）、MRAMなどの低消費電力な不揮発性メモリを用いたい
- そのため、不揮発性メモリの技術（特に標準CMOSのプロセスでの製造も含む）を持つ企業との共同研究を希望
- また、低消費電力デバイスを開発中の企業、エナジーハーベスティングへの展開を考えている企業には、本技術の導入が有効と思われる。試作回路をRTLレベルで提供可能。

発明の名称 ：
間欠駆動のためのパルス駆動型プロセッサ装置

出願番号 ：
特願2022-193333

出願人 ：
東京工業大学

発明者 ：
横式康史、徳田崇

東京工業大学

研究・産学連携本部 知的財産部門

T E L 03-5734-2445

F A X 03-5734-2482

e-mail sangaku@sangaku.titech.ac.jp

- 本研究の一部は、JST ACT-X [強靱化ハードウェア]リアル空間を強靱にするハードウェアの未来(JPMJAX21KL)の支援を受けたものである。
- 本研究における集積回路設計は東京大学VDEC活動を通して、日本ケイデンス株式会社、日本シノプシス合同会社およびメンター株式会社の協力で行われた。



ご清聴ありがとうございました

