

# 疑似参照クロックによる 新規スプリアス低減機構を有する フラクショナル-N PLL回路

大阪工業大学 工学部 電気電子システム工学科  
教授 吉村 勉

2024年11月5日

# 目次

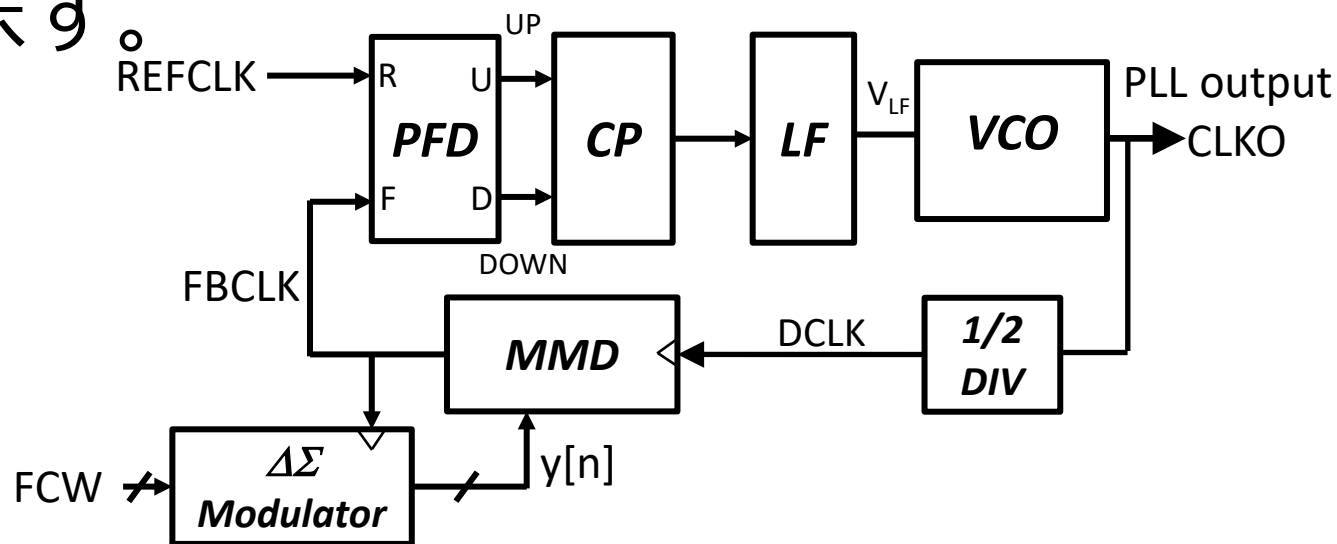
- 背景・導入
- 従来技術とその問題点
- 新技術の特徴・位置づけ
- 新規回路の特徴・従来との比較
- 新規回路の内容
- 現時点での開発状況
- 想定される用途
- 実用化に向けた課題
- 企業への期待・アピール点
- 本技術に関する知的財産
- その他

# 背景・導入

- **PLL回路（位相同期回路）** は、外部基準信号から高周波の「クロック」と呼ばれるLSI（大規模集積回路）で使われる動作基準クロックを生成する電子回路。
- PLL回路は大別して2種類ある。
  1. Integer-N PLL（整数逡倍PLL）  
⇒ 外部基準信号の整数倍の周波数のクロック信号を生成
  2. Fractional-N PLL（**フラクショナル-N PLL**）  
⇒ 外部基準信号の**(整数+小数)倍**のクロック信号を生成  
(用途：無線通信機器・デバイス、精密測定機器)

## 背景・導入(2)

- フラクショナル-N PLL(Fractional-N PLL)の回路構成を示す。



- MMD(Multi-Modulus Divider)により平均的に「整数+小数」分周を行う。
- $\Delta\Sigma$ 変調器によりサイクル毎にMMDの分周率を動的に変化させることで、上記分周動作を実現。

## 背景・導入(3)

- Fractional-N PLL回路の問題点
  1. 分周率は基本的に整数倍なので、MMDの動作に伴い、参照クロックとフィードバッククロックの位相差が出力クロックの整数倍(+a)だけ常時差をもつ。
    - **リファレンス・スプリアスの生成**
  2. 出力クロック周期と参照クロック周期とは基本的に小数部の差異があるため、サイクル毎にずれが生じる。((注)これは、Fractional-N PLLで用いている $\Delta\Sigma$ 変調器の動作に関係なく、Fractional分周比からくる本質的なもの)
    - **フラクショナル・スプリアスの生成**

# 従来技術とその問題点

Fractional-N PLLの問題点に関して、従来以下の手法等、多数の手法が研究・開発されている。

- DTCベース補正技術を用いた研究[1]
  - $\Delta\Sigma$ 変調器の動作逡倍化(Over Clocking)[2]
  - 電流DAC + サンプリングフィルタ + デザリング[3]
- etc.

[1] S. Levantino, *et al.*, IEEE J. S. S. C, vol. 49, no. 8, pp. 1762–1772, Aug. 2014.

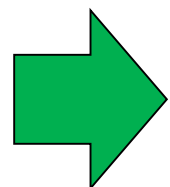
[2] D. Murphy, *et al.*, IEEE J. S. S. C, vol. 58, no. 9, pp. 2513–2525, Sept. 2023.

[3] K. J. Wang, *et al.*, IEEE J. S. S. C, vol. 43, no. 12, pp. 2787–2797, Dec. 2008.

## 従来技術とその問題点(2)

前述の従来技術は以下の問題点がある。

- 遅延特性の線形性補正や環境変動などで遅延が変動しないようなバックグラウンド補正が必須(←DTCベース補正)
- 回路高速化を目指した回路規模増大(並列化), トランジスタ高速化(←Over Clocking)
- 電流DAC追加による回路規模・面積増大+デジタル回路の追加(←電流DACによる補正)



**回路規模増大・補正制御が必要**

# 新技術の特徴・位置づけ

Fractional-N PLL回路は、現在の回路構成が発案されてから、30年以上が経っているが、実際、スプリアスの生成に関して今まであまり詳細に解析・検討されてきてはいないといえる。

特に、**フラクショナル・スプリアス**については、「参照クロックと出カクロックとの非線形カップリング」や「 $\Delta\Sigma$ 変調によるスプリアス・トーン」が主な原因とする文献(前述の文献[3])もあり、それに伴いスプリアス低減の対策も直接的でないものが多かった。



# 新技術の特徴・位置づけ(2)

今回、我々はFractional-N PLL回路におけるスプリアス生成について、新しい知見に基づく低減機構を提案した。具体的には以下の通り。

## 1. リファレンス・スプリアスの低減

$\Delta\Sigma$ 変調器による分周率の変化からくる位相変動を、疑似参照クロックとフィードバッククロックとの位相差から人工的に生成し、参照クロックとフィードバッククロックの位相差出力（=PLL制御信号）から差し引くことで、位相変動分をキャンセルする。

# 新技術の特徴・位置づけ(3)

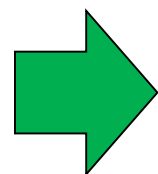
(前ページ続き)

## 2. フラクショナル・スプリアスの低減

参照クロックと疑似参照クロックとの位相差は、本質的に参照クロックと発振器出力クロックとの位相差に他ならない。これは、フラクショナル・スプリアスの原因となるもの。

上記の位相差出力から、フラクショナル周期の遅延変動を抽出し、最終的に、出力クロックに同期したフラクショナル・スプリアスの元となる信号を生成する。

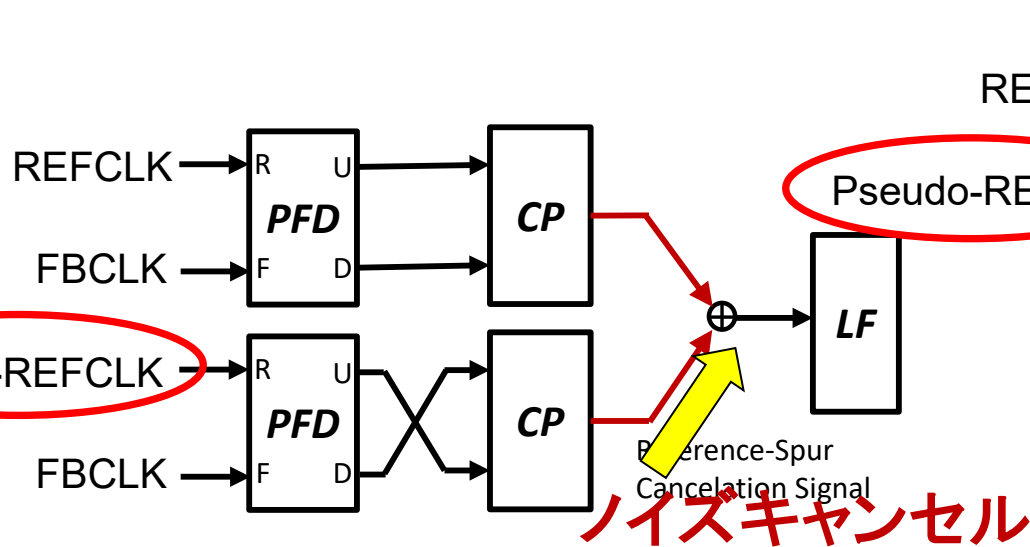
最終的にPLL制御信号から上記生成信号を差し引く。



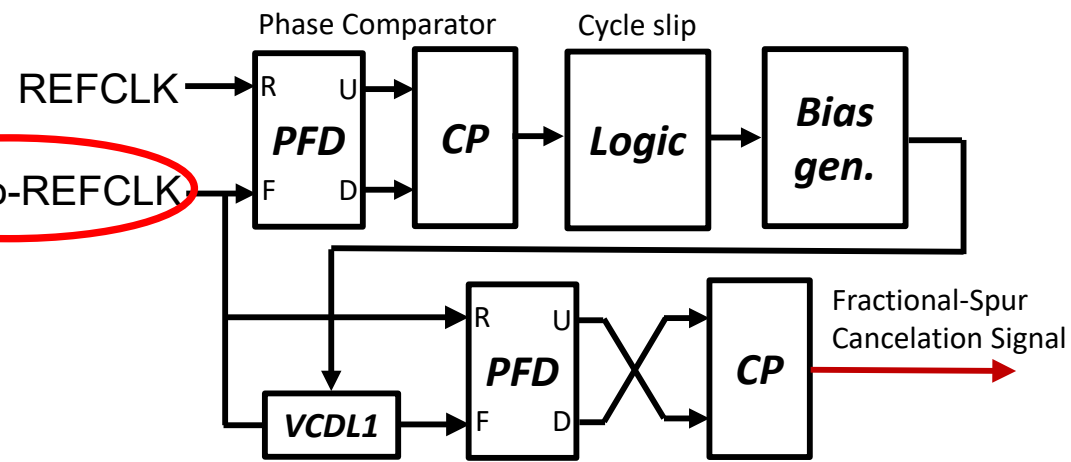
**疑似参照クロックを用いたスプリアス低減**

# 新技術の特徴と従来との比較

今回のスプリアス低減機構は、従来のスプリアス低減の仕組みとは全く異なる。①比較的トランジスタ数の少ない**小規模の回路で実現可能** ②スプリアスの原因に対して直接補正する**効果的な低減手法**



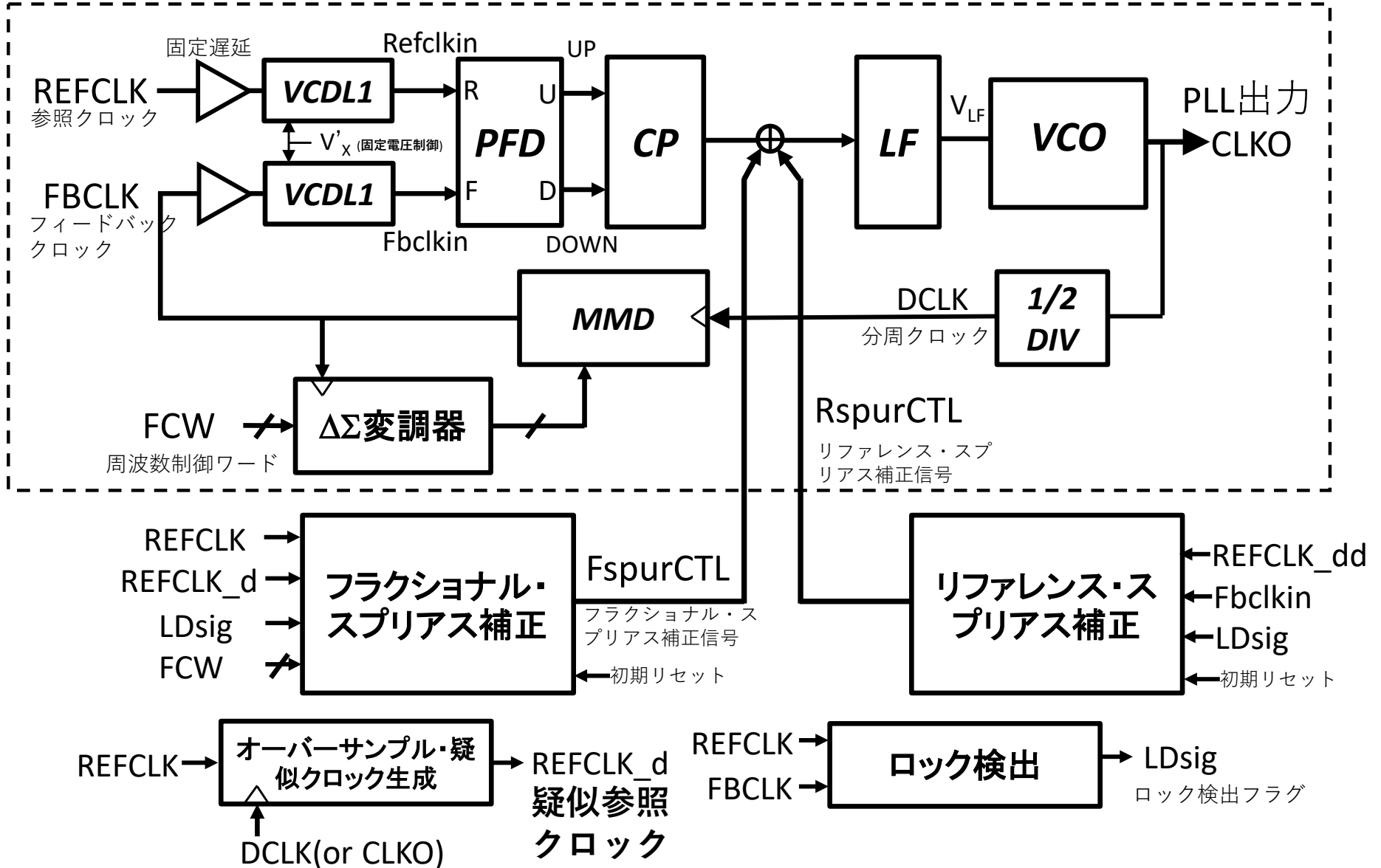
リファレンス・スプリアス低減



フラクショナル・スプリアス低減

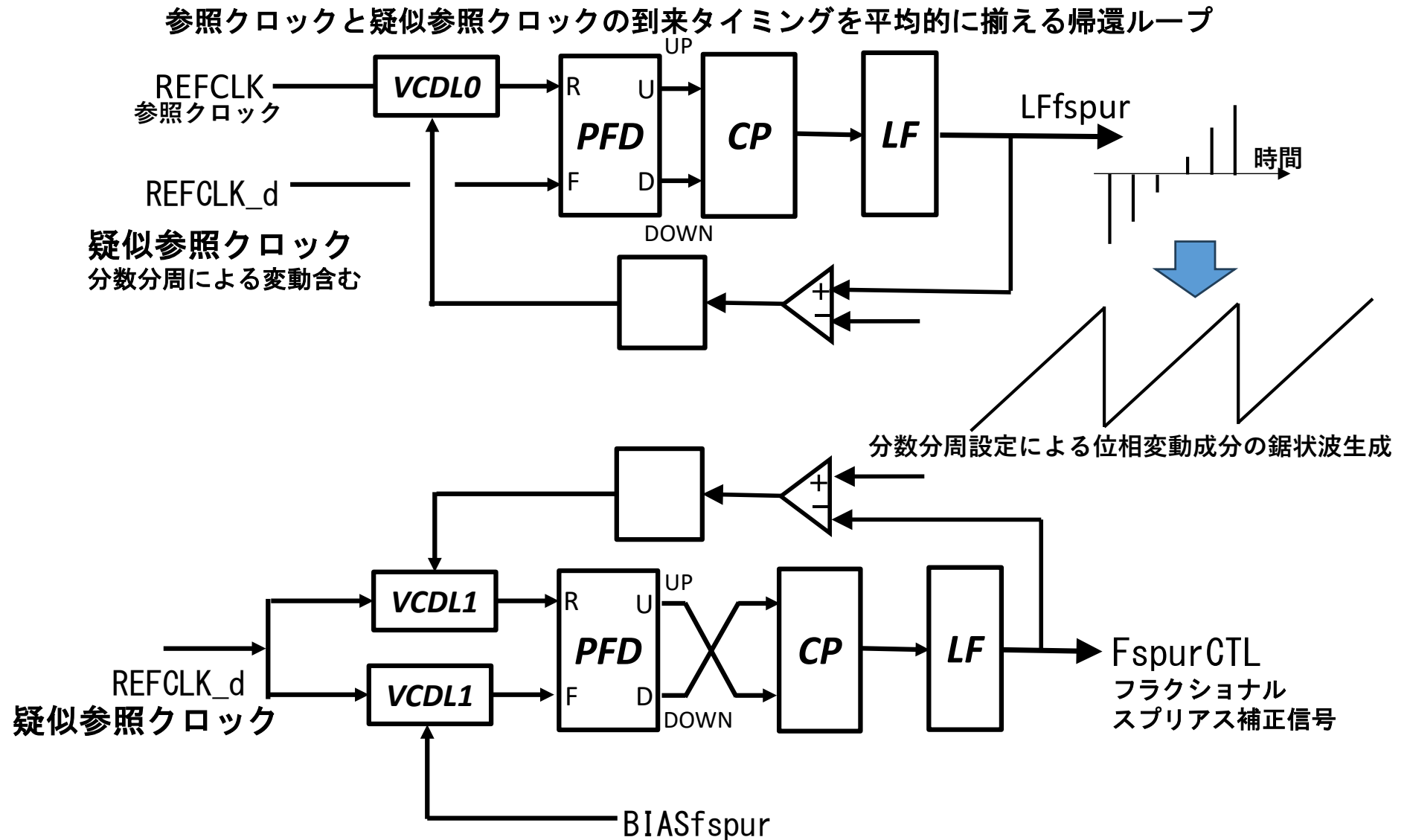
# 新規回路の内容

## (全体構成)



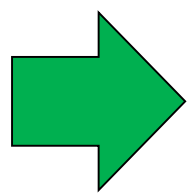
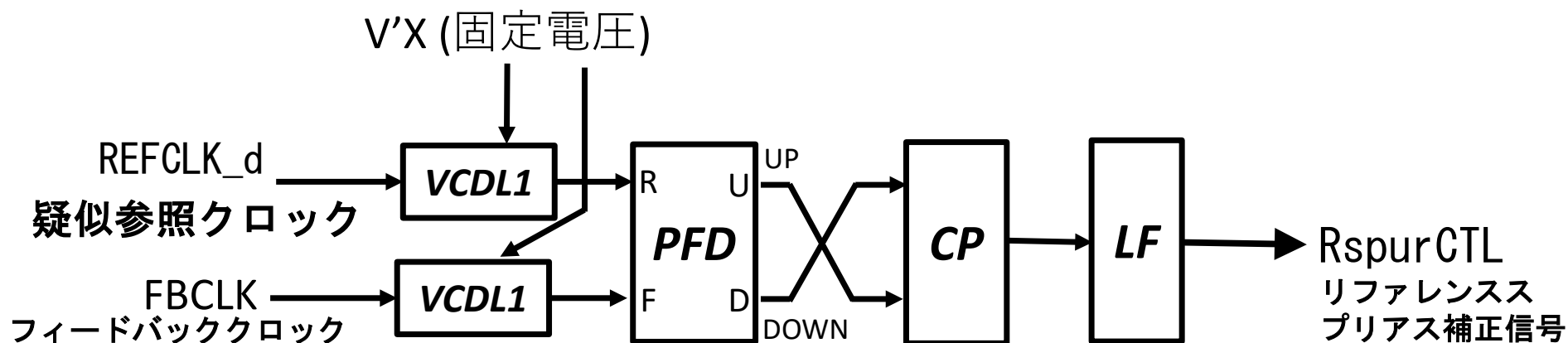
# 新規回路の内容(2)

## (フラクショナル・スプリアス補正部)



# 新規回路の内容(3)

## (リファレンス・スプリアス補正部)



本発明のメイン回路にあたるブロックの  
トランジスタレベル設計完了

# 現時点での開発状況

## ビヘイビアモデル(MATLAB/Simulink)による解析(1)

- リファレンス・スプリアス低減効果

条件：Fractional-N PLL (2.5125GHz動作)

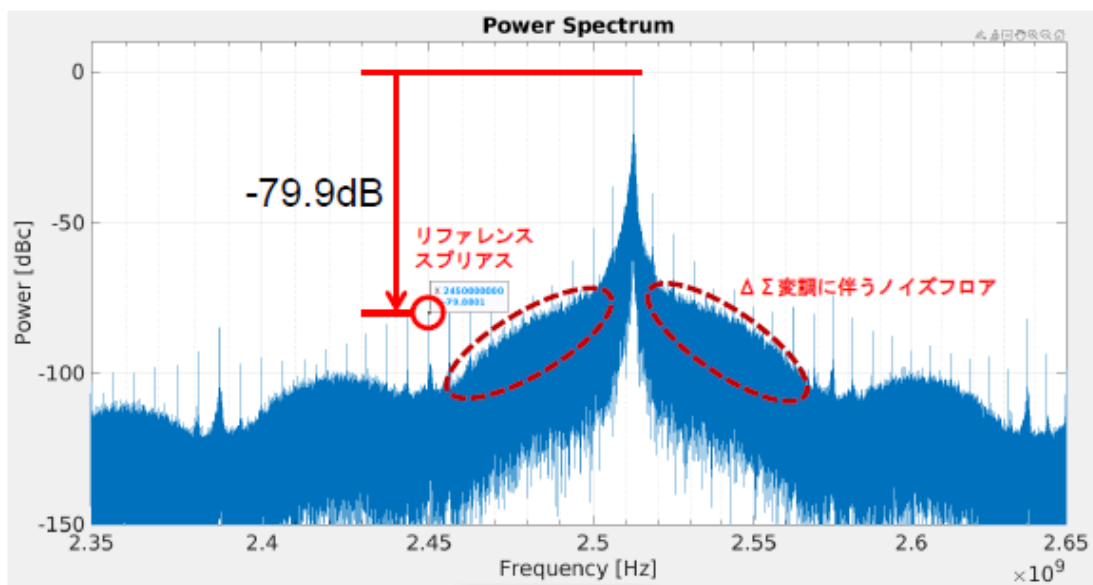


図1 通常のFractional-N PLL  
(スプリアス低減なし)

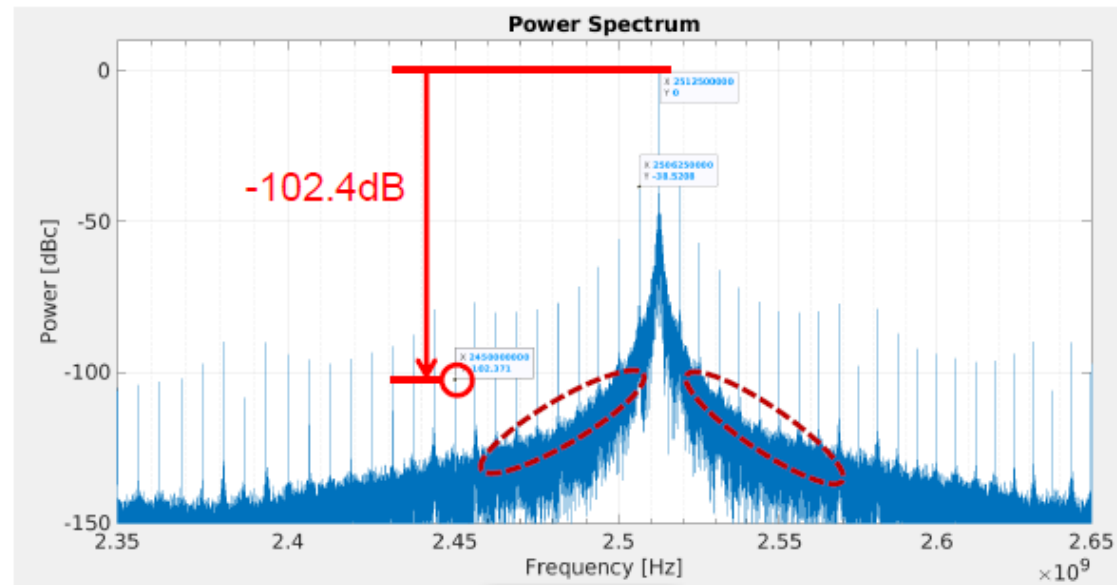


図2 提案のFractional-N PLL  
(リファレンス・スプリアス低減あり)

リファレンス・スプリアス：

-79.9dBc (通常) ⇒ -102.4dBc (リファレンス・スプリアス低減あり)

同時に、 $\Delta\Sigma$ 変調に伴うノイズフロアレベルが低減

# 現時点での開発状況

## ビヘイビアモデル(MATLAB/Simulink)による解析(2)

- フラクショナル・スプリアス低減効果

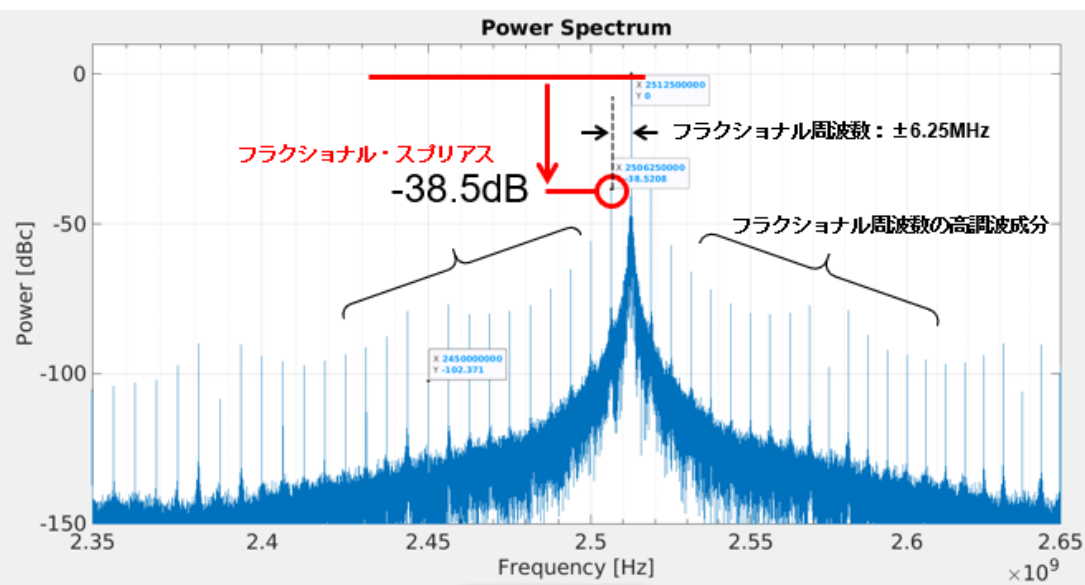


図3 提案のFractional-N PLL  
(リファレンス低減ON, フラクショナル低減OFF)

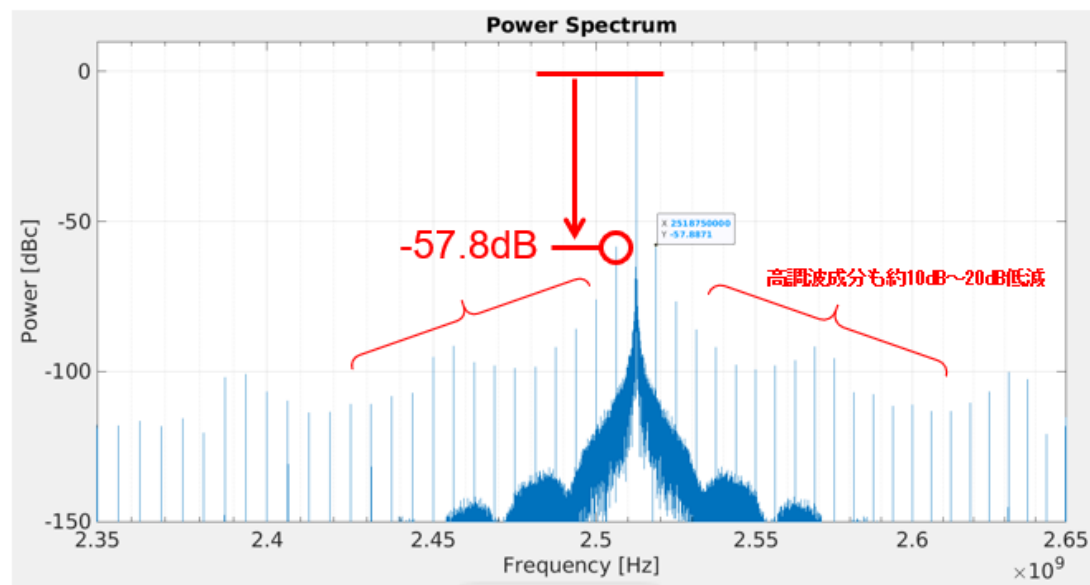


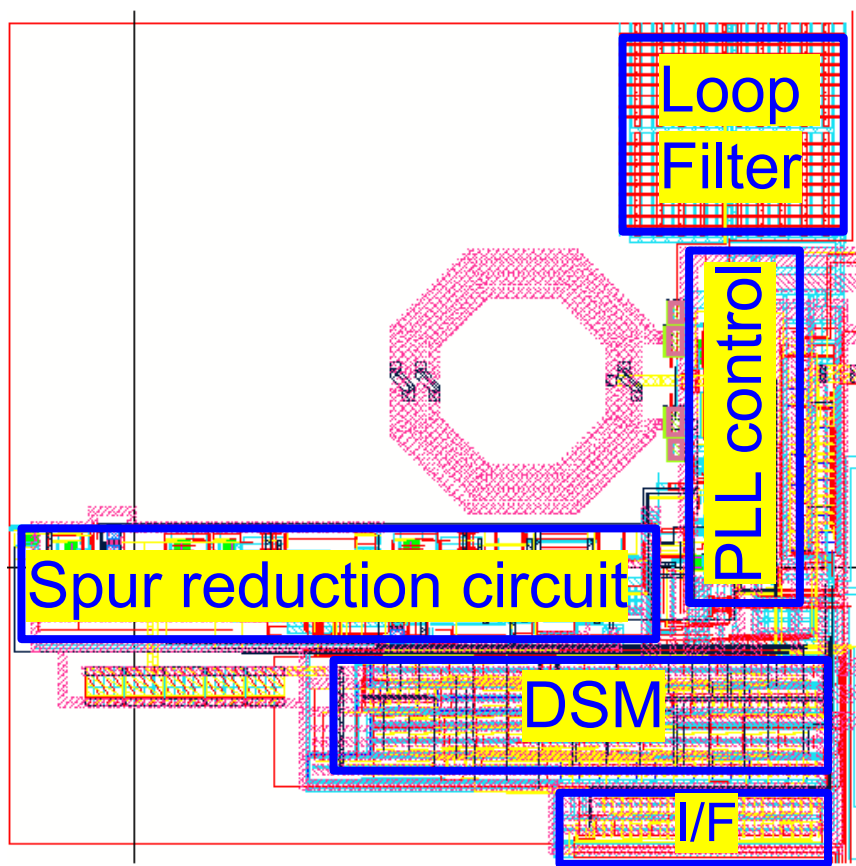
図4 提案のFractional-N PLL  
(リファレンス低減ON, フラクショナル低減ON)

フラクショナル・スプリアス(フラクショナル周波数: 6.25MHzでの値)  
**-38.5dBc** (フラクショナル低減OFF) ⇒ **-57.8dBc** (フラクショナル低減ON)  
 同時に、高調波スプリアス成分も約10dB~20dBほど低減



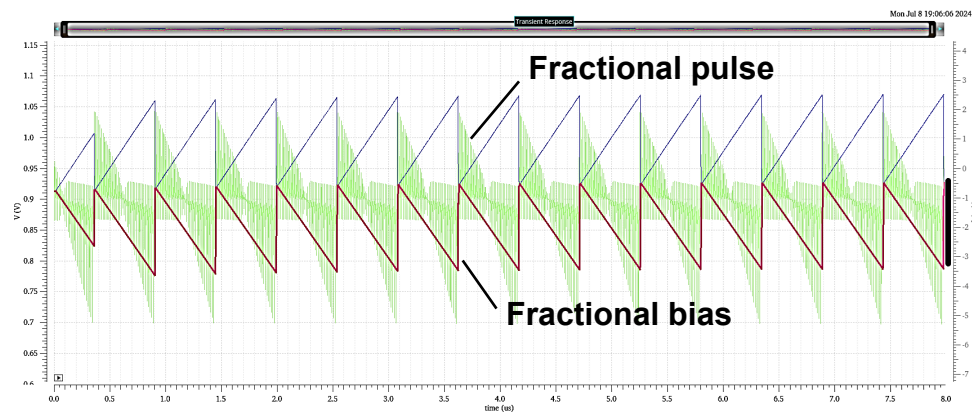
# 現時点での開発状況(2)

テストチップを ローム社製0.18 $\mu$ m CMOSプロセスを用いて設計した(2024年9月テープアウト)。2025年1月～3月に試作チップを測定する予定。



## テストチップレイアウト図

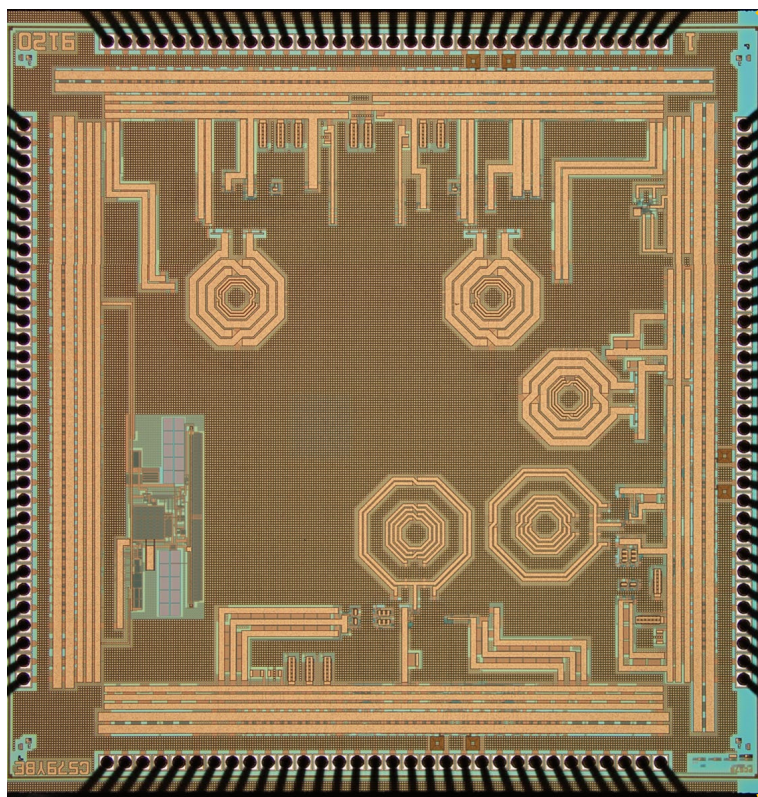
ローム社製0.18 $\mu$ m CMOSプロセス  
2.5GHz動作、参照クロック:78MHz  
 $\Delta\Sigma$ 変調器:MASH 1-1、12bit



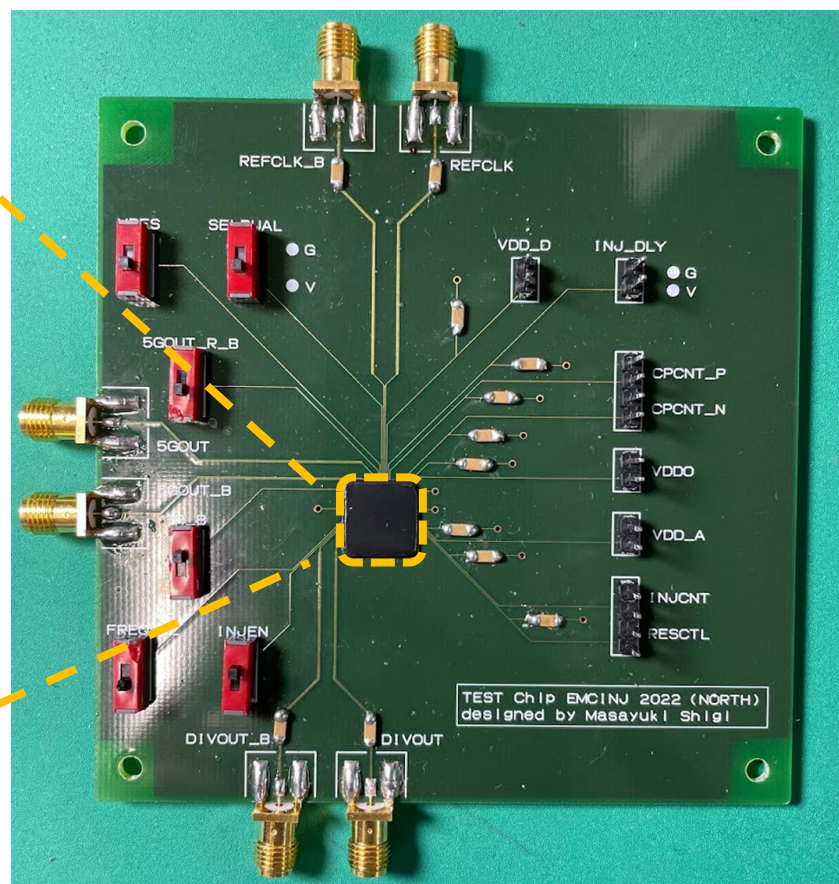
回路シミュレーション波形

# 現時点での開発状況(3)

2024年9月テープアウトのテストチップは12月にベアチップを基板実装し、高周波特性評価を行う。



チップ写真(イメージ)



評価ボード(イメージ)

# 想定される用途

- 本技術は、**高周波集積回路の設計**に関するもので、以下の分野に適用される。
  1. 無線通信機器およびデバイス  
WiFi等を用いる無線機器に搭載される半導体デバイス内に実装、もしくはクロック専用ICの回路として用いられる。
  2. 精密測定機器の内部回路  
オシロスコープ等の精密な時間測定を有する測定機器の内部回路として用いられる。



## 想定される用途(2)

(用途続き)

- 前述の用途以外に、今回の回路技術を半導体集積回路内に実装された**従来の逓倍用PLLの置き換えに展開**することも考えられる。  
(性能向上、コスト低減の可能性)
- また、「**疑似参照クロック(信号)による補正・キャンセル技術**」という観点で従来用いられた回路の補正技術(アナログ・デジタル共)を見直すことも考えられる。

## 実用化に向けた課題

- 現在、基本的な回路構成や設計については開発し、テストチップを製作中。理想的な条件におけるシミュレーションでは効果を確認しているが、実際の系での効果についてはこれからとなる。
- 今後、テストチップの測定を行い、実機に適用していく場合の条件設定を行っていく。
- 実用化に向けて、先端プロセスでの実機における効果の確認が必要。

## 企業への期待

- 実機による効果の検証はこれからとなるが、本技術を、関連する回路を設計・開発する企業に提供したい。
- 半導体集積回路の設計技術を持つ企業との共同研究を希望。
- また、高周波回路を開発中の企業、無線通信分野への展開を考えている企業には、本技術の導入が有効と思われる。

# 企業への貢献、PRポイント

- 本技術は、デバイスプロセスには依存しない回路技術に関するものであるため、半導体集積回路の他、基板での回路設計技術に転用することもでき、用途に応じてより企業に貢献できると考えている。
- 本技術を用いた先端プロセスでの設計・検証を企業との共同研究で行うことで、技術力のアピールに繋げることも可能。
- 本格導入にあたっての技術指導等も継続的に行うことが可能。

# 本技術に関する知的財産権

- 発明の名称 : フラクショナル-N型PLL回路
- 出願番号 : 特願2024-191156
- 出願人 : 学校法人常翔学園
- 発明者 : 吉村 勉



# 科研費、産学連携等の経歴

- 2024年-2027年 JSPS・科学研究費助成事業・基盤C  
「カップリングオシレーターを用いたイジングマシンの  
高性能化に関する研究」
- 2019年-2022年 JSPS・科学研究費助成事業・基盤C  
「複数の発振器を持つ同期系における相互干渉のメカニ  
ズム解明とその低減」
- 2013年-2015年  
半導体理工学研究センター(STARC)と共同研究実施  
(フィージビリティ・スタディ(FS))

# お問い合わせ先

大阪工業大学

学長室 研究支援社会連携推進課

T E L 06-6954-4140

e-mail [oit.kenkyu@josho.ac.jp](mailto:oit.kenkyu@josho.ac.jp)