

電磁場コントローラを用いて発振器の 電磁波ノイズを大幅削減

大阪工業大学 工学部 電気電子システム工学科
教授 吉村 勉

2026年3月10日

目次

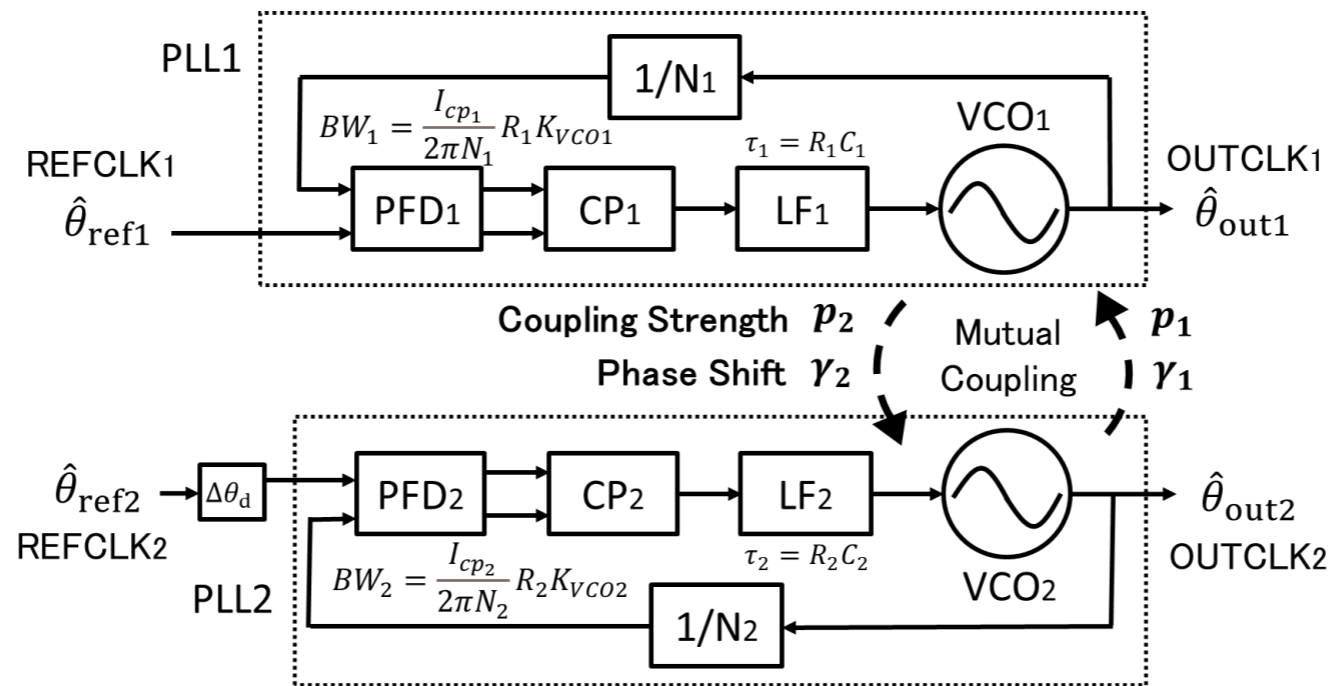
- 背景・導入
- 従来技術とその問題点
- 新技術の特徴・位置づけ
- 新規回路の特徴・従来との比較
- 新規回路の内容
- 現時点での開発状況
- 想定される用途
- 社会実装への道筋
- 企業への期待・アピール点
- 本技術に関する知的財産
- その他

背景・導入

- 高速・高集積化の集積回路において、「オンチップインダクタ（コイル）」が様々な用途で用いられている。
 - ✓ LC-tank 発振器
 - 高周波発振源として最も一般的。位相ノイズやプロセスばらつきに対しリング発振器より優れる
 - ✓ フィルタ回路
 - LC共振を用いたフィルタ回路として様々な用途で用いられる。（狭帯域フィルタ、周波数マッチング etc.）
 - ✓ 負荷素子
 - パワーアンプやLNAの負荷素子として高周波領域での動作に使用

背景・導入(2)

- 高周波・高集積のLSIにおいて、複数の発振器（もしくはオンチップインダクタ回路）が近接配置することにより相互干渉の可能性あり



- （例）発振器の相互干渉により、ある条件下でPLLが制御不能となる場合あり。 (T. Yoshimura, TCAS-I, vol. 69, No. 8, pp. 3260-3271, 2022.)

従来技術とその問題点

コイルの動作に伴うノイズ（電磁ノイズ）の抑制に関して、多数の手法が研究・開発されている。

- コイルを用いた回路(発振器・パワーアンプ)の動作周波数調整[1]
- 発振器・パワーアンプ(PA)間干渉抑制用小型コイル配置[1]
- 8の字コイルによる電圧制御発振器[2,3]
- 発振器間相互インジェクションによるノイズ低減[4] etc.

[1] Z. Aboush, et al., proceeding of 11th European Microwave Integrated Circuits Conference, pp. 1-4, 2016.

[2] D. Yang, et al., IEEE J. S. S. C, vol. 57, no. 12, pp. 3552-3566, Dec. 2022.

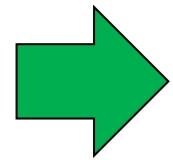
[3] P. Guan, et al., IEEE Open Journal of the Solid-State Circuits Society, vol. 4, pp. 131-146, Sept. 2024.

[4] T. Yoshimura, TCAS-I, vol. 69, No. 8, pp. 3260-3271, 2022.

従来技術とその問題点(2)

前述の従来技術は以下の問題点がある。

- コイル間干渉ノイズを抑制するための動作周波数変更はシステム上制約が大きい。（例えば送信系・受信系が同一周波数と規定されている場合は適用不可）
- 電磁吸収用小型コイルの配置はレイアウト面積および動作周波数の制限により効果が限定的
- 8の字コイル等コイル形状の工夫によるノイズ低減もレイアウト面積増大や配置の制約あり



システム制約やレイアウト面積増加への工夫が必要

新技術の特徴・位置づけ

オンチップインダクタを用いた回路は、現在GHzクラスの高速度・高周波の回路動作が一般的となってきた集積回路において、益々重要なパーツといえる。

そのコイル動作にともなう電磁ノイズをいかに削減し、他の回路との干渉を低減するかは、高性能アナログフロントエンド回路の高性能化において喫緊の課題となっている。

今回提案する「電磁場コントローラを用いた発振器」は、そのようなコイル間電磁ノイズの低減を、レイアウトやシステムの制約を最小限にしながら効率的に実現する手法と考えられる。

新技術の特徴・位置づけ(2)

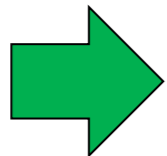
今回提案する技術の特徴を以下に述べる。

1. 回路実装が容易

ノイズ源となるオンチップインダクタに対して、ほぼ同じ形状で別コイルを配置することで実現。またごく小規模の追加回路を実装すればよく、面積や回路規模での制約が最小限に抑えられる。

2. 効率よい低減効果

8の字コイルなどの形状の工夫でみられる場所依存性などの制約がなく、全方位での電磁ノイズ抑制を実現。

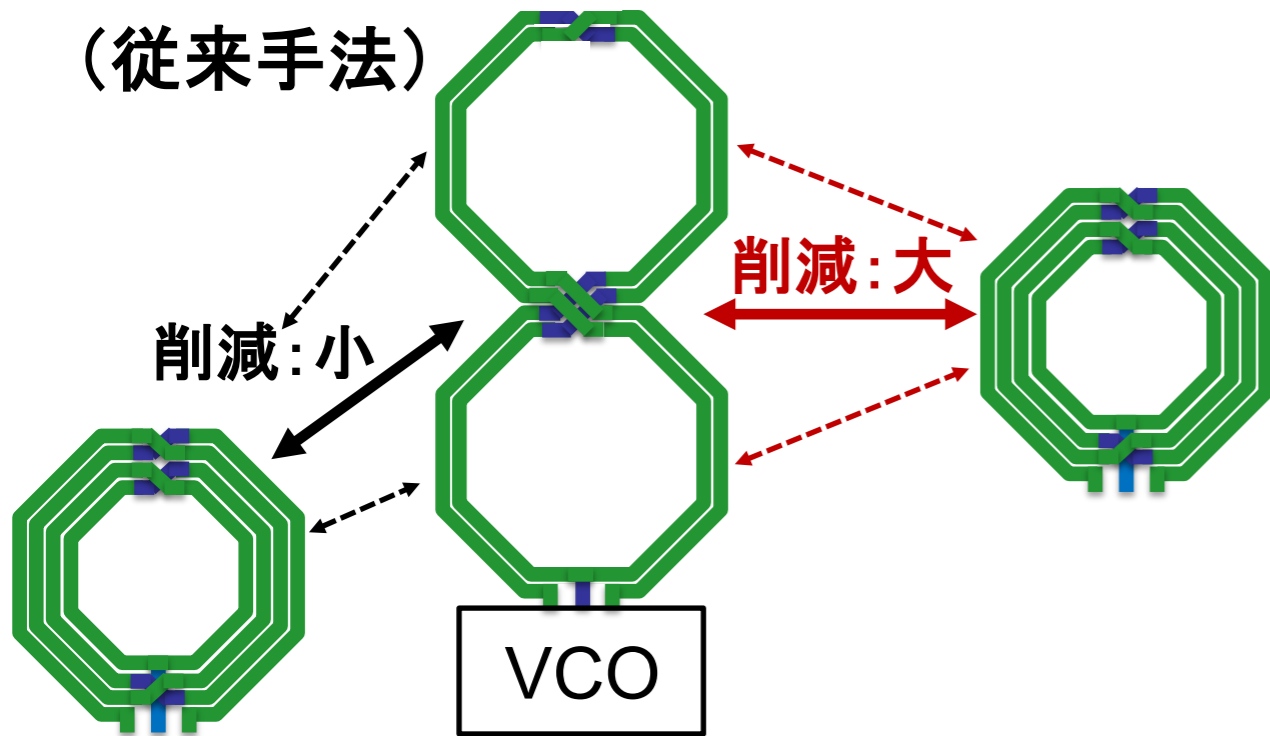


実装が容易かつ効果的な低減手法

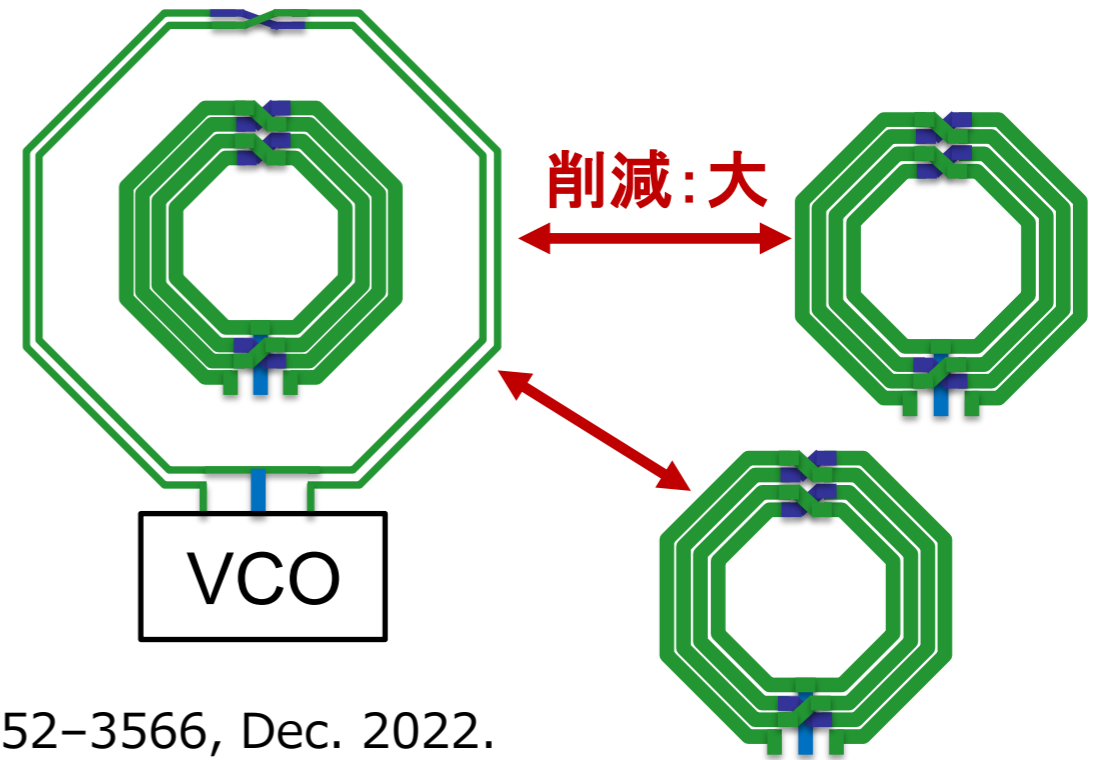
新技術の特徴と従来との比較

8の字型コイルにおいて、対称な位置での電磁カップリング削減効果は大きいものの、それ以外の位置だと削減効果が小さいことが報告されている[1]。本提案の回路では全方位での削減が可能。

(従来手法)



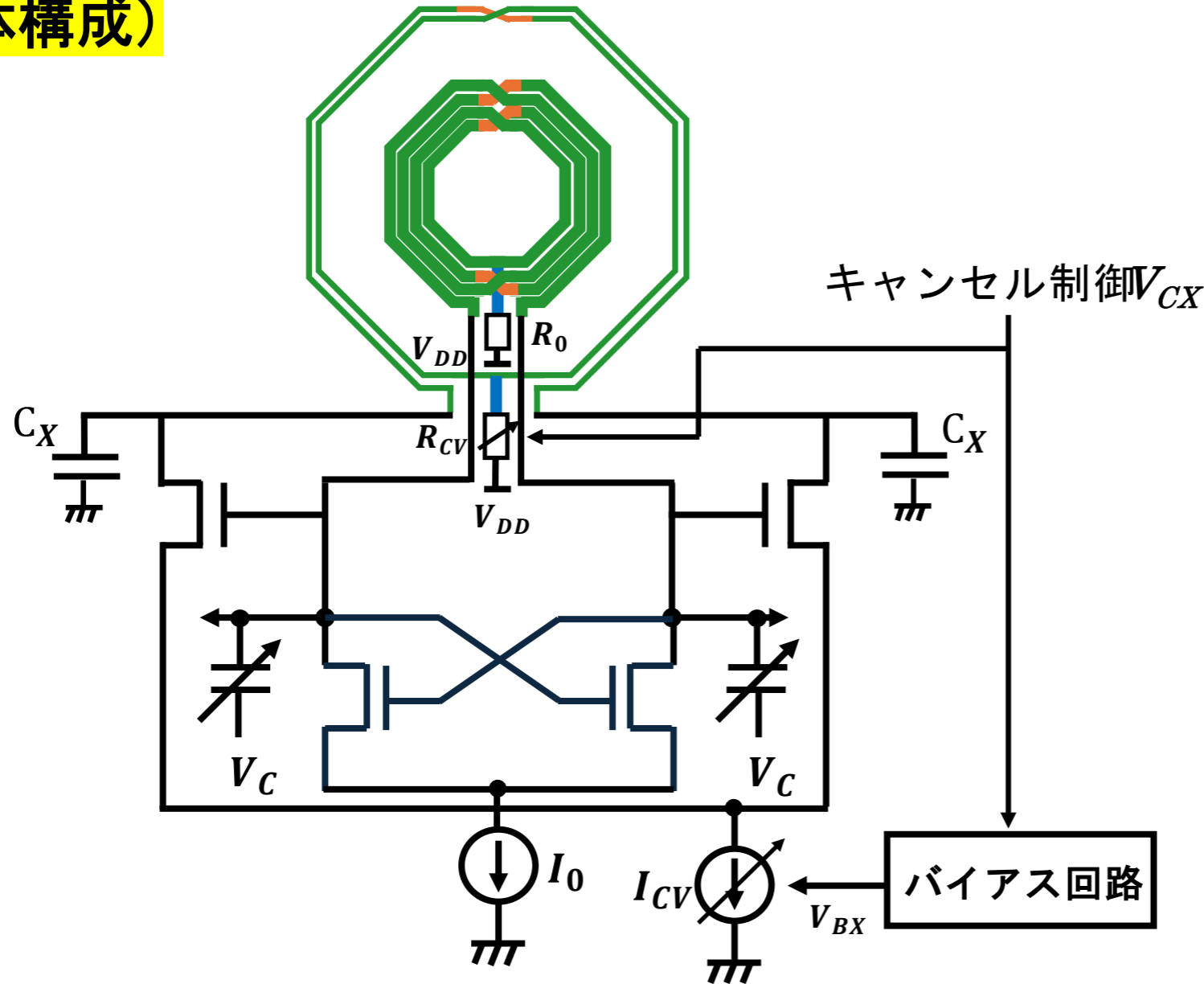
(提案手法)



[1] D. Yang, et al., IEEE J. S. S. C, vol. 57, no. 12, pp. 3552–3566, Dec. 2022.

新規回路の内容

(全体構成)

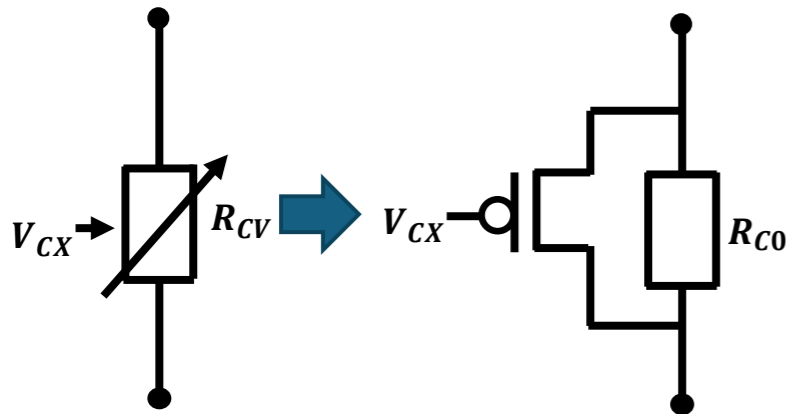


(回路動作)

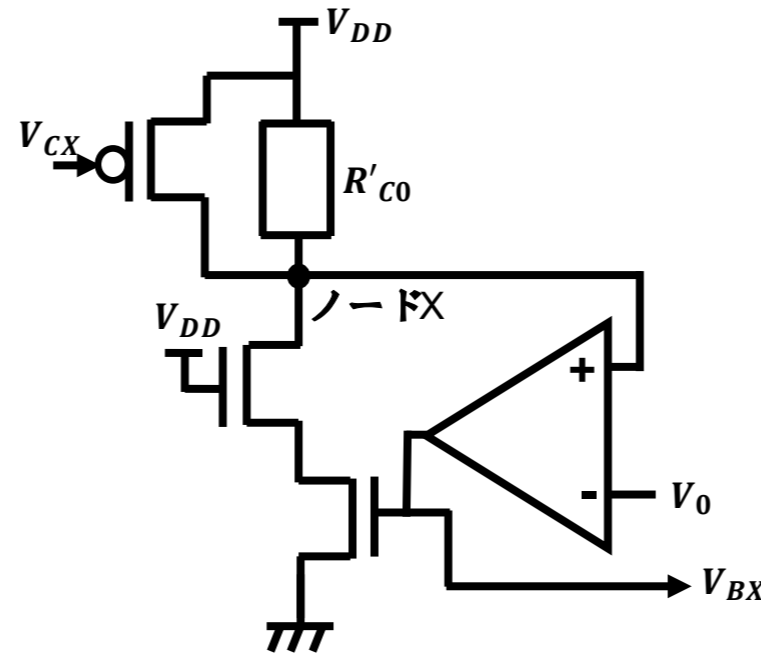
- ✓ LC-tank VCOのコイル外側に電磁場コントローラ用コイルを配置
- ✓ コントローラ用コイルに発振器と逆位相電流を印加
- ✓ 印加電流強度を外部バイアスで調整

新規回路の内容(2)

(強度可変部・バイアス回路)



(可変抵抗)



(バイアス回路)

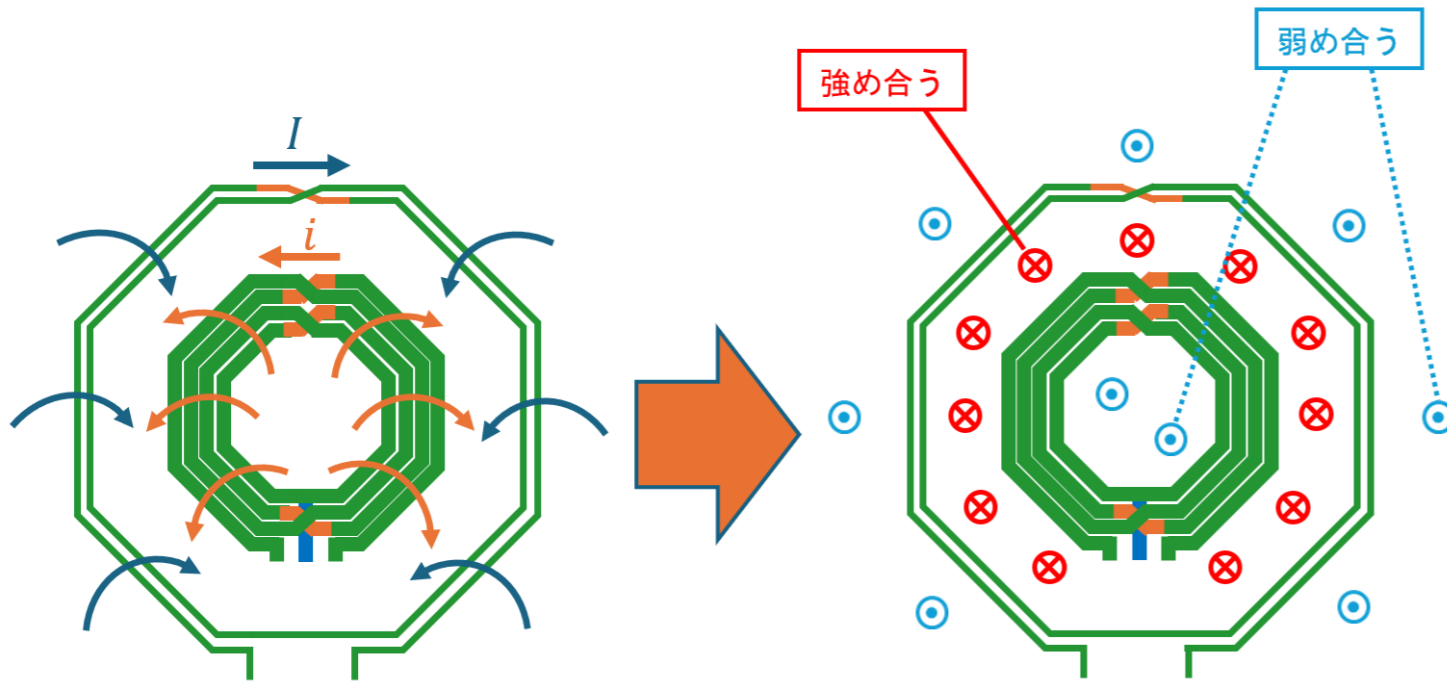
(特徴)

- ✓ 外部調整端子を用いて可変抵抗値を調整
- ✓ 可変抵抗部の値によってバイアス回路は印加電流を決定

➡ 外部端子によりコイルに生じる電磁界の強度を調整

新規回路の内容(3)

(電磁場コントローラ動作原理)

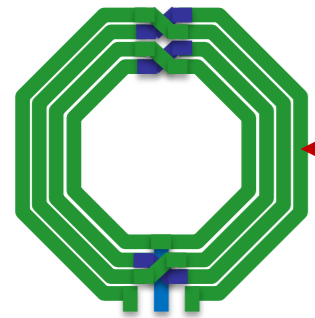


(動作)

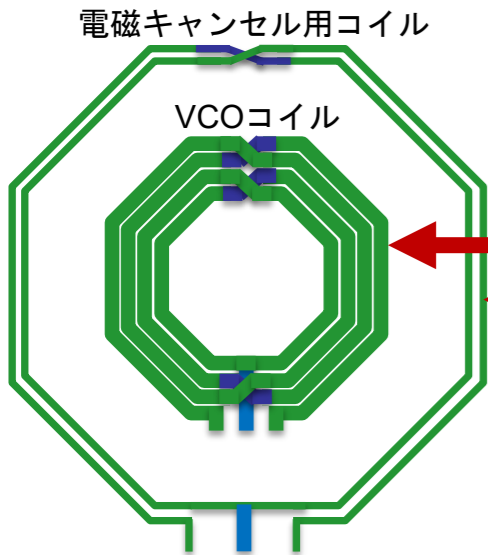
- ✓ 発振器コイル(内側)とは逆位相の電流を電磁場コントローラコイル(外側)に流す
- ✓ それぞれのコイルで発生する磁界が逆向きとなり打ち消し合い、電磁カップリングノイズが低減する

新規回路の内容(4)

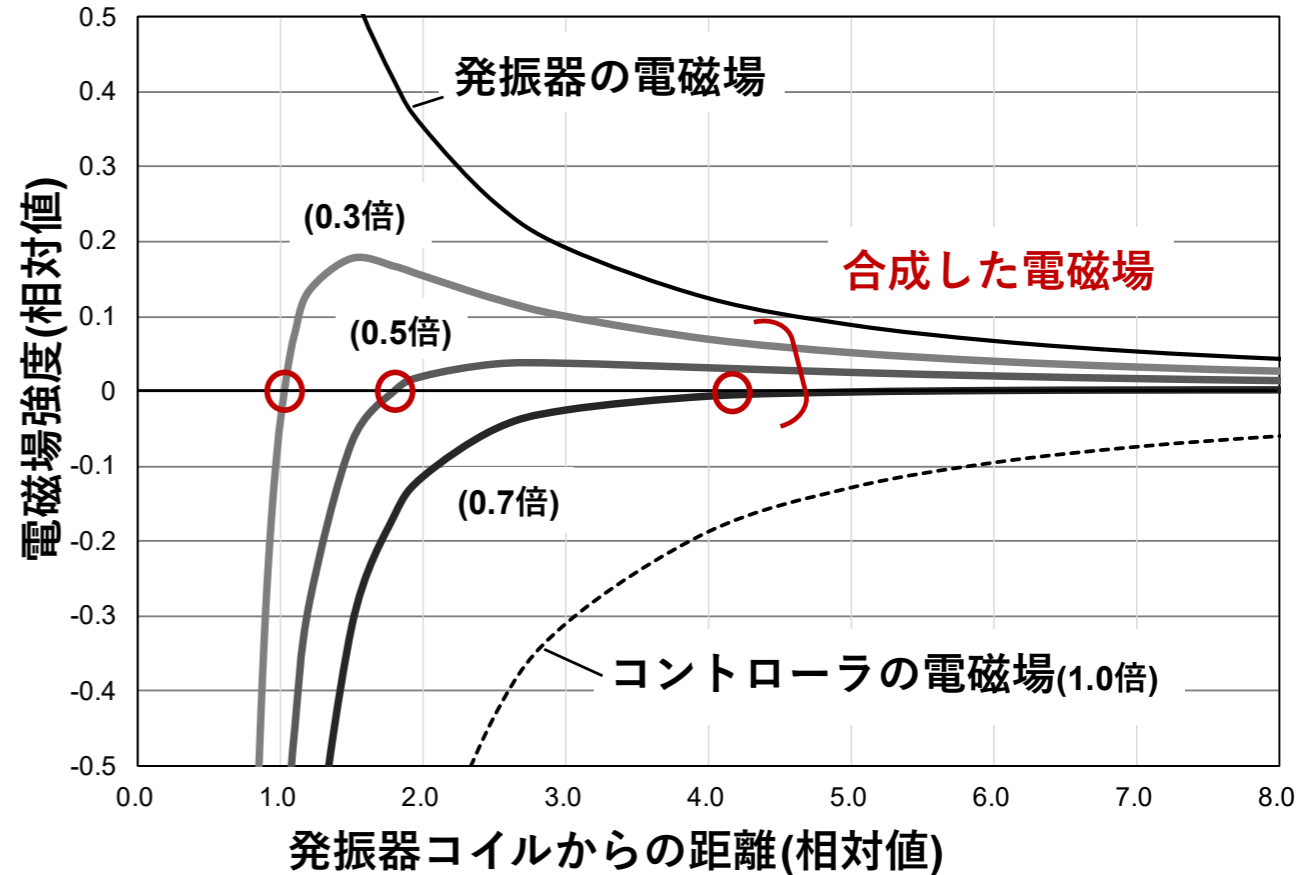
(電磁場コントローラ動作原理(その2))



点Pでの電磁界強度
⇒ 距離(L)の約1.5次に反比例
(電磁界Simより)



点Qでの電磁界強度
⇒ VCOコイルと電磁場コントロールコイルとの合成



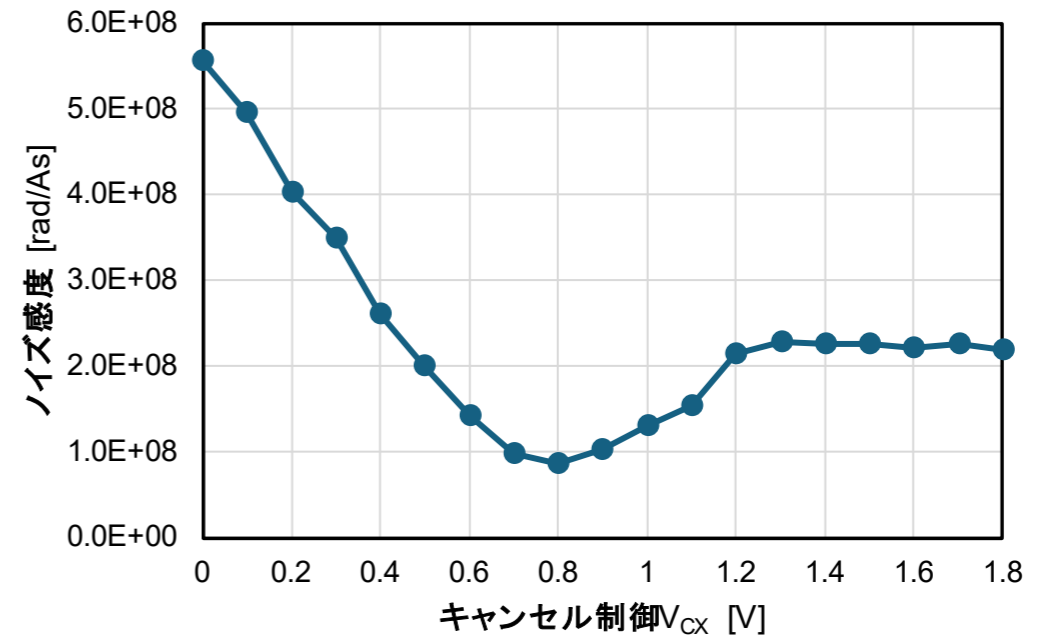
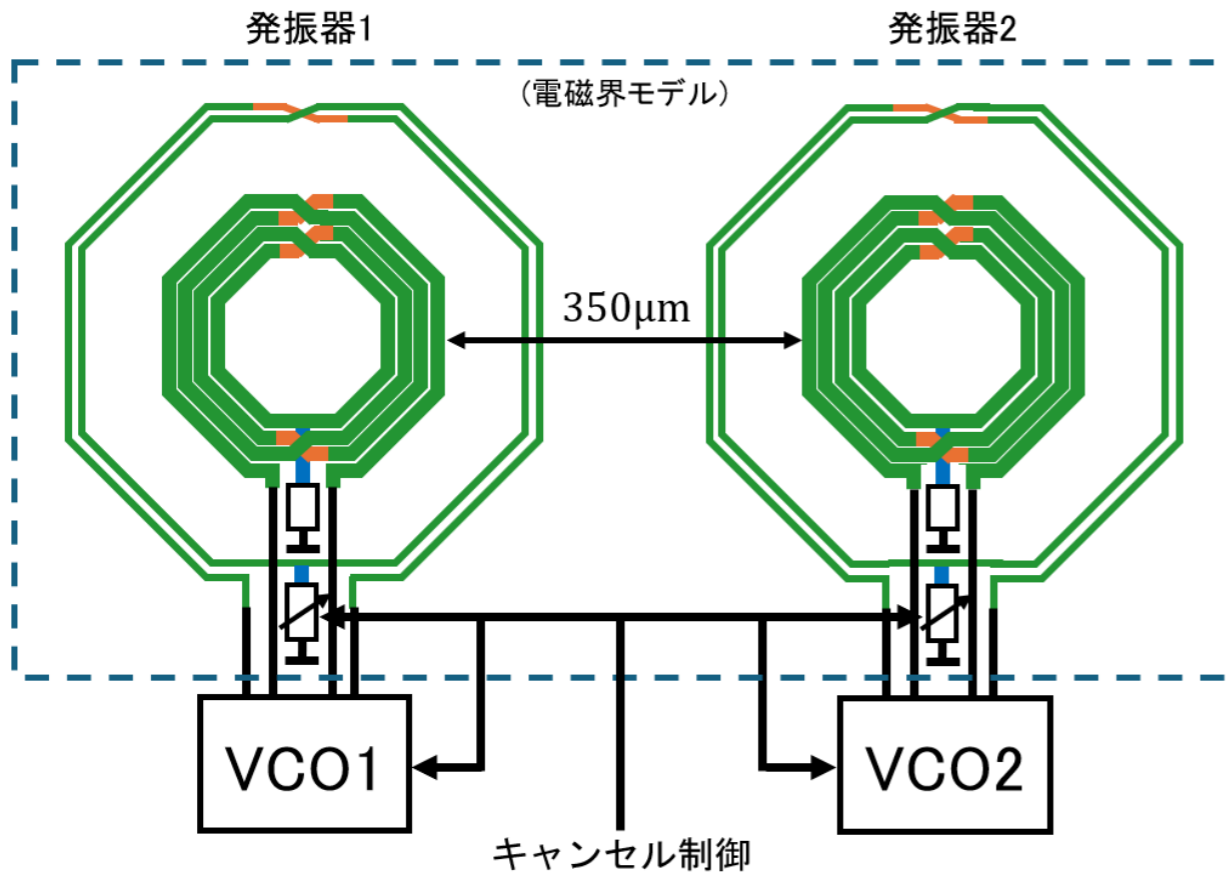
⇒ **コントローラの強度調整で電磁場を抑制できる距離の調整が可能**

現時点での開発状況

回路シミュレーションによる評価・解析

(シミュレーション条件)

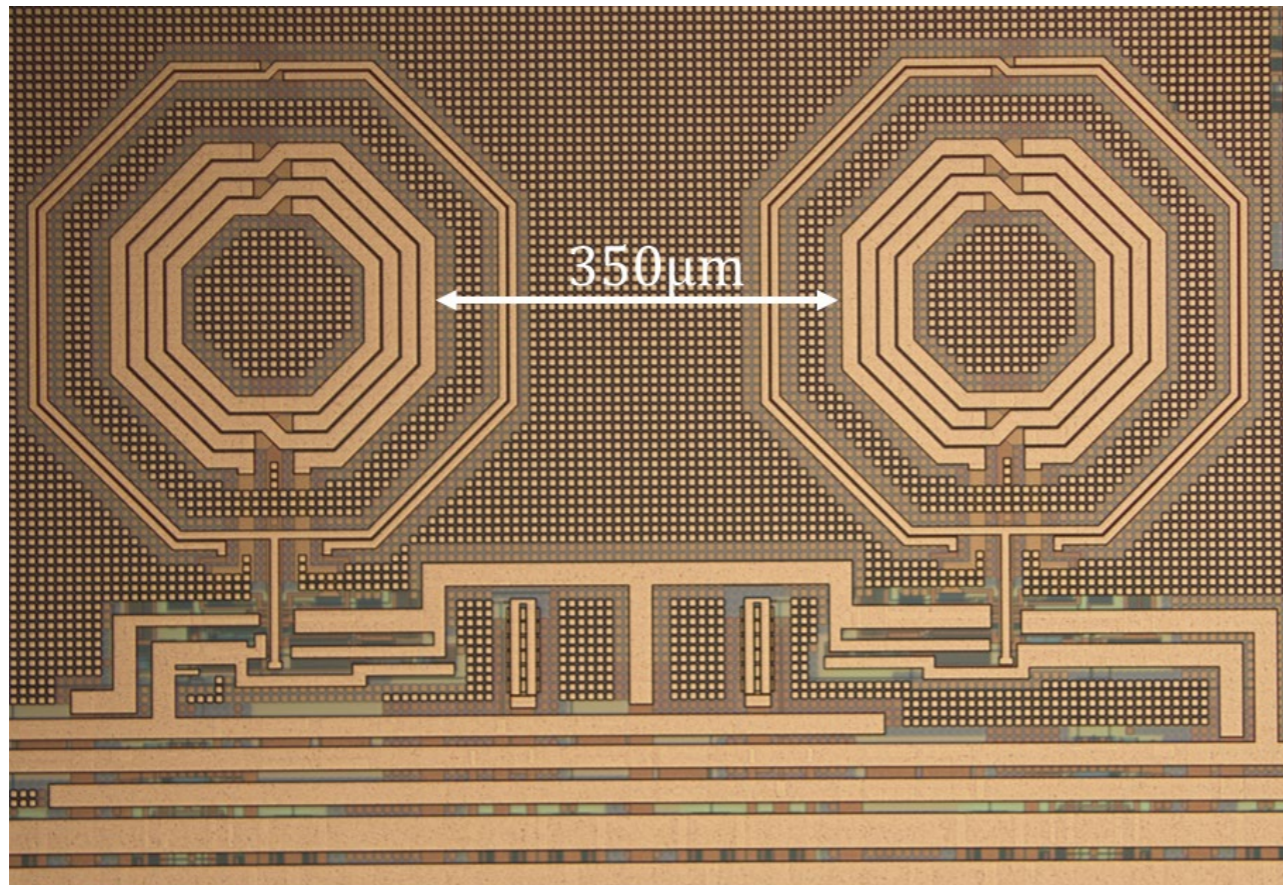
- ✓ 発振器を2.5GHz & 2.5GHz+オフセット周波数の条件で動作させ、コントローラの強度を変えた場合のノイズの変化を解析



(発振器単体のノイズ感度評価)

現時点での開発状況(2)

テストチップによる評価・解析



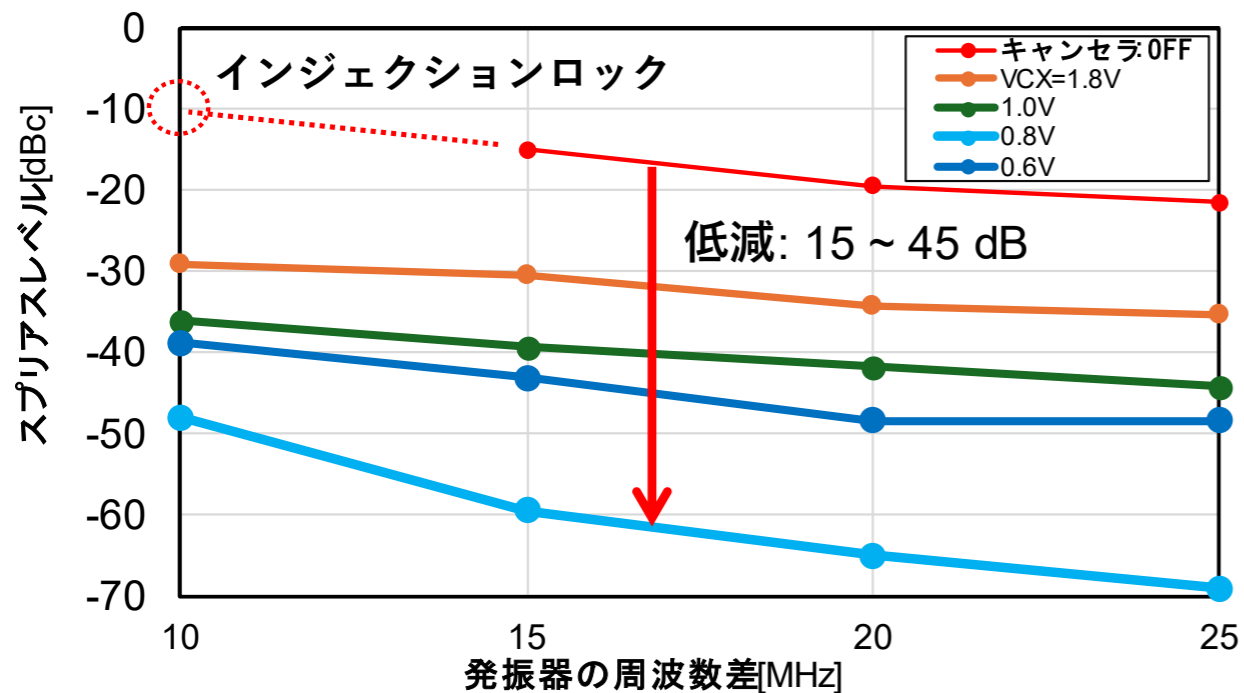
(VCOテストチップのチップ写真)

(内容)

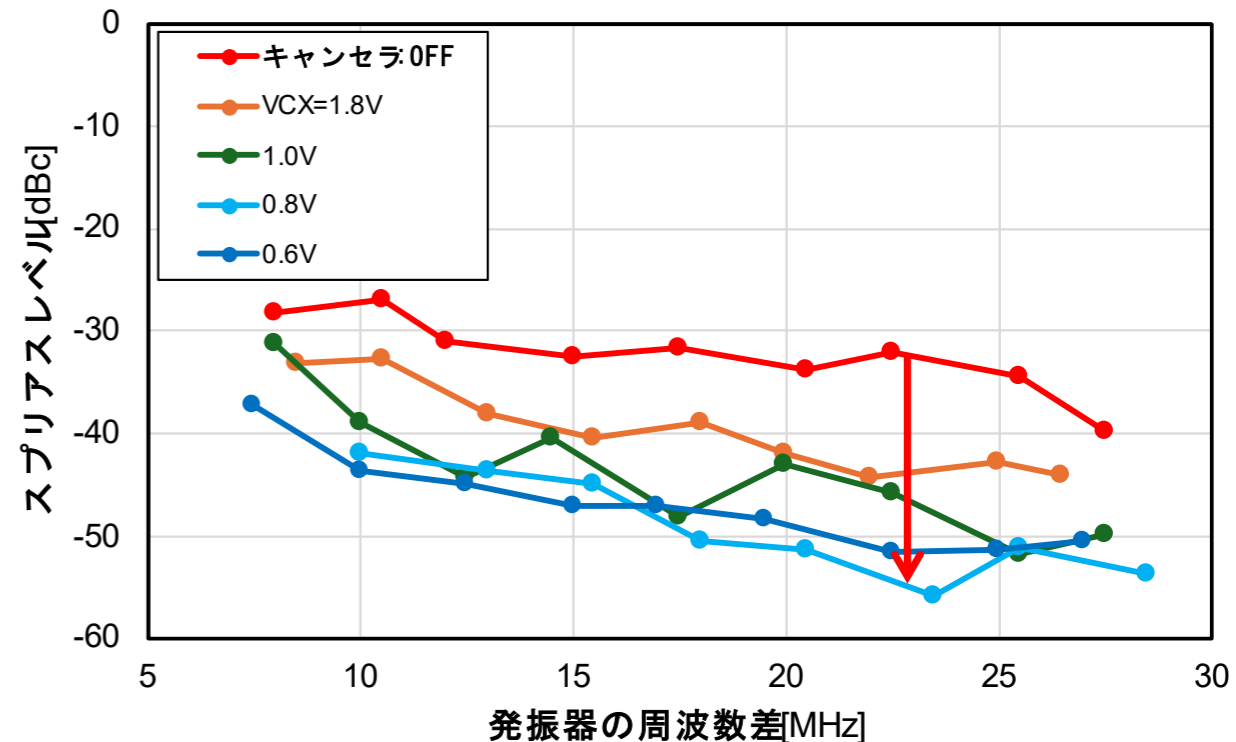
- 0.18μm 標準 CMOSプロセス
- 動作周波数: 2.4GHz~3.0GHz
- 電磁キャンセラ付きVCOを実装
- コイル間距離: 350μm (=VCOコイル直径)
- 出力スプリアスにより、キャンセラ動作を測定

現時点での開発状況(3)

テストチップによる評価・解析(2)



(電磁界モデルを用いた回路Sim)



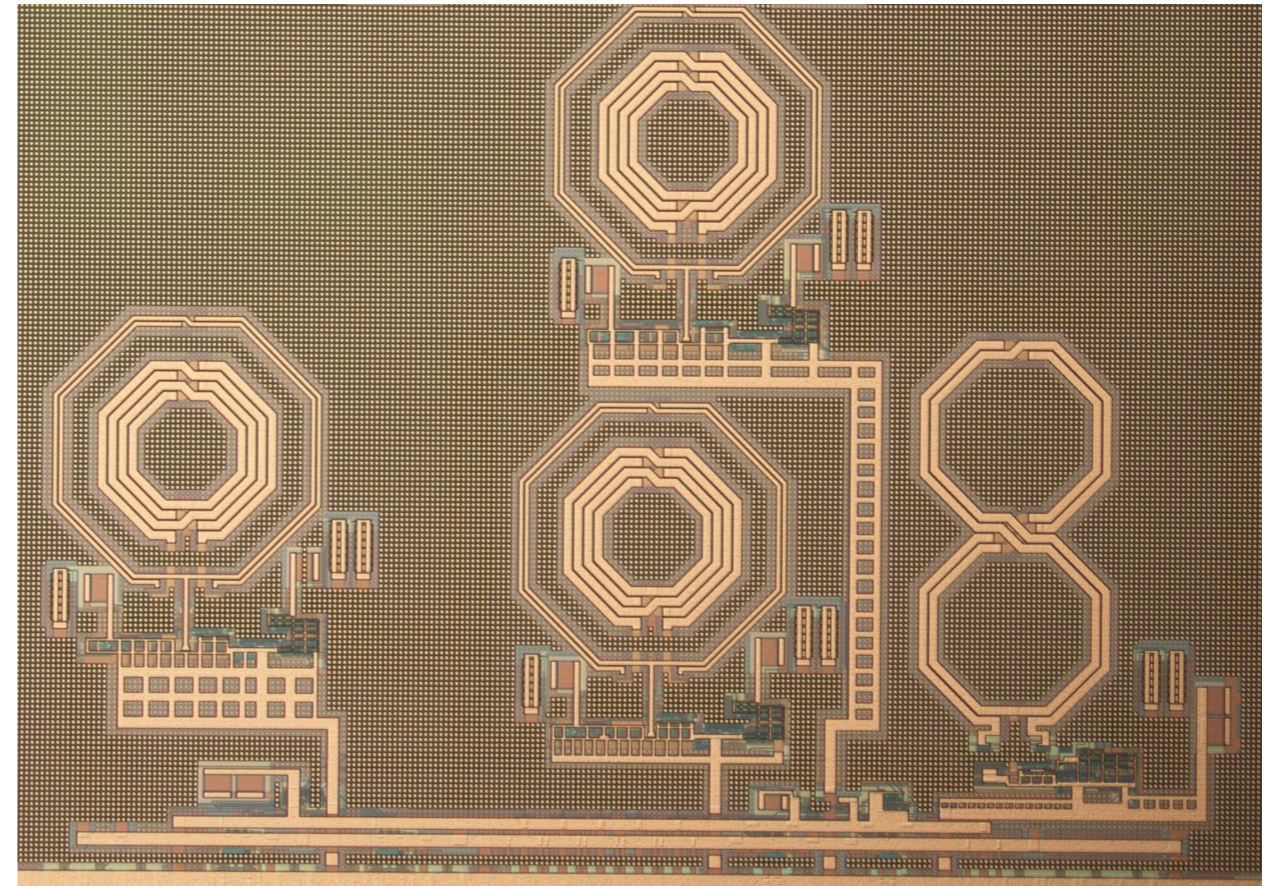
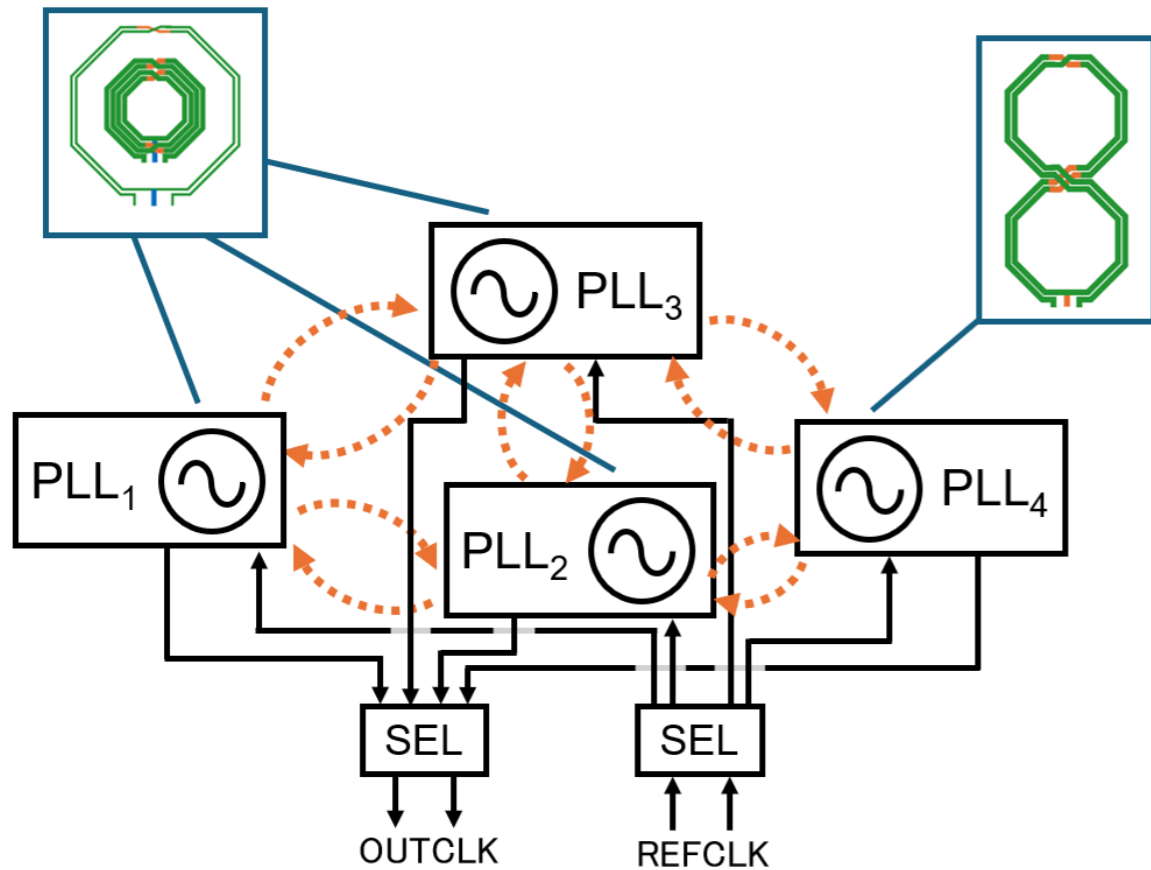
(テストチップ実測)

➡ スプリアス値は、回路Sim: 15~45dB、実測: 10~20dB 低減した

現時点での開発状況(4)

テストチップによる評価・解析(3)

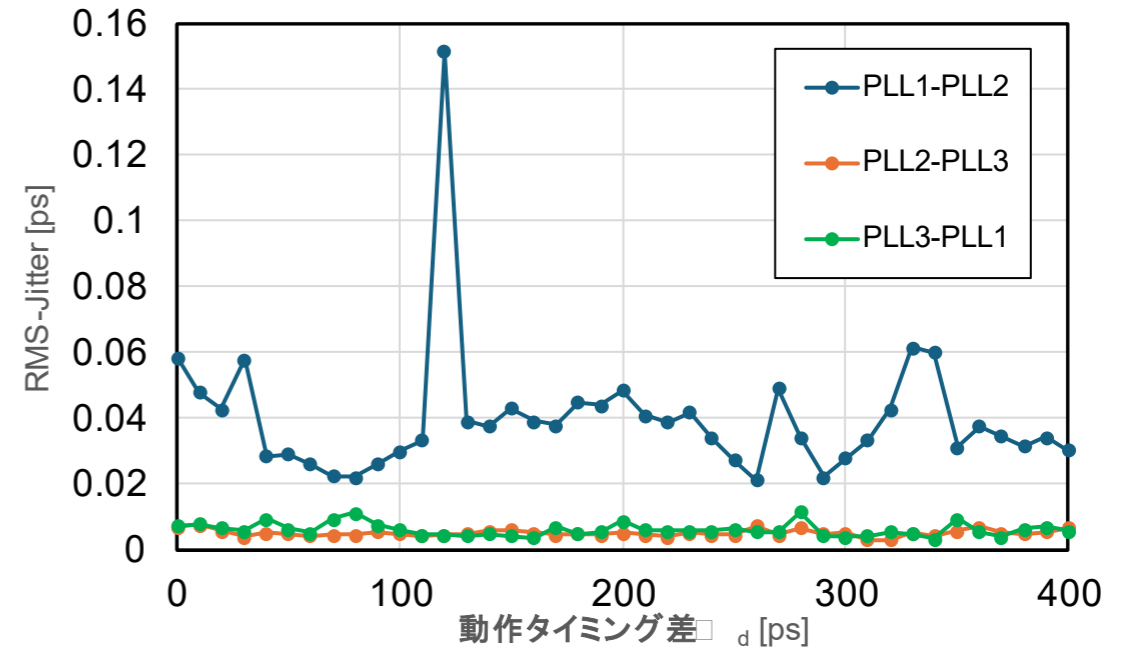
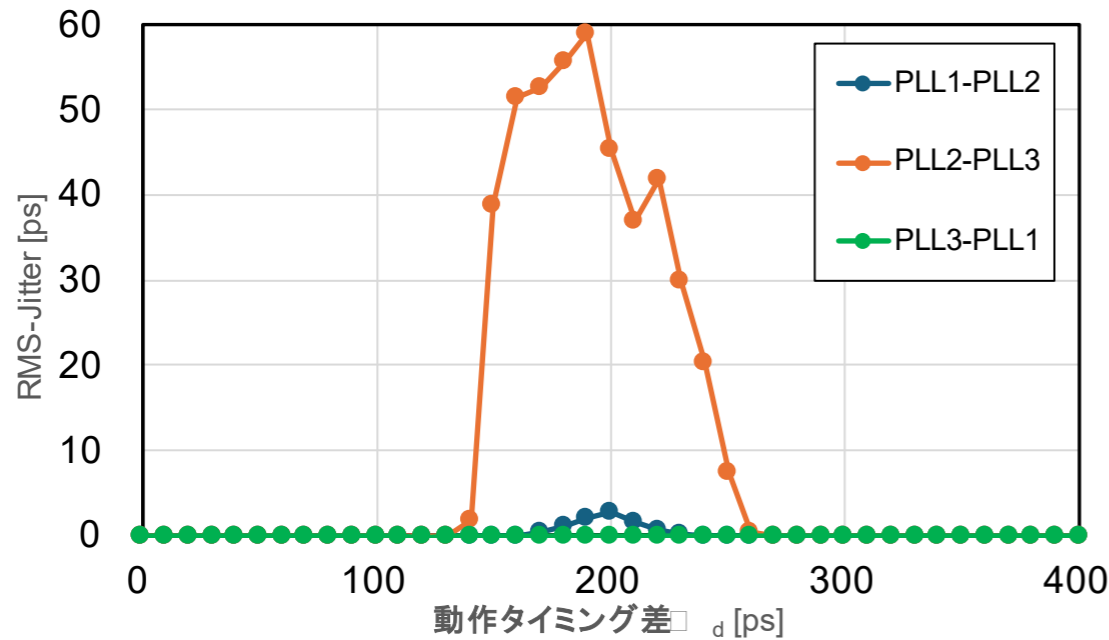
コイル間距離を変えた2つの電磁場コントローラつきPLLを動作させて干渉ノイズを測定



(PLLテストチップのチップ写真)

現時点での開発状況(5)

テストチップによる評価・解析(4)



(電磁界モデルを用いた回路Sim(OFF時)) (電磁界モデルを用いた回路Sim(ON時))

➡ ジッタ値は、PLLが不安定な条件(コントローラOFF)でもコントローラをONすることで正常となった。今後、実測にて確認する予定

想定される用途

- 本技術は、**高周波集積回路の設計**に関するもので、以下の分野に適用される。（LC-tank 発振器についての用途例）
 1. 無線通信機器およびデバイス
WiFi等を用いる無線機器に搭載される半導体デバイス内に実装、もしくはクロック専用ICの回路として用いられる。
 2. 精密測定機器の内部回路
オシロスコープ等の精密な時間測定を有する測定機器の内部回路として用いられる。

想定される用途(2)

(用途続き)

- 前述の用途以外に、今回の回路技術を半導体集積回路内に実装されたフィルタ回路、パワーアンプ・LNA等の負荷、高周波マッチング回路 etc. オンチップインダクタを有する回路に適用可能。(性能向上、ノイズ削減)
- また集積回路に限らず、ディスクリート部品で構成されている電子機器において、コイルの動作に伴う電磁ノイズの削減にも応用できると考えられる。

実用化に向けた課題

- 現在、テストチップでの実測結果や解析について知見を蓄えている段階。本提案技術に興味のある企業と情報共有していきたいと考える。
- 実用化に向けて、現時点で以下の課題が挙げられる。
 1. 発振器に適用した際の性能の詳細評価・解析
周波数シフト、位相ノイズ、実効的なQ値 etc.
 2. 最適化設計 (構成、面積、消費電力、適用範囲 etc.)
 3. 制御方法 (最適制御、制御の自動化)
 4. 他分野への応用

社会実装への道筋

時期	取り組む課題・実施予定	社会実装へ取り組みについて
基礎検討 (2025/2 ~)	<ul style="list-style-type: none">・原理的な考察および基本回路の設計が完了・性能評価用テストチップの設計・製作	特許出願
現在 (2026/2現在)	<ul style="list-style-type: none">・テストチップ評価開始	
今年中 (~2026/12)	<ul style="list-style-type: none">・構成最適化に関する設計・製作指針の検討・オンチップ発振器間における最適構成の設計指針が確立	評価基礎データの提出 サンプル提供
一年後 (~2027/12)	<ul style="list-style-type: none">・発振器における最適制御の試作開始・ノイズ削減の自動制御のテスト評価開始	試験データの提出
二年後 (~2028/12)	<ul style="list-style-type: none">・ノイズ削減の最適制御自動化の実現・他分野への展開検討	試験サービスの実現

企業への期待

- テストチップによる実験結果や本提案回路についての解析結果について、本技術に興味があり関連する回路を設計・開発する企業と情報共有したい。
- 特に半導体集積回路の設計技術を持つ企業との共同研究を希望。
- 高周波回路を設計・開発し、本テーマに関連する技術内容を扱う企業には、本技術の導入が有効と思われる。

企業への貢献、PRポイント

- 本技術は、デバイスプロセスには依存しない回路技術に関するものであるため、半導体集積回路の他、基板での回路設計技術に転用することもでき、用途に応じてより企業に貢献できると考えている。
- 特に集積回路設計においては、本技術を用いた先端プロセスでの設計・検証回路を企業との共同研究で行うことで、技術力のアピールに繋げることも可能。
- 本格導入にあたっての技術指導等も継続的に行うことが可能。

本技術に関する知的財産権

- 発明の名称 : 発振回路
- 出願人 : 学校法人常翔学園
- 発明者 : 吉村 勉
- 出願番号 : 特願2025-142038
- 出願日 : 2025年8月28日

科研費、産学連携等の経歴

- 2024年-2027年 JSPS・科学研究費助成事業・基盤C
「カップリングオシレーターを用いたイジングマシンの高性能化に関する研究」
- 2019年-2022年 JSPS・科学研究費助成事業・基盤C
「複数の発振器を持つ同期系における相互干渉のメカニズム解明とその低減」
- 2013年-2015年
半導体理工学研究センター(STARC)と共同研究実施
(フィージビリティ・スタディ(FS))

お問い合わせ先

大阪工業大学
学長室 研究支援社会連携推進課

T E L 06-6954-4140

e-mail oit.kenkyu@josho.ac.jp